

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»**

Методические указания по выполнению лабораторных работ по дисциплине

**Математические модели и методы синтеза в сверхбольших
интегральных схемах**

Направление подготовки

01.03.02 - Прикладная математика и информатика

Профиль подготовки

**Компьютерные технологии: программирование и искусственный
интеллект**

Квалификация выпускника
бакалавр

Ставрополь, 2026

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Методические указания по выполнению лабораторных работ
по дисциплине
**Математические модели и методы синтеза в сверхбольших
интегральных схемах**

для студентов направления подготовки
01.03.02 Прикладная математика и информатика

Содержание

		Стр.
1.	Введение	
2.	Лабораторная работа №1 «Классификация современных электронных схем»	
3.	Лабораторная работа №2 «Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7»	
4.	Лабораторная работа №3 «Основы языка проектирования аппаратуры VHDL»	
5.	Лабораторная работа №4 «VHDL-реализация схем двоичной арифметики»	
6.	Лабораторная работа №5 «VHDL-реализация схем модулярной арифметики»	
7.	Лабораторная работа №6 «VHDL-реализация схем цифровой обработки сигналов»	
8.	Лабораторная работа №7 «Оптимизация энергопотребления и синтез высокоскоростных схем»	
9.	Литература	
10.	Приложение 1. Оборудование, материалы и программное обеспечение, используемые для организации и проведения практических работ	
7.	Приложение 2. Содержимое отчета по лабораторной работе ...	
8.	Приложение 3. Правила поведения в компьютерном классе (аудитории, лаборатории)	

Введение

Целью освоения дисциплины «Математические модели и методы синтеза в сверхбольших интегральных схемах» является овладение каждым студентом набором профессиональных и общекультурных компетенций в области аппаратной разработки современных высокопроизводительных логических схем.

Основными задачами изучения дисциплины являются:

1. Обзор базовых логических схем.
2. Изучение компьютерной среды проектирования Xilinx ISE 14.7.
3. Изучение основ языка проектирования логических схем VHDL.
4. VHDL-реализация логических схем обычной (двоичной) и модулярной арифметики.
5. VHDL-реализация высокопроизводительных логических схем цифровой обработки сигналов.

Формы отчетности: зачет - 7 семестр.

Содержание дисциплины: Классификация современных логических схем, Обзор базовых логических схем микроэлектроники, Вентили «не», «буфер», «и», «или», «исключающее или», «и-не», «или-не», Мультиплексоры, Демультимплексоры, Шифраторы, Дешифраторы, Триггеры, Регистры, Счетчики, Синтез универсальных комбинационных схем на основе мультиплексоров, Синтез универсальных комбинационных схем на основе шифраторов и дешифраторов, Синхронные и асинхронные схемы, Конечный автомат Мили, Конечный автомат Мура, Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7, Симуляция схемы, Имплементация схемы, Прошивка схемы в FPGA, Специфика языка описания аппаратуры, Структура проекта VHDL, Типы данных VHDL, Последовательные и параллельные процессы в VHDL, Реализация конструкций ветвления в VHDL, Реализация циклических конструкций в VHDL, Параметризованные модули в VHDL, Атрибуты сигналов в VHDL, Модульное проектирование в VHDL, Сложение и вычитание двоичных чисел, Перемножение двоичных чисел, Деление двоичных чисел, Сравнение двоичных чисел, Кодирование отрицательных чисел в двоичной системе счисления, Представление рациональных чисел в двоичной системе счисления, Модулярная арифметика, Цифровые фильтры.

Реализуемые компетенции:

ПК-3. Способность собирать, обрабатывать и интерпретировать экспериментальные данные, необходимые для проектной деятельности в области информационных технологий

ПК-5. Способен разрабатывать программное и информационное обеспечение компьютерных систем, сервисов, вычислительных комплексов, баз данных

Рекомендуемое программное обеспечение:

Интегрированная среда проектирования сверхбольших интегральных схем Xilinx ISE Webpack edition 14.7

Текстовый редактор для оформления отчетов (LibreOffice 4.x, 5.x или OpenOffice)

Операционная система: Windows (версия не менее XP), Linux (Mint не ниже 17.2)

Рекомендуемое материально-техническое обеспечение: компьютерный класс (лаборатория, аудитория) с числом исправных ЭВМ по числу студентов группы плюс рабочее место преподавателя и производительностью, достаточной для освоения дисциплины. На всех ЭВМ класса (лаборатории, аудитории) программное обеспечение, выход в интернет для изучения интернет-источников дисциплины (со скоростью доступа, достаточной для комфортной работы).

Лабораторная работа №1

Тема: «Классификация современных электронных схем»

Цель работы: «закрепление знаний по теоретическим основам классификации современных электронных схем».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)
2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.
3. Оформить отчет по лабораторной работе.
4. Защита проекта.
5. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

Реферативный обзор информационных (интернет) источников по заданию.

1. Классификация современных электронных схем
2. Обзор базовых схем микроэлектроники
3. Вентили «не», «буфер», «и», «или», «исключающее или», «и-не», «или-не»
4. Мультиплексоры
5. Демультимплексоры
6. Шифраторы
7. Дешифраторы
8. Триггеры
9. Регистры
10. Счетчики
11. Синтез универсальных комбинационных схем на основе мультиплексоров
12. Синтез универсальных комбинационных схем на основе шифраторов и дешифраторов

Необходимо указать информационные источники и их содержимое по заданию.

Допустимо использовать текст, гиперссылки, таблицы, рисунки и т. д. любую информацию, облегчающую просмотр и защиту презентации-отчета. Разрешено использование только открытых публичных источников информации, не требующих передачи авторских прав или каких-либо иных отчислений.

Контрольные вопросы

1. Классификация современных электронных схем
2. Обзор базовых схем микроэлектроники
3. Вентили «не», «буфер», «и», «или», «исключающее или», «и-не», «или-не»

4. Мультиплексоры
5. Демультиплексоры
6. Шифраторы
7. Дешифраторы
8. Триггеры
9. Регистры
10. Счетчики
11. Синтез универсальных комбинационных схем на основе мультиплексоров
12. Синтез универсальных комбинационных схем на основе шифраторов и дешифраторов

Список литературы, рекомендуемый к использованию по данной теме

Основная:

1. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
2. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
3. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Дополнительная:

1. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш.ун-та, 2013.

Методическая:

1. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
2. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Интернет-ресурсы

1. Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>
2. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №2

Тема: «Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7»

Цель работы: «закрепление знаний по теоретическим основам работы в среде разработки сверхбольших интегральных схем Xilinx ISE 14.7».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)

2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.

3. Выбор варианта задания, регистрация выбранного варианта у преподавателя.

4. Работа над проектом.

4.1. Разработать и реализовать в схемотехническом редакторе Xilinx ISE 14.7 принципиальную схему устройства, рассчитывающего значения логической функции от четырех переменных x_0, x_1, x_2, x_3 , заданной таблицей истинности, где d_n отвечает соответствующему набору битов x_3, x_2, x_1, x_0 десятичному числу, например, d_5 соответствует $x_0=1, x_1=0, x_2=1, x_3=0$ (в соответствии с вариантом). Синтезировать схему.

4.2. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства, рассчитывающего значения логической функции, заданной таблицей истинности (в соответствии с вариантом). Синтезировать схему.

4.3. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройств, созданных в заданиях 4.1 и 4.2. Получить временные диаграммы симуляции схем.

5. Оформить отчет по лабораторной работе.

6. Защита проекта.

7. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

1. Разработать и реализовать в схемотехническом редакторе Xilinx ISE 14.7 принципиальную схему устройства, рассчитывающего значения логической функции от четырех переменных x_0, x_1, x_2, x_3 , заданной таблицей истинности, где d_n отвечает соответствующему набору битов x_3, x_2, x_1, x_0 десятичному числу, например, d_5 соответствует $x_0=1, x_1=0, x_2=1, x_3=0$ (в соответствии с вариантом). Синтезировать схему.

2. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства, рассчитывающего значения логической функции, заданной таблицей истинности (в соответствии с вариантом). Синтезировать схему.

3. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройств, созданных в заданиях 1 и 2. Получить временные диаграммы симуляции схем.

Вар.	d0	d1	d2	d3	d4	d5	d6	d7	d8	d9	d10	d11	d12	d13	d14	d15
1	1	0	0	1	0	0	1	1	1	1	0	1	0	1	1	1
2	0	1	1	0	1	1	1	1	1	1	1	1	0	1	1	0
3	0	1	0	1	1	1	1	1	1	1	0	0	1	0	0	1
4	1	1	0	0	1	1	1	1	0	0	1	1	1	0	1	0
5	0	0	1	1	0	0	0	1	1	0	1	0	0	1	1	1
6	1	0	0	0	1	0	0	1	0	1	0	0	1	0	1	0
7	0	1	1	0	0	1	1	0	1	0	1	1	0	1	1	0
8	0	1	0	0	1	1	1	1	0	0	0	1	0	1	1	0
9	1	0	1	0	0	1	0	0	1	0	0	1	0	0	0	0
10	0	0	1	1	0	1	1	0	1	1	0	0	1	0	0	0
11	1	1	1	0	1	1	0	0	1	1	1	0	1	0	1	0
12	0	0	0	0	1	0	1	0	0	1	0	0	0	0	1	1
13	0	1	0	1	1	0	0	0	1	1	0	0	0	0	0	1
14	0	1	0	0	0	1	0	1	0	0	0	0	0	0	1	0
15	0	0	0	1	1	0	1	0	1	1	0	1	1	0	0	1
16	0	0	1	0	1	1	0	1	0	0	0	0	1	0	0	1
17	0	1	1	0	1	0	0	1	1	0	1	1	0	0	0	0
18	0	0	1	0	0	0	0	0	1	1	0	0	1	1	0	0
19	0	0	1	0	1	1	0	0	0	0	0	1	0	0	0	0
20	1	1	0	0	0	1	1	0	0	1	0	1	1	0	1	0
21	1	1	0	0	1	0	1	0	0	0	0	1	1	0	0	1
22	1	1	0	1	1	1	0	1	1	1	1	0	1	0	1	1
23	0	0	1	1	1	1	1	1	1	0	0	0	0	0	1	0
24	1	0	0	0	1	0	0	1	1	0	0	1	1	0	1	0
25	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	0
26	1	0	1	0	1	1	0	1	1	1	0	1	0	1	1	1
27	0	0	0	0	1	1	0	0	1	0	1	0	1	1	1	1
28	0	0	0	1	0	0	1	0	1	1	1	1	0	1	1	1
29	1	1	0	1	1	0	0	1	0	0	1	1	0	0	0	1
30	1	1	1	0	0	1	1	0	0	0	0	0	1	1	0	1

Контрольные вопросы

Классификация современных электронных схем

Обзор базовых схем микроэлектроники

Вентили «не», «буфер», «и», «или», «исключающее или», «и-не», «или-не»

Мультиплексоры
Демльтиплексоры
Шифраторы
Дешифраторы
Триггеры
Регистры
Счетчики
Синтез универсальных комбинационных схем на основе мультиплексоров
Синтез универсальных комбинационных схем на основе шифраторов и дешифраторов
Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7
Симуляция схемы
Имплементация схемы
Прошивка схемы в FPGA
Специфика языка описания аппаратуры
Структура проекта VHDL

Список литературы, рекомендуемый к использованию по данной теме

Основная:

4. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
5. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
6. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Дополнительная:

2. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш. ун-та, 2013.

Методическая:

3. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
4. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Интернет-ресурсы

3. Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>
4. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №3

Тема: «Основы языка проектирования аппаратуры VHDL»

Цель работы: «закрепление знаний по теоретическим основам языка проектирования аппаратуры VHDL».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)
2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.
3. Оформить отчет по лабораторной работе.
4. Защита проекта.
5. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

Реферативный обзор информационных (интернет) источников по заданию.

1. Специфика языка описания аппаратуры
2. Структура проекта VHDL
3. Типы данных VHDL
4. Последовательные и параллельные процессы в VHDL
5. Реализация конструкций ветвления в VHDL
6. Реализация циклических конструкций в VHDL
7. Параметризованные модули в VHDL
8. Атрибуты сигналов в VHDL
9. Модульное проектирование в VHDL

Необходимо указать информационные источники и их содержимое по заданию.

Допустимо использовать текст, гиперссылки, таблицы, рисунки и т. д. любую информацию, облегчающую просмотр и защиту презентации-отчета. Разрешено использование только открытых публичных источников информации, не требующих передачи авторских прав или каких-либо иных отчислений.

Контрольные вопросы

1. Специфика языка описания аппаратуры
2. Структура проекта VHDL
3. Типы данных VHDL
4. Последовательные и параллельные процессы в VHDL
5. Реализация конструкций ветвления в VHDL
6. Реализация циклических конструкций в VHDL
7. Параметризованные модули в VHDL

8. Атрибуты сигналов в VHDL
9. Модульное проектирование в VHDL

Список литературы, рекомендуемый к использованию по данной теме

Основная:

1. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
2. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
3. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.
4. Дополнительная:
5. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш.ун-та, 2013.
6. Методическая:
7. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
8. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.
9. Интернет-ресурсы
10. Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>
11. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №4

Тема: «VHDL-реализация схем двоичной арифметики»

Цель работы: «закрепление знаний по теоретическим основам VHDL-реализации схем двоичной арифметики».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)

2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.

3. Выбор варианта задания, регистрация выбранного варианта у преподавателя.

4. Работа над проектом.

4.1. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства, рассчитывающего значение арифметического выражения (в соответствии с вариантом). Синтезировать схему.

Внимание! Запрещено использовать готовые библиотечные IEEE-модули двоичной арифметики (т. е. необходимо создать свои модули для выполнения арифметических операций над двоичными числами). Разрядность входных и выходных сигналов — 32 бит.

4.2. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройства, созданного в задании 4.1. Получить временные диаграммы симуляции схемы.

5. Оформить отчет по лабораторной работе.

6. Защита проекта.

7. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

1. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства, рассчитывающего значение арифметического выражения (в соответствии с вариантом). Синтезировать схему.

Внимание! Запрещено использовать готовые библиотечные IEEE-модули двоичной арифметики (т. е. необходимо создать свои модули для выполнения арифметических операций над двоичными числами). Разрядность входных и выходных сигналов — 32 бит.

2. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройства, созданного в задании 1. Получить временные диаграммы симуляции схемы.

Вар.	Формула	Вар.	Формула
1	$c = (a + b)^5 + (b - a)^5 + a^5$	16	$c = (a + b)^3 + (b - a)^3 + a^3$
2	$c = (a + b)^3 + (b - a)^3 + b^3$	17	$c = (a + b)^3 + (a - b)^3 + b^3$
3	$c = (6 * a * b) + (6 * a * b)^2$	18	$c = (6 * a * b)^2 + (6 * a * b)^3$

4	$c = (a - b * 4) + (a - b * 4)^2$	19	$c = (a - b * 3) + (a - b * 3)^2$
5	$c = (a + 2 * b)^2 - 3 * (a + 2 * b)$	20	$c = (3 * a + 2 * b)^2 - 3 * (3 * a + 2 * b)$
6	$c = (a - 2 * b)^2 + 7 * (a - 2 * b)$	21	$c = (a - 2 * b)^2 + 7 * (a - 2 * b)^3$
7	$c = (a^2 - b^2)^2 + 9 * (a^2 - b^2)$	22	$c = (a^2 - b^2)^2 + 9 * (a^2 - b^2)^3$
8	$c = ((a + b) * (a - b))^3 + ((a + b) * (a - b))^2$	23	$c = ((a + b) * (a - b))^2 + (a + b) * (a - b)$
9	$c = (a - b)^4 + a^4 - b^4$	24	$c = (a - b)^5 + a^5 - b^5$
10	$c = b^3 + (a * b)^3 - a^3$	25	$c = (a - b)^3 + (a - b)^3 - a^3$
11	$c = (7 * a + b) - (7 * a + b)^2$	26	$c = (7 * a + b) + (7 * a + b)^2 - (7 * a + b)^3$
12	$c = (2 * a + b)^2 - 3 * (2 * a + b)$	27	$c = (4 * a + b)^2 - 2 * (4 * a + b)$
13	$c = (2 * a + b)^2 + 4 * (2 * a + b)$	28	$c = (2 * a - b)^2 + 4 * (2 * a - b)^4$
14	$c = 4 * (2 * a - b) + (2 * a - b)^2$	29	$c = 15 * (2 * a + b) + 16 * (2 * a + b)^2$
15	$c = 11 * (a^2 + b^2) - (a^2 + b^2)^2$	30	$c = 15 * (a^2 + b^2) - 3 * (a^2 + b^2)^2$

Контрольные вопросы

Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7

Симуляция схемы

Имплементация схемы

Прошивка схемы в FPGA

Специфика языка описания аппаратуры

Структура проекта VHDL

Типы данных VHDL

Последовательные и параллельные процессы в VHDL

Реализация конструкций ветвления в VHDL

Реализация циклических конструкций в VHDL

Параметризованные модули в VHDL

Атрибуты сигналов в VHDL

Модульное проектирование в VHDL

Сложение и вычитание двоичных чисел

Перемножение двоичных чисел

Деление двоичных чисел

Сравнение двоичных чисел

Кодирование отрицательных чисел в двоичной системе счисления

Представление рациональных чисел в двоичной системе счисления

Список литературы, рекомендуемый к использованию по данной теме

Основная:

1. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
2. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
3. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

4. B. Parhami, Computer Arithmetic: Algorithms and Hardware Designs, 2nd edition, Oxford University Press, New York, 2010.

Дополнительная:

1. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш. Ун-та, 2013.
2. Таненбаум Э. Архитектура компьютера. 5-е изд. - Спб.: Питер, 2007.

Методическая:

1. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
2. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.
3. Интернет-ресурсы
4. Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>
5. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №5

Тема: «VHDL-реализация схем модулярной арифметики».

Цель работы: «закрепление знаний по теоретическим основам VHDL-реализации схем модулярной арифметики».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)

2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.

3. Выбор варианта задания, регистрация выбранного варианта у преподавателя.

4. Работа над проектом.

4.1. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства:

а) выполняющего перевод входных данных из двоичной системы счисления в систему остаточных классов

б) рассчитывающего значение арифметического выражения в системе остаточных классов (в соответствии с вариантом)

в) выполняющего перевод полученного результата из системы остаточных классов в двоичную систему счисления.

г) Синтезировать схему.

Внимание! Разрешено использовать готовые библиотечные IEEE-модули двоичной арифметики. Разрядность входных и выходных сигналов — 32 бит.

4.2. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройства, созданного в задании 4.1. Получить временные диаграммы симуляции схемы.

5. Оформить отчет по лабораторной работе.

6. Защита проекта.

7. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

1. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель устройства:

а) выполняющего перевод входных данных из двоичной системы счисления в систему остаточных классов

б) рассчитывающего значение арифметического выражения в системе остаточных классов (в соответствии с вариантом)

в) выполняющего перевод полученного результата из системы остаточных классов в двоичную систему счисления.

г) Синтезировать схему.

Внимание! Разрешено использовать готовые библиотечные IEEE-модули двоичной арифметики. Разрядность входных и выходных сигналов — 32 бит.

2. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройства, созданного в задании 1. Получить временные диаграммы симуляции схемы.

Вар.	Формула	p1	p2	p3	p4	p5
1	$c = (a + b)^5 + (b - a)^5 + a^5$	149	163	149	211	149
2	$c = (a + b)^3 + (b - a)^3 + b^3$	223	227	239	211	251
3	$c = (6 * a * b) + (6 * a * b)^2$	239	227	239	137	157
4	$c = (a - b * 4) + (a - b * 4)^2$	137	157	193	241	233
5	$c = (a + 2 * b)^2 - 3 * (a + 2 * b)$	227	229	251	199	251
6	$c = (a - 2 * b)^2 + 7 * (a - 2 * b)$	193	199	197	167	149
7	$c = (a^2 - b^2)^2 + 9 * (a^2 - b^2)$	227	151	241	227	223
8	$c = ((a + b) * (a - b))^3 + ((a + b) * (a - b))^2$	197	131	181	179	251
9	$c = (a - b)^4 + a^4 - b^4$	149	199	251	157	157
10	$c = b^3 + (a * b)^3 - a^3$	193	157	193	227	199
11	$c = (7 * a + b) - (7 * a + b)^2$	211	229	241	167	233
12	$c = (2 * a + b)^2 - 3 * (2 * a + b)$	149	193	179	193	151
13	$c = (2 * a + b)^2 + 4 * (2 * a + b)$	197	151	173	163	137
14	$c = 4 * (2 * a - b) + (2 * a - b)^2$	131	137	151	151	193
15	$c = 11 * (a^2 + b^2) - (a^2 + b^2)^2$	229	251	239	211	151
16	$c = (a + b)^3 + (b - a)^3 + a^3$	191	139	227	137	157
17	$c = (a + b)^3 + (a - b)^3 + b^3$	229	167	193	179	241
18	$c = (6 * a * b)^2 + (6 * a * b)^3$	233	251	199	233	139
19	$c = (a - b * 3) + (a - b * 3)^2$	239	223	239	211	239
20	$c = (3 * a + 2 * b)^2 - 3 * (3 * a + 2 * b)$	191	149	197	163	191
21	$c = (a - 2 * b)^2 + 7 * (a - 2 * b)^3$	157	239	199	193	137
22	$c = (a^2 - b^2)^2 + 9 * (a^2 - b^2)^3$	227	179	193	241	137
23	$c = ((a + b) * (a - b))^2 + (a + b) * (a - b)$	181	137	191	157	151
24	$c = (a - b)^5 + a^5 - b^5$	157	163	227	239	137
25	$c = (a - b)^3 + (a - b)^3 - a^3$	251	211	167	229	179
26	$c = (7 * a + b) + (7 * a + b)^2 - (7 * a + b)^3$	191	179	157	191	149
27	$c = (4 * a + b)^2 - 2 * (4 * a + b)$	167	199	197	239	251
28	$c = (2 * a - b)^2 + 4 * (2 * a - b)^4$	211	199	233	181	251

29	$c = 15 * (2 * a + b) + 16 * (2 * a + b)^2$	251	197	211	167	251
30	$c = 15 * (a^2 + b^2) - 3 * (a^2 + b^2)^2$	211	151	229	197	227

Контрольные вопросы

Интегрированная среда разработки сверхбольших интегральных схем Xilinx ISE 14.7

Симуляция схемы

Имплементация схемы

Прошивка схемы в FPGA

Специфика языка описания аппаратуры

Структура проекта VHDL

Типы данных VHDL

Последовательные и параллельные процессы в VHDL

Реализация конструкций ветвления в VHDL

Реализация циклических конструкций в VHDL

Параметризованные модули в VHDL

Атрибуты сигналов в VHDL

Модульное проектирование в VHDL

Сложение и вычитание двоичных чисел

Перемножение двоичных чисел

Деление двоичных чисел

Сравнение двоичных чисел

Кодирование отрицательных чисел в двоичной системе счисления

Представление рациональных чисел в двоичной системе счисления

Модулярная арифметика

Список литературы, рекомендуемый к использованию по данной теме

Основная:

1. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
2. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
3. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.
4. B. Parhami, Computer Arithmetic: Algorithms and Hardware Designs, 2nd edition, Oxford University Press, New York, 2010.

Дополнительная:

1. Акушский И.Я., Юдицкий Д.И. Машинная арифметика в остаточных классах. – М.: Советское радио, 1968.
2. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш. ун-та, 2013.
3. Таненбаум Э. Архитектура компьютера. 5-е изд. - Спб.: Питер, 2007.
4. Amos Omondi, Benjamin Premkumar. Residue Number System. Theory and implementation. - London: Imperial Colledge Press, 2007.

Методическая:

1. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
2. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Литература

Основная литература

ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.

Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.

Математические модели и методы синтеза в сверхбольших интегральных схемах: учебное пособие – лабораторный практикум / сост.: Червяков Н.И., Галушкин А.И., Бабенко М.Г., Кучуков В.А. – Ставрополь: изд-во СКФУ, 2016

Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

V. Parhami, Computer Arithmetic: Algorithms and Hardware Designs, 2nd edition, Oxford University Press, New York, 2010.

Дополнительная литература

Акушский И.Я., Юдицкий Д.И. Машинная арифметика в остаточных классах. – М.: Советское радио, 1968.

Модулярные параллельные вычислительные структуры нейропроцессорных систем / Н. И. Червяков, П. А. Сахнюк, А. В. Шапошников, С. А. Ряднов; Под. ред. Н.И. Червякова. — М.: ФИЗМАТЛИТ, 2003.

Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш. ун-та, 2013. Таненбаум Э. Архитектура компьютера. 5-е изд. - Спб.: Питер, 2007.

Amos Omondi, Benjamin Premkumar. Residue Number System. Theory and implementation. - London: Imperial Colledge Press, 2007.

Методическая литература

Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.

Математические модели и методы синтеза в сверхбольших интегральных схемах: учебное пособие – лабораторный практикум / сост.: Червяков Н.И., Галушкин А.И., Бабенко М.Г., Кучуков В.А. – Ставрополь: изд-во СКФУ, 2016

Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Интернет-ресурсы

Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>

Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №6

Тема: «Разработка устройств цифровой обработки информации».

Цель работы: «закрепление знаний по теоретическим основам VHDL-реализации схем цифровой обработки информации».

Формируемые компетенции (формируется часть компетенций):

ПК-7: способность к разработке и применению алгоритмических и программных решений в области системного и прикладного программного обеспечения;

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)
2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.
3. Выбор варианта задания по лабораторной работе, регистрация выбранного варианта у преподавателя.
4. Работа над проектом.
 - 4.1. Разработать и реализовать на языке VHDL в среде проектирования Xilinx ISE 14.7 модель конечного автомата, выполняющего цифровую обработку одномерного входного сигнала по заданным коэффициентам фильтра (в соответствии с вариантом). Последовательность сигналов окончания фильтрации задать самостоятельно. Синтезировать схему. Разрядность входных и выходных сигналов — 32 бит.
 - 4.2. Создать в среде проектирования Xilinx ISE 14.7 тестовый симулятор устройства, созданного в задании 4.1. Получить временные диаграммы симуляции схемы.
5. Оформить отчет по лабораторной работе.
6. Защита проекта.
7. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для практической работы

Вар.	Знам.	k1	k2	k3	k4	k5	k6	k7	k8
1	3	6	0	-14	-14	-15	14	-10	-6
2	13	7	1	14	-11	8	-4	7	-9
3	14	8	-11	-2	7	-3	-6	-13	2
4	5	-5	-1	7	4	-14	-3	7	3
5	6	-4	4	4	-13	11	6	-4	10
6	8	6	7	5	-15	5	13	14	-1
7	2	-1	13	6	15	10	7	3	15
8	1	5	-13	7	8	14	-6	-15	5
9	14	-5	14	14	6	-5	-2	-3	-8
10	13	-8	0	7	-5	8	13	6	6

11	4	8	15	5	8	-6	12	7	15
12	5	-8	-3	-6	12	-8	-7	-12	-2
13	15	-14	15	-9	-12	-15	-10	-14	7
14	11	5	-2	9	0	-15	-10	1	1
15	6	10	3	7	14	10	2	0	-8
16	15	-9	-5	13	8	2	6	11	-9
17	9	-15	5	4	9	2	7	-12	-1
18	10	13	6	4	-13	6	-11	-5	1
19	6	-1	-7	-11	-11	-14	-11	13	11
20	4	-14	-9	15	8	0	1	5	-3
21	6	-1	-9	12	-12	11	4	-8	4
22	1	-2	-2	7	-1	-10	-8	-3	2
23	3	-3	-4	5	-5	4	9	-10	1
24	1	-7	-8	11	-6	-15	-10	-3	6
25	14	12	3	0	-4	0	-4	-11	-10
26	16	1	14	5	1	-11	1	-4	11
27	8	-1	-15	-8	-11	0	-3	2	2
28	5	14	-9	12	-7	4	12	13	-15
29	3	3	3	-8	-12	15	14	3	-8
30	7	7	-3	-12	-6	2	10	-12	-2

Задание репродуктивного уровня

Синтезировать проект, провести имплементацию, создать отладочный стенд (testbench), оформить отчет, возможно пропустив некоторые пункты.

Задание реконструктивного уровня

Синтезировать проект, провести имплементацию, создать отладочный стенд (testbench), оформить отчет, возможно пропустив некоторые пункты. Запрещено использовать сторонние библиотеки модулей двоичной арифметики системы остаточных классов, т. е. необходимо создать свои модули для выполнения арифметических.

Задание творческого уровня

Синтезировать проект, провести имплементацию, создать отладочный стенд (testbench), создать прошивку и прошить ее в ПЛИС, оформить отчет. В случае использования готовых модулей двоичной арифметики, дополнить проект своими модулями для выполнения арифметических операций.

Контрольные вопросы

1. Интегрированная среда разработки СБИС Xilinx ISE 14.7
2. Симуляция схемы
3. Имплементация схемы
4. Прошивка схемы в FPGA
5. Специфика языка описания аппаратуры
6. Структура проекта VHDL
7. Типы данных VHDL
8. Последовательные и параллельные процессы в VHDL

9. Реализация конструкций ветвления в VHDL
10. Реализация циклических конструкций в VHDL
11. Параметризованные модули в VHDL
12. Атрибуты сигналов в VHDL
13. Модульное проектирование в VHDL
14. Сложение и вычитание двоичных чисел
15. Перемножение двоичных чисел
16. Деление двоичных чисел
17. Сравнение двоичных чисел
18. Кодирование отрицательных чисел в двоичной системе счисления
19. Представление рациональных чисел в двоичной системе счисления
20. Цифровые фильтры
21. Прямое дискретное преобразование фурье
22. Обратное дискретное преобразование фурье
23. Оптимизация энергопотребления схемы

Список литературы, рекомендуемый к использованию по данной теме

Основная:

1. Математические модели и методы синтеза в сверхбольших интегральных схемах : лабораторный практикум / Министерство образования РФ ; Федеральное государственное автономное образовательное учреждение высшего образования «Северо-Кавказский федеральный университет» ; авт.-сост. Н. И. Червяков ; авт.-сост. А. И. Галушкин ; авт.-сост. М. Г. Бабенко ; авт.-сост. В. А. Кучуков. - Ставрополь : СКФУ, 2023. - 187 с. - <http://biblioclub.ru/>. - Библиогр.: с.185

Дополнительная:

1. Цифровая схемотехника. От логического элемента до системы управления : Практикум : Направление подготовки 09.06.01 - Информатика и вычислительная техника. Профиль Математическое моделирование, численные методы и комплексы программ. Квалификация выпускника Исследователь. Преподаватель-исследователь / сост. Н. И. Червяков, П. А. Ляхов, А. И. Галушкин ; Сев.-Кав. федер. ун-т. - Ставрополь : СКФУ, 2015. - 191 с.
2. Червяков, Н. И. (СКФУ). Цифровая схемотехника : Учебное пособие : Направление подготовки 09.06.01 - Информатика и вычислительная техника. Профиль "Математическое моделирование, численные методы и комплексы программ". Квалификация выпускника - Исследователь. Преподаватель-исследователь / Н. И. Червяков, А. И. Галушкин ; Сев.-Кав. федер. ун-т. - Ставрополь : СКФУ, 2015. - 198 с.

Методическая:

1. Червяков, Н. И. (СКФУ). Цифровая схемотехника : Учебное пособие : Направление подготовки 09.06.01 - Информатика и вычислительная техника. Профиль "Математическое моделирование, численные методы и комплексы программ". Квалификация выпускника - Исследователь. Преподаватель-исследователь / Н. И. Червяков, А. И. Галушкин ; Сев.-Кав. федер. ун-т. - Ставрополь : СКФУ, 2015. - 198 с.

Интернет-ресурсы

1. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Лабораторная работа №7

Тема: «Оптимизация энергопотребления и синтез высокоскоростных схем»

Цель работы: «закрепление знаний по теоретическим основам оптимизации энергопотребления и синтеза высокоскоростных схем».

Формируемые компетенции (формируется часть компетенций):

ПК-1: Способность демонстрации общенаучных базовых знаний математических и естественных наук, фундаментальной информатики и информационных технологий; способность применять в профессиональной деятельности современные языки программирования и методы параллельной обработки данных, операционные системы электронные библиотеки и пакеты программ, сетевые технологии

Ход работы

1. Орг. момент (регистрация в лаборатории, повтор правил техники безопасности при работе на ЭВМ, подготовка рабочего места, запуск среды проектирования Xilinx ISE 14.7)
2. Ознакомление с основной, дополнительной, методической литературой, интернет источниками, необходимыми для выполнения лабораторной работы.
3. Оформить отчет по лабораторной работе.
4. Защита проекта.
5. Окончание работы (отключение среды проектирования, приведение в порядок рабочего места)

Теоретическая часть

См. список рекомендуемой литературы.

Оборудование и материалы: см. приложение 1.

Техника безопасности: см. приложение 3.

Задания для лабораторной работы

Реферативный обзор информационных (интернет) источников по заданию.

1. Оптимизация энергопотребления схемы
2. Синтез высокоскоростных схем
3. Реализация вычислительных алгоритмов в виде конечного автомата
4. BCD-кодирование
5. Отладочный стенд СБИС
6. Несинтезируемое подмножество языка VHDL
7. Процедуры и функции в языке VHDL
8. Библиотека IEEE языка VHDL
9. Создание ПЗУ в VHDL
10. Создание ОЗУ в VHDL
11. Создание структуры «СТЕК» в VHDL
12. Создание структуры «ОЧЕРЕДЬ» в VHDL

Необходимо указать информационные источники и их содержимое по заданию.

Допустимо использовать текст, гиперссылки, таблицы, рисунки и т. д. любую информацию, облегчающую просмотр и защиту презентации-отчета. Разрешено использование только открытых публичных источников информации, не требующих передачи авторских прав или каких-либо иных отчислений.

Контрольные вопросы

1. Оптимизация энергопотребления схемы
2. Синтез высокоскоростных схем
3. Реализация вычислительных алгоритмов в виде конечного автомата
4. BCD-кодирование

5. Отладочный стенд СБИС
6. Несинтезируемое подмножество языка VHDL
7. Процедуры и функции в языке VHDL
8. Библиотека IEEE языка VHDL
9. Создание ПЗУ в VHDL
10. Создание ОЗУ в VHDL
11. Создание структуры «СТЕК» в VHDL
12. Создание структуры «ОЧЕРЕДЬ» в VHDL

Список литературы, рекомендуемый к использованию по данной теме

Основная:

7. ГОСТ Р 50754-95. Язык описания аппаратуры цифровых систем VHDL. Описание языка. - М.: Госстандарт России, 1995.
8. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
9. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Дополнительная:

3. Проектирование цифровых устройств на ПЛИС фирмы Xilinx в среде WebPACKISE / сост. Г.В. Малинин, С.В. Абрамов, А.В. Серебрянников. Чебоксары: Изд-во Чуваш.ун-та, 2013.

Методическая:

5. Бибило П.Н. Основы языка VHDL. Изд. 3-е, доп. - М.: Издательство ЛКИ, 2014.
6. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. - М.: MorganKaufman, 2013.

Интернет-ресурсы

5. Электронная библиотека «Википедия» [электронный ресурс] / <http://www.wikipedia.org>
6. Официальный сайт фирмы Xilinx [электронный ресурс] / <http://www.xilinx.com>

Оборудование, материалы и программное обеспечение, используемые для организации и проведения лабораторных работ

Оборудование:

Компьютерный класс (лаборатория, аудитория) с числом исправных ЭВМ по числу студентов группы плюс рабочее место преподавателя и производительностью, достаточной для освоения дисциплины.

Программное обеспечение:

Интегрированная среда проектирования сверхбольших интегральных схем Xilinx ISE Webpack edition 14.7

Текстовый редактор для оформления отчетов (LibreOffice 4.x, 5.x или OpenOffice)

Операционная система: Windows (версия не менее XP), Linux (Mint не ниже 17.2)

Содержимое отчета по лабораторной работе

Работа считается выполненной студентом и засчитывается преподавателем (с зачислением баллов пропорционально выполненным пунктам отчета, т. е. необязательно, чтобы отчет содержал все пункты) при предоставлении в электронном виде к защите (бумажная распечатка не требуется!!!) аккуратно оформленного файла-отчета в формате .odt (OpenOffice, LibreOffice) или .doc (MicrosoftOffice), именованный по шаблону (при несоответствии работа не допускается к защите):

FPGA_LR(номер работы)_V(номер варианта)_(фамилия).odt

Файл-отчет должен иметь следующие элементы в указанном порядке (с сохранением их номера в случае пропуска некоторых пунктов): 0. Отметка об ознакомлении с техникой безопасности (правилами поведения в компьютерном классе (аудитории, лаборатории)).

В данном пункте необходимо наличие записи «С правилами техники безопасности при выполнении лабораторной работы и поведения в компьютерном классе (аудитории, лаборатории) ознакомлен, обязуюсь выполнять _____ (ФИО), _____ дата».

1. Постановка задачи (полное условие в соответствии с выбранным вариантом).

2. Подробная математическая (совокупность формул и поясняющего формулы текста) или информационной (словесное описание алгоритма) модели решения задачи. В данном пункте допустимо наличие экранных снимков расчетов в системах компьютерной алгебры (SciLab, Octave, Maxima и т.п.). Использование проприетарных (коммерческих) систем компьютерной алгебры (MathCad, MatLab и т.п.) не рекомендуется.

3. Тестовые наборы исходных данных и соответствующих им правильных результатов для проверки работоспособности программы (в данном пункте **должно быть ручное решение задачис промежуточными выкладками**). В данном пункте допустимо наличие экранных снимков расчетов в системах компьютерной алгебры (SciLab, Octave, Maxima и т.п.). Использование проприетарных (коммерческих) систем компьютерной алгебры (MathCad, MatLab и т.п.) не рекомендуется.

4. Указание имен, типов и назначения всех переменных и сигналов, входящих в математическую или информационную модель.

5. Основной и вспомогательные (если есть) алгоритмы решения задачи (допустимо описание алгоритма на алгоритмическом языке, например, Pascal).

6. Запись полных имен файлов, образующих проект с указанием назначения каждого файла (минимум указать имена и содержимое файлов с расширением .vhd (какие entity, procedure, function содержатся, что делают)).

7. Полные исходные тексты VHDL-программ проекта (в каждом файле обязательно наличие информации о разработчике — ФИО, курс, группа, специальность, университет).

8. RTL-схема проекта (из раздела Synthesize-XST среды проектирования).

9. Содержимое файла .sug отчета синтеза и имплементации проекта.

10. Энергопотребление схемы в Ваттах (содержимое таблиц XPowerAnalyzer среды проектирования).

11. Экранный снимок или распечатка результата работы компьютерной программы при введенных тестовых данных из пункта 3 отчета. Конкретно в данном пункте необходимо сравнить полученные результаты с эталонным тестовым решением и написать «результат совпадает с эталонным решением».

12. Исследование модели.

В данном пункте требуется записать несколько наборов входных данных (определить самостоятельно) и соответствующих им результатов моделирования (если в 11 пункте был осуществлен полный перебор всех возможных входных данных, то написать «совпадает с пунктом 11 отчета»).

13. Выводы о проделанной работе.

Указать возможности, достоинства, недостатки модели, привести примеры использования.

Правила поведения в компьютерном классе (аудитории, лаборатории)

1. К работе в компьютерном классе допускаются лица, ознакомленные с инструкцией по технике безопасности и охране труда, с правилами поведения и размещения информационных ресурсов.
2. Работа студентов в компьютерном классе разрешается только в присутствии преподавателя (инженера, лаборанта).
3. Во время групповых занятий посторонние лица могут находиться в классе только с разрешения преподавателя.
4. **Перед началом работы необходимо:**
 - убедиться в отсутствии видимых повреждений на рабочем месте;
 - разместить на столе тетради, учебные пособия так, чтобы они не мешали работе на компьютере;
 - принять правильную рабочую позу;
 - если сеанс работы предыдущего пользователя не был завершен, завершить его;
 - ввести регистрационную информацию (при необходимости).
5. **При работе в компьютерном классе категорически запрещается:**
 - находиться в классе в верхней одежде;
 - размещать одежду и сумки на рабочих местах;
 - находиться в классе с едой и напитками;
 - класть книги, тетради и т.п. на клавиатуру;
 - располагаться сбоку или сзади от включенного монитора;
 - присоединять или отсоединять кабели, трогать разъемы, провода и розетки;
 - передвигать компьютеры;
 - открывать системный блок;
 - пытаться самостоятельно устранять неисправности в работе аппаратуры;
 - перекрывать вентиляционные отверстия на системном блоке и мониторе;
 - ударять по клавиатуре, нажимать бесцельно на клавиши;
 - удалять или перемещать чужие файлы;
 - устанавливать и запускать компьютерные игры;
 - использовать Интернет-ресурсы неучебного назначения.
6. **Находясь в компьютерном классе, необходимо:**
 - соблюдать тишину и порядок, выключать мобильные телефоны от громкой связи;
 - выполнять все требования преподавателя, инженера и лаборанта;
 - работать только под своим именем и паролем;
 - соблюдать режим работы (продолжительность непрерывной работы за компьютером не более двух часов с обязательным 10-минутным перерывом и гимнастикой для глаз; продолжительность интенсивной работы с клавиатурой не более 30 минут с последующей гимнастикой для рук; общая продолжительность работы не более 4 часов в день);
 - при появлении рези в глазах, резком ухудшении видимости, невозможности сфокусировать взгляд или навести его на резкость, появлении боли в пальцах и кистях рук, усилении сердцебиения немедленно покинуть рабочее место, сообщить о происшедшем преподавателю и обратиться к врачу;
 - после окончания работы завершить все активные программы и корректно завершить сеанс;
 - оставить рабочее место чистым.
7. **Работая за компьютером, необходимо соблюдать правильную позу:**
 - расстояние от экрана до глаз 70-80 см (расстояние вытянутой руки);

- вертикально прямая спина;
- плечи опущены и расслаблены;
- ноги на полу и не скрещены;
- локти, запястья и кисти рук на одном уровне;
- локтевые, тазобедренные, коленные, голеностопные суставы под прямым углом.

8. При появлении программных ошибок или сбоях оборудования студент обязан немедленно обратиться к преподавателю (инженеру, лаборанту).

9. В случае порчи или выхода из строя оборудования компьютерного класса по вине пользователя ремонт или замена оборудования производится за счет пользователя

