

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Методические указания
по выполнению практических работ
по дисциплине «Аппаратные средства вычислительной техники»
для студентов направления подготовки
10.03.01 Информационная безопасность
Направленность (Профиль) «Организация и технологии защиты информации
(по отрасли или в сфере профессиональной деятельности)»

Ставрополь, 2026 г.

Содержание

Раздел № 3.	4
Базовая организация ЭВМ	4
Практическое занятие № 1. Введение в архитектуру ЭВМ	4
Практическое занятие № 2. Цифровые логические основы ЭВМ.....	28
Практическое занятие № 3. Классическая архитектура и принципы работы компьютера 56	
Системная (материнская) плата компьютера	
Раздел № 4.	70
Уровень микроархитектуры ЭВМ	70
Практические занятия № 4 – 5. Базовая организация персонального компьютера и Основа цифрового сигнала.....	70
Принципы построения и работы микропроцессоров.....	70
Раздел № 6.	97
Внешние запоминающие устройства ЭВМ.....	97
Практическое занятие № 6. Основы системы машинных команд и языка ассемблера	97
Принципы построения и работы накопителей на жестких магнитных дисках.....	
Раздел № 7.	115
Периферийные устройства ЭВМ	115
Практическое занятие № 7. Устройства внешней памяти ЭВМ.....	115
Принципы построения и работы струйных и лазерных принтеров	
Практическое занятие № 8. Характеристика периферийных устройств ЭВМ	126
Организация межкомпьютерной связи	
Практическое занятие № 9. Современные тенденции развития архитектуры компьютера 141	
Многопроцессорные вычислительные системы	

Введение

1. Цель и задачи освоения дисциплины (модуля)

Целью изучения дисциплины «Аппаратные средства вычислительной техники» является формирование набора общекультурных и профессиональных компетенций будущего бакалавра по направлению подготовки 10.03.01 «Информационная безопасность». Формируемые в рамках дисциплины компетенции способствуют углубленной подготовки бакалавров к решению задач профессиональной деятельности с помощью средств вычислительной техники и компьютерных систем, а также приобретение набора общекультурных и общепрофессиональных компетенций будущего бакалавра по направлению подготовки 10.03.01 «Информационная безопасность».

Задачами дисциплины являются:

- изучить основы обработки и передачи информации по различным каналам, формирование знаний, умений и навыков в области архитектуры ЭВМ и построения компьютерных систем;
- совершенствование умений и навыков работы с ПЭВМ как средством управления информацией для решения задач учебной и профессиональной деятельности.

2. Перечень планируемых результатов обучения по дисциплине (модулю), соотнесённых с планируемыми результатами освоения образовательной программы

Код, формулировка компетенции	Код, формулировка индикатора	Планируемые результаты обучения по дисциплине (модулю), характеризующие этапы формирования компетенций, индикаторов
ОПК-2 Способен применять информационно-коммуникационные технологии, программные средства системного и прикладного назначения, в том числе отечественного производства, для решения задач профессиональной деятельности	ОПК-2 ИД-1. Осуществляет поиск системного программного обеспечения, понимает структуру операционной системы, предназначение основных параметров и компонентов операционной системы; использует методы инсталляции системного программного обеспечения, а также режимы его взаимодействия с операционной системой; выбирает методы мониторинга компонентов операционной системы, а также режимы отказоустойчивой конфигурации	Знает состав, порядок установки и настройки системного и прикладного программного обеспечения, режимы его взаимодействия с операционной системой, умет настраивать операционную систему и выбирать отказоустойчивую конфигурацию компьютерных систем

Тема 1.

ВВЕДЕНИЕ В АРХИТЕКТУРУ ЭВМ

УЧЕБНЫЕ ВОПРОСЫ:

1. Шинная структура связи компьютера.

Практическое занятие № 1.
СОДЕРЖАНИЕ ЗАНЯТИЯ

Формируемые компетенции: ОПК-2

1. Шинная структура связей

Для достижения максимальной универсальности и упрощения протоколов обмена информацией в микропроцессорных системах применяется так называемая **шинная структура связей** между отдельными устройствами, входящими в систему. Суть шинной структуры связей сводится к следующему.

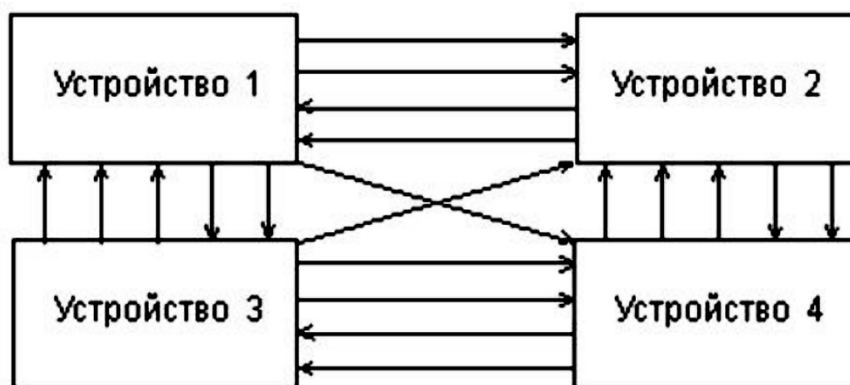


Рисунок 1 - Классическая структура связей.

При классической структуре связей все сигналы и коды между устройствами передаются по отдельным линиям связи. Каждое устройство, входящее в систему, передает свои сигналы и коды независимо от других устройств. При этом в системе получается очень много линий связи и разных протоколов обмена информацией.

При шинной структуре связей все сигналы между устройствами передаются по одним и тем же линиям связи, но в разное время (это называется мультиплексированной передачей).

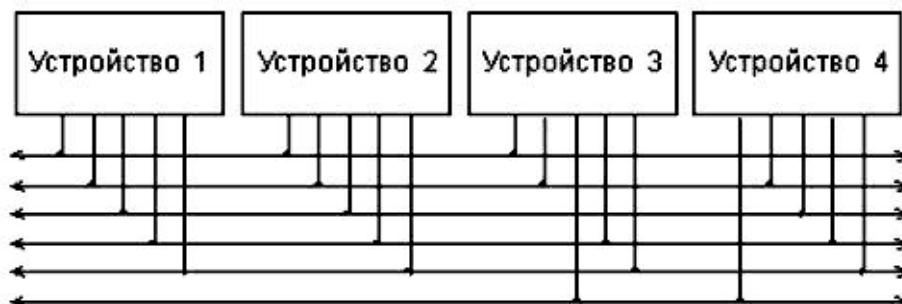


Рисунок 2 - Шинная структура связей.

Причем передача по всем линиям связи может осуществляться в обоих направлениях (так называемая двунаправленная передача). В результате количество линий связи существенно сокращается, а правила обмена (протоколы) упрощаются. **Группа линий связи, по которым передаются сигналы или коды как раз и называется шиной** (англ. **bus**).

При шинной структуре связей вся информация передается по линиям связи *последовательно* во времени, что снижает быстродействие системы по сравнению с классической структурой связей.

Большое достоинство шинной структуры связей состоит в том, что все устройства, подключенные к шине, должны принимать и передавать информацию по одним и тем же протоколам обмена информацией по шине. Соответственно, все узлы, отвечающие за обмен с шиной в этих устройствах, должны быть единообразны, унифицированы.

В системах с шинной структурой связей применяют три существующие разновидности выходных каскадов цифровых микросхем:

- стандартный выход (или выход с двумя состояниями - обозначается 2С, 2S, режс ТТЛ, TTL);
- выход с открытым коллектором - обозначается ОК, ОС;
- выход с тремя состояниями (с возможностью отключения - обозначается 3С, 3S).

Упрощенно эти три типа выходных каскадов могут быть представлены в виде следующих схем:

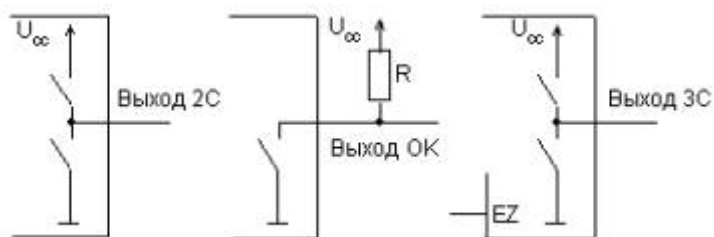


Рисунок 3 - Три типа выходов цифровых микросхем

У выхода 2С два ключа замыкаются по очереди, что соответствует уровням логической единицы (верхний ключ замкнут) и логического нуля (нижний ключ замкнут). У выхода ОК замкнутый ключ формирует уровень логического нуля, разомкнутый — логической единицы. У выхода 3С ключи могут замыкаться по очереди (как в случае 2С), а могут размыкаться одновременно, образуя третье, высокоимпедансное, состояние. Переход в третье состояние (Z-состояние) управляется сигналом на специальном входе EZ.

Выходные каскады типов 3С и ОК позволяют объединять несколько выходов микросхем для получения **мультиплексированных**

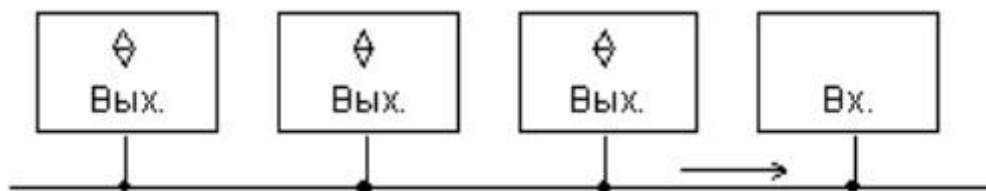


Рисунок 4 - Мультиплексированная линия

или **двухнаправленных** линий.

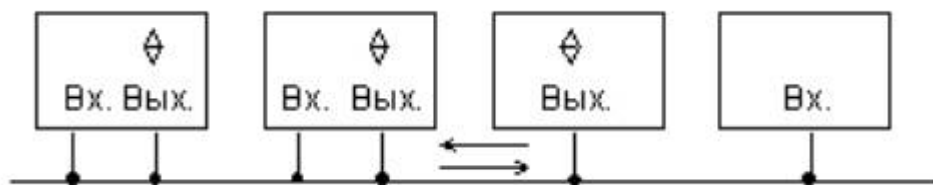


Рисунок 5 - Двухнаправленная линия

При этом в случае выходов 3С необходимо обеспечить, чтобы на линии всегда работал только один активный выход, а все остальные выходы находились бы в это время в третьем состоянии, иначе возможны конфликты. Объединенные выходы ОК могут работать все одновременно, без всяких конфликтов.

Типичная структура микропроцессорной системы выглядит так:

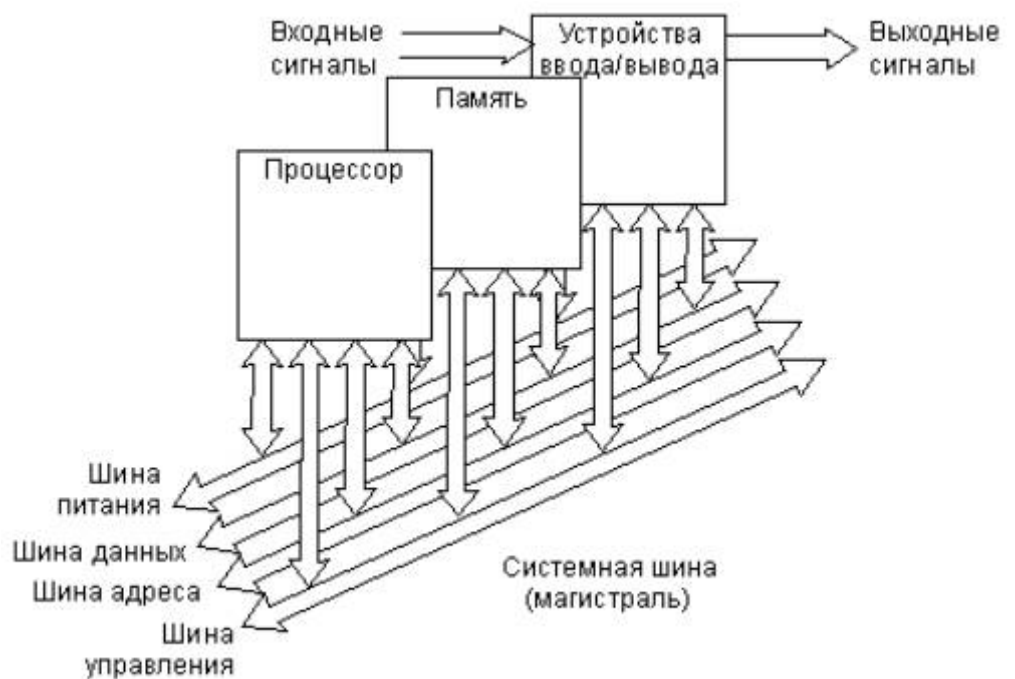


Рисунок 6 - Структура микропроцессорной системы

Она включает в себя три основных типа устройств:

- процессор;
- память, включающую оперативную память (ОЗУ, RAM — Random Access Memory) и постоянную память (ПЗУ, ROM — Read Only Memory), которая служит для хранения данных и программ;
- устройства ввода/вывода (УВВ, I/O — Input/Output Devices), служащие для связи микропроцессорной системы с внешними устройствами, для приема (ввода, чтения, Read) входных сигналов и выдачи (вывода, записи, Write) выходных сигналов.

Все устройства микропроцессорной системы объединяются *общей системной шиной* (она же называется еще *системной магистралью* или *каналом*). Системная магистраль включает в себя четыре основные шины нижнего уровня:

1. шина адреса (Address Bus);
2. шина данных (Data Bus);
3. шина управления (Control Bus);
4. шина питания (Power Bus).

Шина адреса служит для определения адреса (номера) устройства, с которым процессор обменивается информацией в данный момент. Каждому устройству (кроме процессора), каждой ячейке памяти в микропроцессорной системе присваивается собственный адрес. Когда код какого-то адреса выставляется процессором на шине адреса, устройство с таким адресом понимает, что ему предстоит обмен информацией. Шина адреса определяет максимально возможную сложность микропроцессорной системы, то есть допустимый объем памяти и, следовательно, максимально возможный размер программы и максимально возможный объем запоминаемых данных.

Количество адресов, обеспечиваемых шиной адреса, определяется как 2^N , где N — количество разрядов. Например, 16-разрядная шина адреса обеспечивает 65 536 адресов. Разрядность шины адреса обычно кратна 4 и может достигать 32 и даже 64. Шина адреса может быть однонаправленной (когда магистралью всегда управляет только процессор) или двунаправленной (когда процессор может временно передавать управление магистралью другому устройству, например контроллеру ПДП). Наиболее часто используются типы выходных каскадов с тремя состояниями или обычные ТТЛ (с двумя состояниями).

Шина данных — это основная шина, которая используется для передачи информационных кодов между всеми устройствами микропроцессорной системы. Обычно

в пересылке информации участвует процессор, который передает код данных в какое-то устройство или в ячейку памяти или же принимает код данных из какого-то устройства или из ячейки памяти. Но возможна также и передача информации между устройствами без участия процессора. Шина данных всегда *двунаправленная*. Наиболее часто встречающийся тип выходного каскада для линий этой шины — выход с тремя состояниями.

Количество ее разрядов (линий связи) определяет скорость и эффективность информационного обмена, а также максимально возможное количество команд. Обычно шина данных имеет 8, 16, 32 или 64 разряда. Понятно, что за один цикл обмена по 64-разрядной шине может передаваться 8 байт информации, а по 8-разрядной — только один байт. Разрядность шины данных определяет и разрядность всей магистрали. Например, когда говорят о 32-разрядной системной магистрали, подразумевается, что она имеет 32-разрядную шину данных.

Шина управления в отличие от шины адреса и шины данных состоит из отдельных управляющих сигналов. Каждый из этих сигналов во время обмена информацией имеет свою функцию. Некоторые сигналы служат для стробирования передаваемых или принимаемых данных (то есть определяют моменты времени, когда информационный код выставлен на шину данных).

Другие управляющие сигналы могут использоваться для подтверждения приема данных, для сброса всех устройств в исходное состояние, для тактирования всех устройств и т.д. Кроме того, управляющие сигналы обеспечивают согласование работы процессора (или другого хозяина магистрали, задатчика, master) с работой памяти или устройства ввода/вывода (устройства-исполнителя, slave). Управляющие сигналы также обслуживают запрос и предоставление прерываний, запрос и предоставление прямого доступа.

Линии шины управления могут быть как однонаправленными, так и двунаправленными. Типы выходных каскадов могут быть самыми разными: с двумя состояниями (для однонаправленных линий), с тремя состояниями (для двунаправленных линий), с открытым коллектором (для двунаправленных и мультиплексированных линий).

Наконец, **шина питания** предназначена не для пересылки информационных сигналов, а для питания системы. Она состоит из линий питания и общего провода. В микропроцессорной системе может быть один источник питания (чаще +5 В) или несколько источников питания (обычно еще –5 В, +12 В и –12 В). Каждому напряжению питания соответствует своя линия связи. Все устройства подключены к этим линиям параллельно.

Если в микропроцессорную систему надо ввести входной код (или входной сигнал), то процессор по шине адреса обращается к нужному устройству ввода/вывода и принимает по шине данных входную информацию. Если из микропроцессорной системы надо вывести выходной код (или выходной сигнал), то процессор обращается по шине адреса к нужному устройству ввода/вывода и передает ему по шине данных выходную информацию.

Если информация должна пройти сложную многоступенчатую обработку, то процессор может хранить промежуточные результаты в системной оперативной памяти. Для обращения к любой ячейке памяти процессор выставляет ее адрес на шину адреса и передает в нее информационный код по шине данных или же принимает из нее информационный код по шине данных. В памяти (оперативной и постоянной) находятся также и управляющие коды (команды выполняемой процессором программы), которые процессор также читает по шине данных с адресацией по шине адреса. Постоянная память используется в основном для хранения программы начального пуска микропроцессорной системы, которая выполняется каждый раз после включения питания. Информация в нее заносится изготовителем раз и навсегда.

Важно учитывать, что устройства ввода/вывода чаще всего представляют собой устройства на «жесткой логике». На них может быть возложена часть функций, выполняемых микропроцессорной системой. Поэтому у разработчика всегда имеется возможность перераспределять функции системы между аппаратной и программной реализациями оптимальным образом. Чаще всего применяется комбинирование

аппаратных и программных функций.

Иногда устройства ввода/вывода имеют в своем составе процессор, то есть представляют собой небольшую специализированную микропроцессорную систему. Это позволяет переложить часть программных функций на устройства ввода/вывода, разгрузив центральный процессор системы.

2. Типы обмена информацией по шинам

Как уже упоминалось, в системную магистраль (системную шину) микропроцессорной системы входит три основные информационные шины: адреса, данных и управления.

Как в шине данных, так и в шине адреса может использоваться *положительная логика* или *отрицательная логика*. При положительной логике высокий уровень напряжения соответствует логической единице на соответствующей линии связи, низкий — логическому нулю. При отрицательной логике — наоборот. В большинстве случаев уровни сигналов на шинах — ТТЛ.

Сигналы шины управления также могут передаваться как в положительной логике (реже), так и в отрицательной логике (чаще).

Для снижения общего количества линий связи магистрали часто применяется **мультиплексирование** шин адреса и данных. То есть одни и те же линии связи используются в разные моменты времени для передачи как адреса, так и данных (в начале цикла — адрес, в конце цикла — данные). Для фиксации этих моментов (стробирования) служат специальные сигналы на шине управления.

Понятно, что мультиплексированная шина адреса/данных обеспечивает меньшую скорость обмена, требует более длительного цикла обмена. По типу шины адреса и шины данных все магистрали также делятся на мультиплексированные и немультимплексированные.



Рисунок 7 – Типы магистралей

В некоторых мультиплексированных магистралях после одного кода адреса передается несколько кодов данных (массив данных). Это позволяет существенно повысить быстродействие магистрали. Иногда в магистралях применяется частичное мультиплексирование, то есть часть разрядов данных передается по немультимплексированным линиям, а другая часть — по мультиплексированным с адресом линиям.

Самые главные управляющие сигналы — это **стробы обмена**, то есть сигналы, формируемые процессором и определяющие моменты времени, в которые производится пересылка данных по шине данных, обмен данными. Чаще всего в магистрали используются два различных строба обмена:

- **Строб записи** (вывода), который определяет момент времени, когда устройство-исполнитель может принимать данные, выставленные процессором на шину данных;
- **Строб чтения** (ввода), который определяет момент времени, когда устройство-исполнитель должно выдать на шину данных код данных, который будет прочитан процессором.

При этом большое значение имеет то, как процессор заканчивает обмен в пределах цикла, в какой момент он снимает свой строб обмена. Возможны два пути решения:

1. При *синхронном* обмене процессор заканчивает обмен данными самостоятельно, через раз и навсегда установленный временной интервал выдержки ($t_{\text{выд}}$), то есть без учета интересов устройства-исполнителя;
2. При *асинхронном* обмене процессор заканчивает обмен только тогда, когда устройство-исполнитель подтверждает выполнение операции специальным сигналом (так называемый режим handshake — рукопожатие).

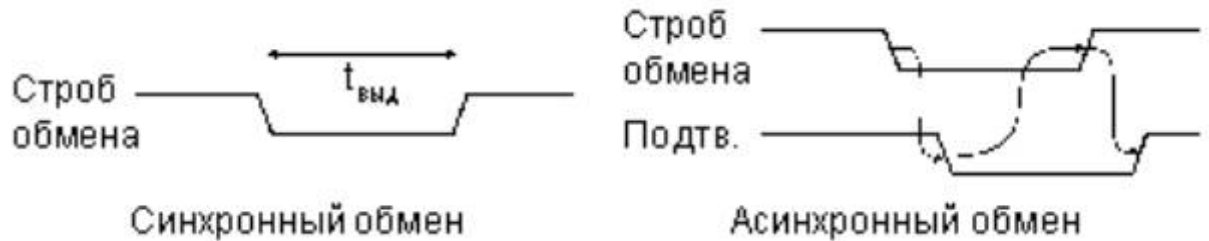


Рисунок 8 -

Достоинства синхронного обмена — более простой протокол обмена, меньшее количество управляющих сигналов. Недостатки — отсутствие гарантии, что исполнитель выполнил требуемую операцию, а также высокие требования к быстродействию исполнителя.

Достоинства асинхронного обмена — более надежная пересылка данных, возможность работы с самыми разными по быстродействию исполнителями. Недостаток — необходимость формирования сигнала подтверждения всеми исполнителями, то есть дополнительные аппаратные затраты.

3 Шины компьютера. Основные интерфейсы компьютера

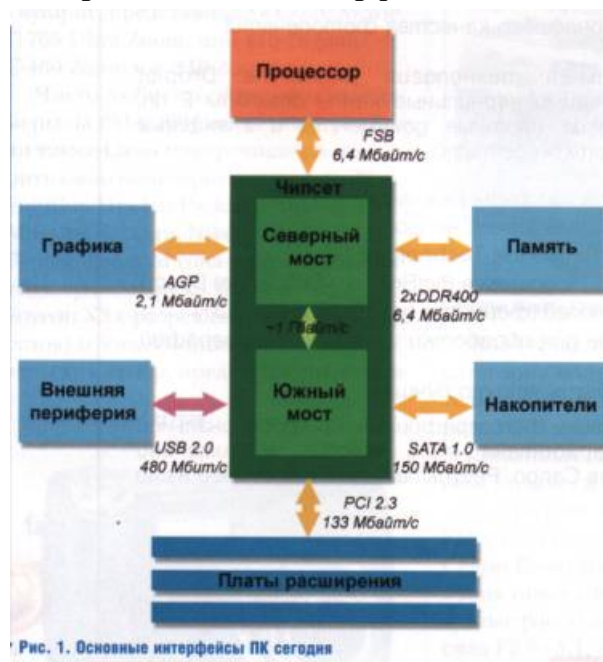


Рисунок 8 – Современные интерфейсы ПК

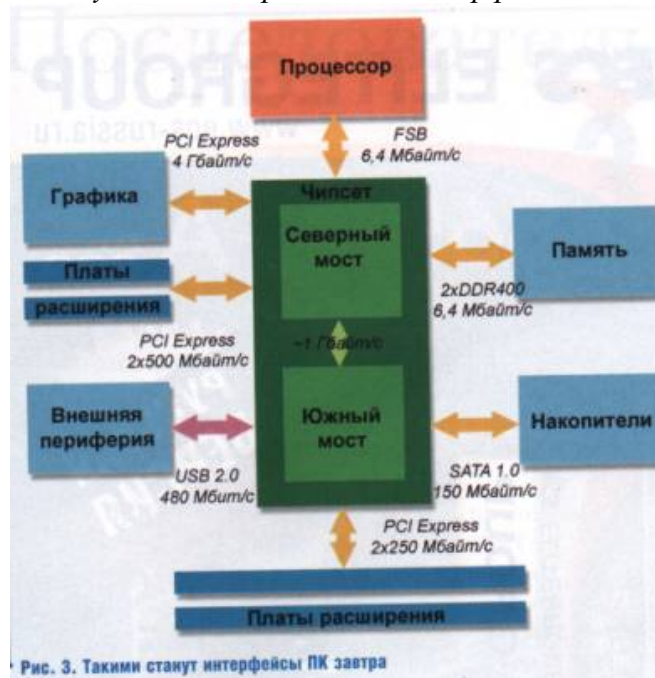


Рисунок 9 – Интерфейсы ПК в будущем

Шина ISA

Системная шина (магистраль) ISA была разработана специально для персональных компьютеров типа IBM PC AT и является фактическим стандартом.

ISA явилась расширением магистрали компьютеров IBM PC и IBM PC XT. В ней было увеличено количество разрядов адреса и данных, увеличено число линий аппаратных прерываний и каналов ПДП, а также повышена тактовая частота. К 62-контактному разъему прежней магистрали был добавлен 36-контактный новый разъем. Тем не менее, совместимость была сохранена, и платы, предназначенные для IBM PC XT, годятся и для IBM PC AT.

Характерное отличие ISA состоит в том, что ее тактовый сигнал не совпадает с тактовым сигналом процессора, как это было в IBM PC XT, поэтому скорость обмена по ней не пропорциональна тактовой частоте процессора.

Магистраль ISA относится к немультиплексированным (то есть имеющим отдельные шины адреса и данных) 16-разрядным системным магистралям среднего быстродействия. Обмен осуществляется 8-ми или 16-ти разрядными данными. На магистрали реализован отдельный доступ к памяти компьютера и к устройствам ввода/вывода (для этого имеются специальные сигналы). Максимальный объем адресуемой памяти составляет 16 Мбайт (24 адресные линии). Максимальное адресное пространство для устройств ввода/вывода — 64 Кбайт (16 адресных линий), хотя практически все выпускаемые платы расширения используют только 10 младших адресных линий (1 Кбайт).

Магистраль поддерживает регенерацию динамической памяти, радиальные прерывания и прямой доступ к памяти. Допускается также захват магистрали.

Разъем магистрали ISA разделен на две части, что позволяет уменьшать размеры 8-разрядных плат расширения, а также использовать платы, разработанные для компьютеров IBM PC XT. На магистрали присутствуют четыре напряжения питания: +5 В, -5 В, +12 В и -12 В, которые могут использоваться платами расширения.

В роли задатчика (Master) магистрали могут выступать процессор, контроллер ПДП, контроллер регенерации или другое устройство. Исполнителями (Slave) могут быть системные устройства компьютера, подключенные к ISA, или платы (карты) расширения.

Наиболее распространенное конструктивное исполнение магистрали — разъемы (слоты), все одноименные контакты которых параллельно соединены между собой, то есть все разъемы абсолютно равноправны. В слоты устанавливаются платы расширения,

которые оснащены интерфейсными разъемами магистрали, выполненными печатными проводниками на краю платы. Количество установочных мест для плат расширения зависит от типа корпуса компьютера и составляет обычно от 2 до 8 и даже более.

Захват магистрали сторонним задатчиком, в принципе, предусмотренная стандартом, используется на практике довольно редко, так как требует от устройства, захватившего магистраль, полного управления ею, включая и поддержку периодической регенерации памяти.

Электрические характеристики магистрали предъявляют жесткие требования ко всем подключаемым устройствам по величине входных и выходных токов, а также по потребляемой мощности. В противном случае возможен выход из строя всего компьютера в целом.

Стандарт определяет, что выходной ток любого источника магистральных сигналов не должен быть меньше 24 мА, а входной ток любого приемника магистральных сигналов не должен превышать 0,8 мА. Кроме того, нарушения в работе компьютера может вызвать несоблюдение временных ограничений, накладываемых используемыми протоколами обмена во всех рассмотренных циклах.

Шина PCI

Интерфейс шины PCI (Peripheral Component Interconnect bus) стал широко применяться с появлением процессоров Pentium.

Шина PCI имеет два варианта: 32-разрядный (в нем используется 124-контактный разъем) и 64-разрядный (188-контактный разъем). При этом гарантируется как прямая, так и обратная совместимость 32- и 64-разрядных устройств. Чаще всего применяется 32-разрядный вариант PCI.

Тактовая частота PCI составляет 33 МГц (однако допускается и частота 66 МГц). Максимальная теоретически возможная скорость обмена при тактовой частоте 33 МГц достигает 132 или 264 Мбайт/с для 32 и 64 разрядов, данных, соответственно, что в 20 раз превышает пропускную способность ISA.

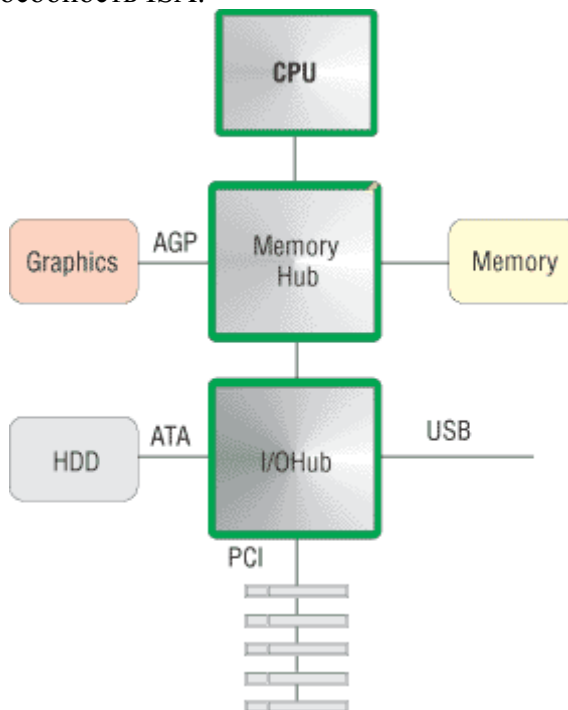


Рисунок 10 -

Предусмотрена возможность включения плат с напряжением питания как 5 В, так и 3,3 В (в отдельные разъемы).

На магистрали предусмотрен арбитраж, то есть возможность поочередного захвата шины несколькими задатчиками, с разрешением конфликтов между ними. Предусмотрен высокоскоростной обмен по магистрали без участия процессора. Возможна

автоконфигурация, то есть автоматическое распределение ресурсов между включенными платами (по принципу PnP). Каждое из устройств шины может захватить ее и провести необходимый обмен.

Шина PCI относится к мультиплексированным шинам, она имеет полностью мультиплексированную шину адреса/данных.

Основной режим обмена по шине — синхронный, тактируемый положительными фронтами тактового сигнала шины, но возможен и асинхронный обмен (как и в случае ISA). В цикл обмена (или транзакцию) входит фаза адреса (в начале) длительностью один такт и фаза данных длительностью в один или несколько тактов.

Шина PCI Express

Шина PCI Express разрабатывается корпорацией Intel совместно с многочисленными ведущими компаниями, такими как Dell, Hewlett-Packard, IBM и т.д. Она относится уже к третьему поколению архитектуры ввода-вывода и называется также 3GIO (Third Generation Input Output). Особенно важно, что новая архитектура PCI Express будет совместима на программном уровне с шиной PCI. Концептуальные идеи, заложенные в архитектуре PCI Express, таковы.

В современных компьютерах имеется достаточно большое количество самых разнообразных шин: шина памяти, процессорная шина, PCI-шина, шина связи северного и южного мостов чипсета, шина AGP. Все они являются параллельными, что накладывает определенные ограничения на увеличение их тактовой частоты. Кроме того, появление более высокоскоростных процессоров, типов памяти, графических адаптеров и периферийных устройств требует и увеличения полосы пропускания соответствующих шин, что создает определенные трудности при разработке чипсетов, так как каждый раз приходится перерабатывать интерфейс взаимодействия чипсета с соответствующим устройством. Конечно, хорошо было бы иметь некую универсальную шину, которая бы связывала устройства друг с другом внутри компьютера и в то же время имела достаточно большой запас по масштабируемости, то есть обеспечивала требуемую полосу пропускания.

Итак, **масштабируемость и универсальность** — вот две основные концепции, заложенные в архитектуре новой шины PCI Express.

Универсальность шины PCI Express должна заключаться в том, чтобы она заменила шину, связывающую северный мост чипсета с графическим адаптером, шину, объединяющую северный и южный мосты чипсета, а также PCI-шину.

Масштабируемость шины PCI Express состоит в том, что шина позволяет наращивать пропускную способность от 2,5 Гбит/с вплоть до 10 Гбайт/с (80 Гбит/с). Для сравнения отметим, что пропускная способность шины PCI-X с частотой 133 МГц составляет 1,06 Гбит/с.

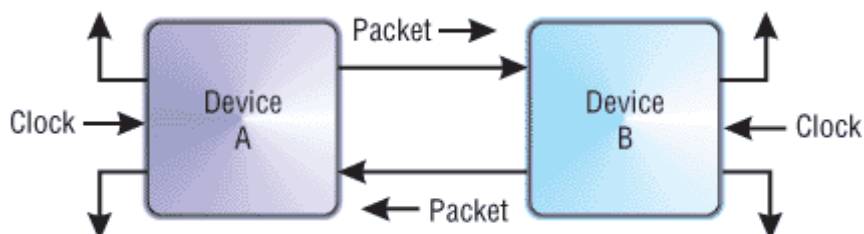


Рисунок 11 -

Основная особенность новой шины PCI Express заключается в том, что это не традиционная параллельная, а последовательная (!) шина, работающая по принципу «точка-точка» (peer-to-peer). На физическом уровне шина образована двумя парами проводников: одна пара служит для передачи данных, а вторая — для их приема. Две такие пары позволяют организовать полосу пропускания 2,5 Гбит/с в одном направлении.

Для того чтобы обеспечить большую пропускную способность, поддерживается не одна, а несколько рассмотренных линий. Ширина одной линии с пропускной способностью 2,5 Гбит/с обозначается как x1; если используются две линии, то ширина

линии будет x2. Первоначально на физическом уровне будет поддерживаться ширина линий x1, x2, x4, x8, x16 и x32. При этом при ширине линии x32 пропускная способность составит 80 Гбит/с или 10 Гбайт/с в одном направлении. Кроме того, 2,5 Гбит/с — это только начало. В дальнейшем скорость передачи по одной магистрали предполагается увеличить вплоть до 10 Гбит/с, что является теоретическим пределом для «медной пары».

Физический уровень шины PCI Express можно разделить на два подуровня: подуровень **физического доступа к среде передачи данных** (Physical Media Attachment Layer, PMA) и подуровень **физического кодирования** (Physical Coding Sublayer, PCS).

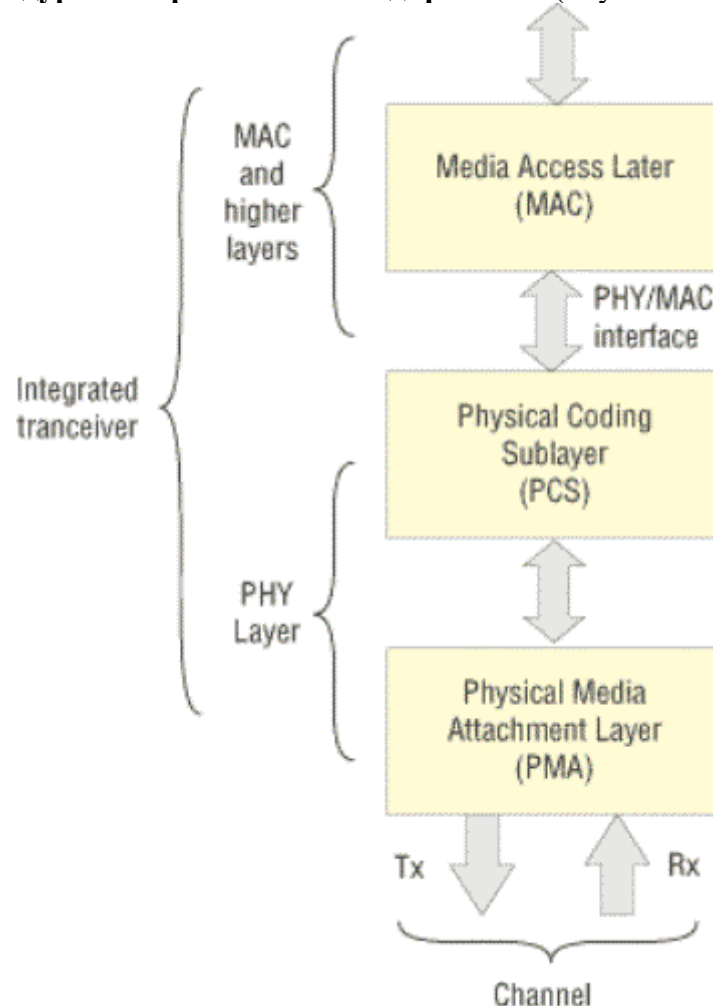


Рисунок 12 -Физический уровень шины PCI Express

На физическом уровне линия PCI Express представляет собой две низковольтные дифференциальные пары проводов. Использование именно низковольтных дифференциальных сигналов (когда уровень сигнала в одном проводе измеряется относительно уровня сигнала в другом проводе) позволяет уменьшить влияние электромагнитных помех. Кроме того, с целью увеличения помехоустойчивости при передаче используется кодирование 8b/10b, которое производится на подуровне PCS.

Смысл такого кодирования достаточно прост — каждая последовательность 8 бит при передаче заменяется последовательностью 10 бит в соответствии со специальной таблицей замены. При этом в исходной последовательности 8 бит содержится 256 различных комбинаций нулей и единиц, а в результирующей — 1024. Данный подход позволяет избежать нежелательных последовательностей бит при передаче. Например, длинные последовательности логических нулей или единиц приводят к потере синхронизации. В результирующей последовательности можно отобрать комбинации (всего потребуется 256 комбинаций из 1024), в которых не встречаются длинные последовательности нулей и единиц — это приведет к улучшению самосинхронизирующих свойств кода. Кроме того,

не все комбинации считаются разрешенными при передаче — обнаружение запрещенной последовательности при приеме трактуется как наличие ошибки. Таким образом, избыточное кодирование позволяет приемнику распознавать ошибки.



Рисунок 13 - Преобразование данных на физическом уровне при передаче

Подуровень физического кодирования связан по 16-битному интерфейсу с верхним уровнем доступа к среде передачи данных (Media Access Level, MAC). Поэтому первоначально полученные по параллельному 16-битному интерфейсу данные разбиваются на группы по 8 бит, то есть частично сериализуются. Частота параллельного 16-битного интерфейса составляет 125 МГц, а после преобразования к 8-битному параллельному интерфейсу частота шины становится уже 250 МГц. После этого данные подвергаются кодированию 8b/10b и уже по 10-битному параллельному интерфейсу поступают на подуровень PMA, где преобразуются к последовательному типу и передаются непосредственно по линии связи, но уже на частоте 2,5 ГГц.

При **приеме** данные на физическом уровне претерпевают обратный порядок преобразования, то есть первоначально данные с частотой 2,5 ГГц поступают в дифференциальный приемник, после чего преобразуются к параллельному 10-битному интерфейсу. По этому интерфейсу данные, уже с частотой 250 МГц, подвергаются декодированию 10b/8b и по 8-битному интерфейсу поступают в блок преобразования к параллельному 16-битному типу. По 16-битной шине с частотой 125 МГц данные передаются на верхние уровни.



Рисунок 14 - Преобразование данных на физическом уровне при приеме

Конечно, такое представление о преобразовании данных является весьма упрощенным. К примеру, мы не рассматривали промежуточные буферы и блоки контроля за возникновением ошибок. Впрочем, даже такой упрощенный подход позволяет понять принцип действия шины PCI Express.

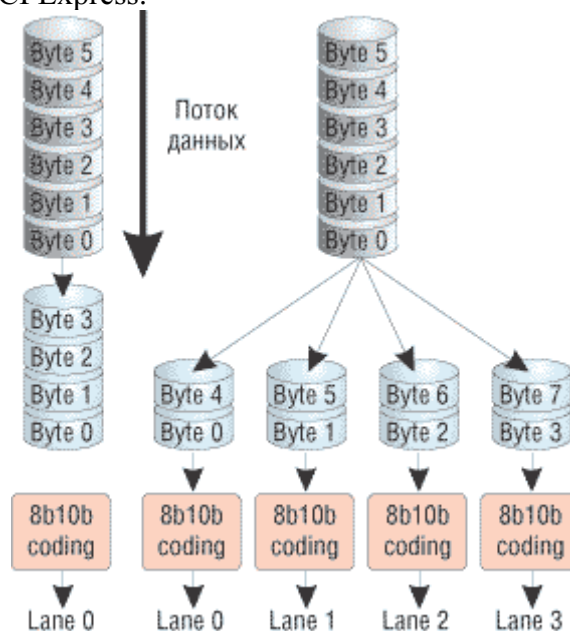


Рисунок 15 - Организация шины PCI Express при наличии нескольких магистральных линий передачи

В случае когда используется не одна линия для передачи данных, то есть при организации многомагистральной шины PCI Express (шины с шириной линий x1, x2, x4, x8, x16 или x32), управлением потока данных занимается специальный агент PCI Express, который распределяет поток данных перед тем, как отправить его по различным физическим линиям, а при приеме аналогичный агент собирает разные потоки данных в один.

Мы рассмотрели только физический уровень архитектуры PCI Express. Конечно, полное описание архитектуры этим не ограничивается. Кроме физического уровня, есть также уровень представления данных (Data Link Layer), уровень транзакций (Transaction Layer) и программный уровень (Software layer).

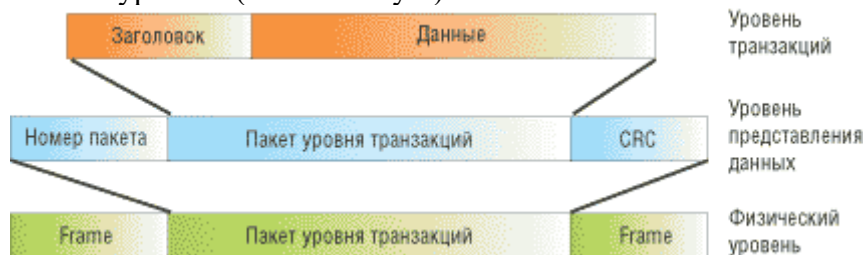


Рисунок 16 - Обработка данных на различных уровнях в архитектуре PCI Express

Уровень представления данных отвечает за достоверность получаемых данных. На этом уровне каждому пакету присваивается свой порядковый номер и добавляется контрольная сумма CRC. При приеме данных на уровне представления контрольная сумма проверяется и, если пакет данных регистрируется как битый, формируется запрос на повторную передачу пакета.

Уровень транзакций получает запросы на запись или чтение от программного уровня и формирует пакеты запросов на передачу. Некоторые запросы требуют подтверждения, и уровень транзакций также получает ответные пакеты от уровня представления данных.

На уровне транзакций каждый пакет данных снабжается заголовком, в котором содержится уникальный идентификатор пакета, а также степень приоритета пакета.

Всего предусматривается **три уровня приоритета**: no-snoop, relaxedordering и priority.

1. **Первый уровень приоритета (no-snoop)** означает отсутствие всякого приоритета. Пакеты с такой меткой передаются в последнюю очередь.

2. **Второй уровень приоритета (relaxedordering)** — это уровень промежуточного приоритета, то есть пакеты с таким уровнем будут обрабатываться во вторую очередь.

3. Ну и **последний уровень приоритета (priority)** — это наивысший уровень приоритета. Пакеты с данным уровнем обрабатываются в первую очередь. Такое деление пакетов данных по уровням приоритета позволяет организовать сложные алгоритмы обработки, чтобы потоки данных, требовательные к пропускной способности (например, потоки данных мультимедийных приложений), обрабатывались в первую очередь.

Интерфейс Centronics

Основным назначением интерфейса Centronics (отечественный аналог — стандарт ИРПР-М) является подключение к компьютеру принтеров различных типов (из-за чего его называют принтерным портом). Поэтому распределение контактов разъема, назначение сигналов, программные средства управления интерфейсом ориентированы именно на такое применение. В то же время, с помощью данного интерфейса можно подключать к компьютеру и многие другие стандартные внешние устройства (например, сканеры, дисководы и т.д.), а также нестандартные внешние устройства.

Сигналы интерфейса Centronics имеют следующее назначение:

D0...D7 — 8-разрядная шина данных для передачи из компьютера в принтер (предусматривается и возможность двунаправленной передачи данных).

-STROBE — сигнал стробирования данных. Данные действительны как по переднему, так и по заднему фронту этого сигнала. Сигнал говорит приемнику (принтеру) о том, что можно принимать данные с шины данных.

-ACK — сигнал подтверждения принятия данных и готовности приемника (принтера) принять следующие данные. То есть реализуется асинхронный обмен.

BUSY — сигнал занятости принтера обработкой полученных данных и неготовности

принять следующую порцию данных. Активен также при переходе принтера в состояние off-line, при ошибке и при отсутствии бумаги. Компьютер начинает новый цикл передачи только после снятия -ACK и после снятия BUSY.

-AUTO FD — сигнал автоматического перевода строки. Получив его, принтер переводит каретку на следующую строку текста. Остальные сигналы не являются обязательными.

PE — сигнал конца бумаги. Получив его, компьютер переходит в режим ожидания. Если в принтер вставить лист бумаги, то сигнал снимается.

SLCT — сигнал готовности приемника. С его помощью принтер сообщает о том, что он выбран и готов к работе. У многих принтеров имеет постоянно высокий уровень.

-SLCT IN — сигнал, посредством которого компьютер сообщает принтеру о том, что тот выбран, и последует передача данных.

-ERROR — сигнал ошибки принтера. Активен при внутренней ошибке, переходе принтера в состояние off-line или при отсутствии бумаги. Как видим, здесь многие сигналы дублируют друг друга.

-INIT — сигнал инициализации (сброса) принтера. Его длительность составляет не менее 2,5 мкс. По нему происходит очистка буфера печати.

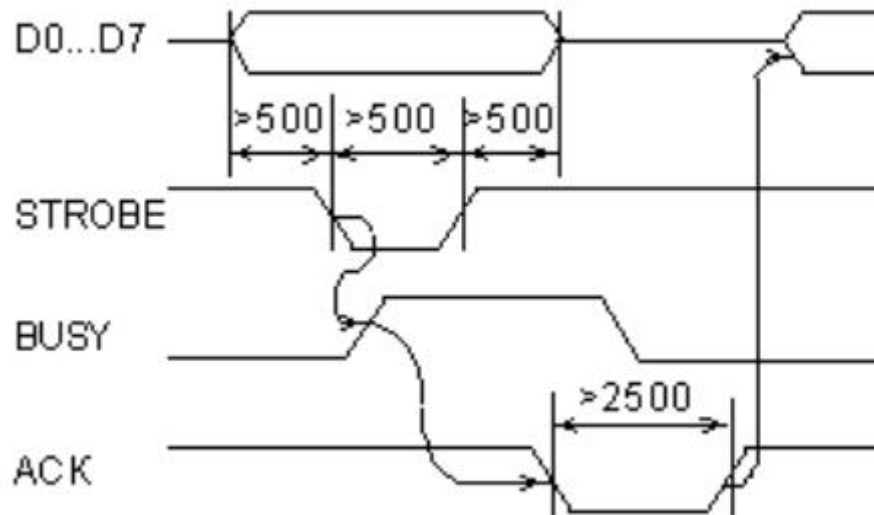


Рисунок 17 - Временные диаграммы цикла передачи данных в Centronics

(все временные интервалы указаны в наносекундах).

Перед началом цикла передачи данных компьютер должен убедиться, что сняты сигналы BUSY и -ACK. После этого выставляются данные, формируется строб, снимается строб, и снимаются данные. Принтер должен успеть принять данные с выбранным темпом. При получении строба принтер формирует сигнал BUSY, а после окончания обработки данных выставляет сигнал -ACK, снимает BUSY и снимает -ACK. Затем может начинаться новый цикл.

Максимальная длина соединительного кабеля по стандарту — 1,8 м. Максимальная скорость обмена — 100 Кбайт/с.

Формирование и прием сигналов интерфейса Centronics производится путем записи и чтения выделенных для него портов ввода/вывода. В компьютере может использоваться три порта Centronics, обозначаемых LPT1 (базовый адрес 378), LPT2 (базовый адрес 278) и LPT3 (базовый адрес 3BC).

Базовый адрес порта используется для передачи принтеру байта данных. Установленные на линиях данные можно считать из этого же порта.

Следующий адрес (базовый + 1) служит для чтения битов состояния принтера (бит 3 соответствует сигналу -ERROR, бит 4 — сигналу SLCT, бит 5 — сигналу PE, бит 6 — сигналу -ACK, бит 7 — сигналу BUSY). Последний используемый адрес (базовый + 2) применяется для записи битов управления принтером (бит 0 соответствует сигналу -

STROBE, бит 1 — сигналу -AUTO FD, бит 2 — сигналу -INIT, бит 3 — сигналу -SLCT IN и, наконец, бит 4, равный единице, разрешает прерывание от принтера).

При сопряжении с компьютером через параллельный порт LPT какого-нибудь другого устройства (не принтера) назначение сигналов и порядок обмена могут быть другими, но тогда необходимы специальные программные драйверы, реализующие выбранные протоколы обмена. При разработке нестандартных внешних устройств, сопрягаемых с компьютером через Centronics, можно самостоятельно выбирать как назначение сигналов, так и протокол обмена.

Интерфейс RS-232C

Интерфейс RS-232C предназначен для подключения к компьютеру стандартных внешних устройств (принтера, сканера, модема, мыши и др.), а также для связи компьютеров между собой. Основными преимуществами использования RS-232C по сравнению с Centronics являются возможность передачи на большие расстояния (по стандарту длина соединительного кабеля может достигать до 15 метров) и гораздо более простой кабель (с меньшим количеством проводов). В то же время работать с RS-232C несколько сложнее. Данные в интерфейсе RS-232C передаются в последовательном коде (бит за битом) побайтно. Каждый байт обрамляется стартовым и стоповыми битами. Данные могут передаваться как в одну, так и в другую сторону по разным проводам (дуплексный режим). Скорость передачи — до 14,4 Кбайт/с (115,2 Кбит/с).

Компьютер имеет 25-контактный разъем (типа DB25P) или 9-контактный разъем (типа DB9P) для подключения кабеля интерфейса RS-232C.

Чаще всего используется трех- или четырехпроводная связь (для двунаправленной передачи).

Для двухпроводной линии связи в случае передачи из компьютера во внешнее устройство используются сигналы SG и TxD. Все 10 сигналов интерфейса задействуются только при соединении компьютера с модемом.

Формат передаваемых данных показан на рис. 38. Собственно данные (содержащие 5, 6, 7 или 8 бит) сопровождаются стартовым битом, битом четности и одним или двумя стоповыми битами. Получив стартовый бит, приемник выбирает из линии биты данных через определенные интервалы времени. Очень важно, чтобы тактовые частоты приемника и передатчика были одинаковыми (расхождение — не более 10%). Скорость передачи по RS-232C может выбираться из ряда: 110, 150, 300, 600, 1200, 2400, 4800, 9600, 19200, 38400, 57600, 115200 бит/с.

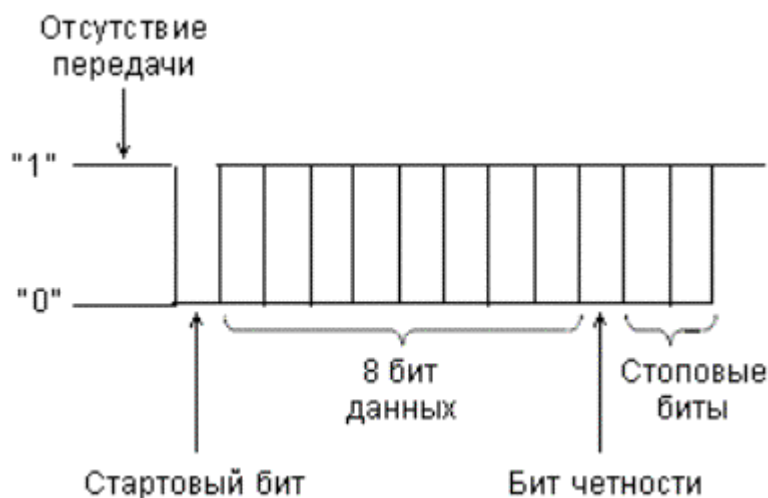


Рисунок 18 - Формат данных RS-232C

допустимое

Все сигналы RS-232C передаются специально выбранными уровнями, обеспечивающими высокую помехоустойчивость связи (рис. 39). Отметим, что данные

передаются в инверсном коде (логической единице соответствует низкий уровень, логическому нулю — высокий уровень).

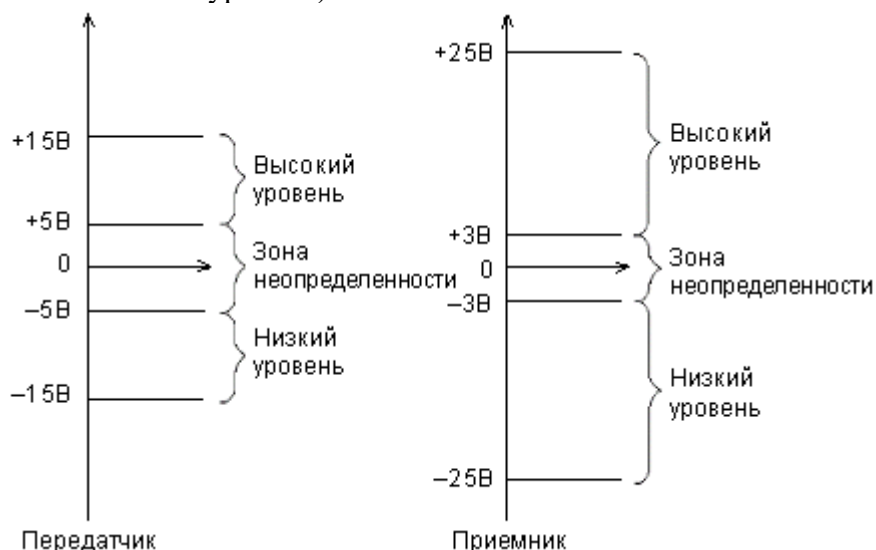


Рисунок 19 - Уровни сигналов RS-232C на передающем и принимающем концах линии связи

Обмен по RS-232C осуществляется компьютером с помощью обращений по специально выделенным для этого портам COM1 (адреса 3F8...3FF, прерывание IRQ4), COM2 (адреса 2F8...2FF, прерывание IRQ3), COM3 (адреса 3E8...3EF, прерывание IRQ10), COM4 (адреса 2E8...2EF, прерывание IRQ11).

Для реализации интерфейса применяются микросхемы универсальных асинхронных приемопередатчиков (УАПП, UART — Universal Asynchronous Receiver/Transmitter) типа i8250, 16550A или их аналоги. Компьютер с помощью посылки управляющих кодов может выбрать скорость обмена, формат передаваемых посылок (количество битов данных, проверка четности, использование стоповых битов), разрешить или запретить прерывания, а также установить или сбросить управляющие сигналы. Имеется также возможность прочесть слово состояния UART для определения источника прерывания или состояний флагов.

Стандарт интерфейса PCMCIA

Стандарт интерфейса PCMCIA (Personal Computer Memory Card International Association) или PC-card был предложен в 1990 году для портативных компьютеров (notebook) и используется для подключения к ним различных внешних устройств: модулей памяти (в том числе флэш-памяти), модемов и факс-модемов, сетевых контроллеров, дополнительных накопителей и т.д. PC-card-адаптеры отличаются очень малыми габаритами (с обычную кредитную карточку) и довольно высокой, по сравнению с другими аналогичными устройствами, стоимостью. Сейчас уже выпускаются PC-card-адаптеры для обычных (настольных) компьютеров. Если первая версия PC-card была предназначена только для модулей памяти, то вторая (1991 год) позволяла включать устройства ввода/вывода и поддерживала два напряжения питания (5 В и 3,3 В). Последние разработки поддерживают режим PnP.

Для подключения PCMCIA-карт используется 68-контактный разъем. Разрядность передаваемых данных — 16, количество разрядов адреса — 26, что позволяет адресовать до 64 Мбайт памяти. Тактовая частота шины - до 33 МГц. Стандарт определяет три различных длины контактов разъема для обеспечения правильной последовательности подачи напряжения питания при подключении и отключении карты во время работы компьютера. Компьютер имеет обычно 2—3 слота (разъема) для PC-card. Стандарт предусматривает автоматическое распределение ресурсов компьютера для устройств PC-card (режим PnP).

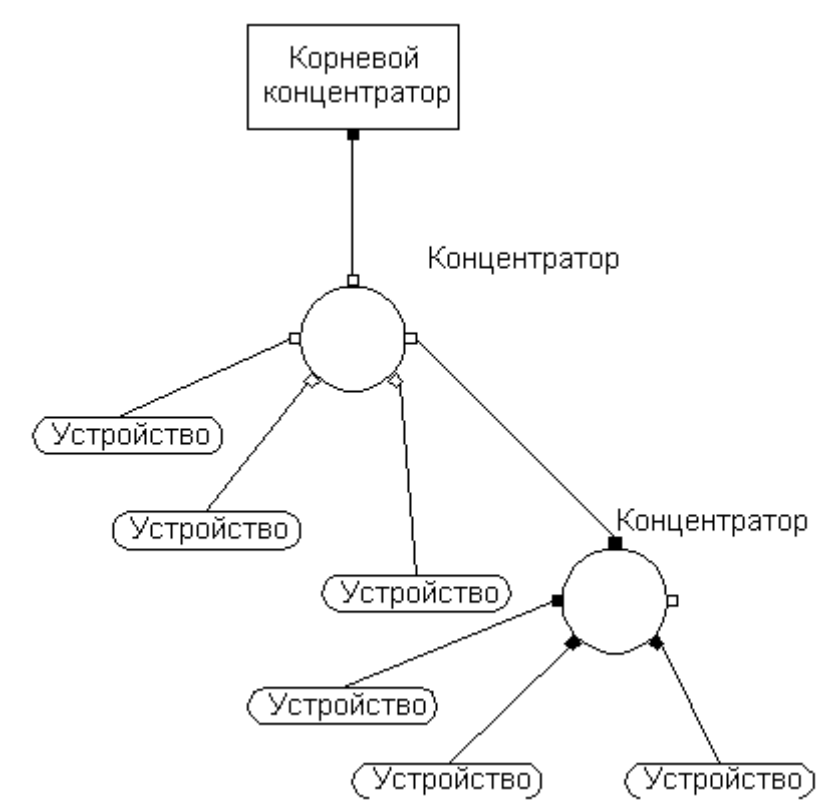


Рисунок 20 - Последовательный интерфейс USB

Последовательный интерфейс USB (Universal Serial Bus - Универсальный Последовательный Интерфейс) специально разрабатывался для простого подключения периферийных устройств. Шина USB представляет собой 4-проводную линию связи с пропускной способностью 1,5 Мбайт/с (12 Мбит/с). К ней можно подключать до 127 устройств по древовидной схеме с использованием одного или нескольких распределительных устройств. Длина соединительного кабеля между отдельными устройствами USB может достигать 5 метров. В шине USB реализована поддержка режима PnP и возможность «горячего» подключения (без выключения питания).

Архитектурой USB предусматривается топология «звезда». Система должна состоять из одного ведущего (корневого) концентратора с контроллером, управляемым операционной системой, требуемого количества концентраторов и узлов (периферийных устройств). Концентраторы могут каскадироваться, образуя древовидную структуру с поддеревьями. Узлы подключаются к концентраторам. Всего узлов может быть до 127; концентратор также считается устройством. В устройства, подключаемые к шине USB, часто встраивается концентратор с единственным выходным портом, что позволяет объединять устройства в цепочку. При построении цепочки следует иметь в виду, что наиболее скоростные устройства, например монитор, следует подключать ближе к корневому концентратору, а наименее скоростные, такие как клавиатура, — в конец цепочки. Это обеспечит постепенное снижение интенсивности трафика от корня к концу цепочки и облегчит приоритетное обслуживание высокоскоростных устройств.

Архитектура USB предусматривает наличие *внутренней* и *внешней* частей, при этом внутренняя часть подразделяется на программную и аппаратную составляющие. Все подключаемое к USB оборудование разделено на классы. Клиентский драйвер поставляется в соответствии с классом оборудования. Если оборудование не принадлежит к определенному классу, то драйвер поставляется производителем. Драйвер корневого концентратора и собственно шины USB обеспечивает управление контроллером и всеми концентраторами и поставляется вместе с ОС.

Для соединения устройств и концентраторов USB используется четырехжильный кабель: по двум его проводам подается электропитание на устройства, не имеющие

собственного источника питания, а два других используются для передачи информации. Наличие питания на шине позволяет избавиться от многочисленных сетевых адаптеров для модемов, дигитайзеров, клавиатур и т.д. Напряжение питания составляет 5 В постоянного тока.

Логически USB представляет собой шину с доступом через передачу маркера. Это обеспечивает лучшую управляемость по сравнению с доступом с соревнованием, как в сети Ethernet. В отличие от других шинных архитектур концентраторы передают пакеты от корня без полного их получения, что обеспечивает минимальные задержки.

В данном стандарте уже выпускаются модемы, клавиатуры, мыши, сканеры, цифровые фотокамеры и т.д. Важно, что в шине предусмотрена подача на подключаемые устройства питающего напряжения (в последовательном интерфейсе RS-232C, например, этого нет).

Шина IEEE 1394

В последние годы взгляды разработчиков новых стандартов обратились в сторону высокоскоростных последовательных интерфейсов.

Стандарт IEEE 1394 ведет свое происхождение от последовательного интерфейса 1394 (называемого еще FireWire) разработки Apple. Этот интерфейс был разработан в качестве недорогого дополнения к SCSI, стандартного для Macintosh и PowerMac. Он должен был обеспечить пропускную способность, не меньшую, чем SCSI, но при меньшей стоимости и большем удобстве пользования. Применение шестижильного (вместо 50 или 68 жил у SCSI) кабеля и минимальные требования к интеллекту соединяемых устройств заложили основу успеха. Первоначально интерфейс разрабатывался как имеющий скорость передачи 100 Мбит/с. Успешное внедрение позволило IEEE разработать спецификации и рекомендовать интерфейс в качестве стандарта. Проведенная в дальнейшем модификация позволила увеличить скорость передачи до 200 и 400 Мбит/с, разрабатываются модификации, обеспечивающие 800 и 1600 Мбит/с.

Спецификации стандарта предусматривают три уровня описания — *взаимодействия* (transactional), *связи* (link) и *физический* (physical).

На уровне *взаимодействия* устанавливается соответствие выводов, регистров и сигналов со стандартом ANSI/ IEEE Std 1212, 1994, что минимизирует трудности соединения с существующими параллельными компьютерными интерфейсами.

Уровень *связи* поддерживает обмен дейтаграммами и подтверждениями с уровнем взаимодействия, а также контроль изохронных каналов (об этом речь пойдет ниже).

Физический уровень обеспечивает инициализацию и арбитраж доступа узлов к среде передачи. Он также преобразует уровни сигналов и последовательные данные в параллельные. Между физическим уровнем и уровнем связи может быть установлена гальваническая развязка — в этом случае питание устройств физического уровня осуществляется от интерфейса IEEE 1394. Гальваническая развязка применяется в тех устройствах, которые имеют трехпроводной шнур электропитания во избежание «земляных петель».

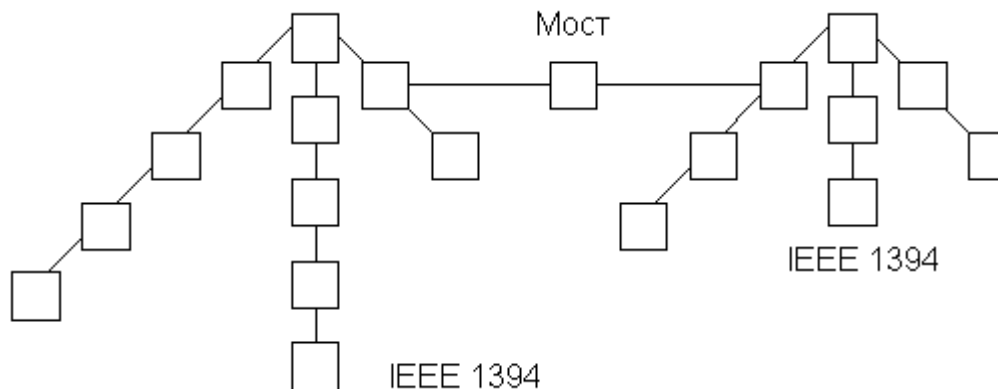


Рисунок 21 - Мост для связи двух подсистем

IEEE 1394 — последовательный интерфейс, позволяющий объединять устройства в древовидную структуру. Концентраторы, повторители и мосты являются служебными устройствами. Концентраторы позволяют объединять несколько ветвей в один узел. Повторители служат для усиления сигнала при передаче на расстояние более 4,5 м. Обычно повторитель встраивается в каждое устройство. Внутри одного дерева допускается переход сигнала между любыми двумя узлами не более чем через 16 промежуточных. Петли не допускаются (отсюда и термин «дерево»). Мосты объединяют несколько деревьев в одну сеть. Примечательно, что ведущее устройство в дереве не обязательно расположено в корне. Более того, ведущим может быть любое устройство, а в процессе работы допускается смена ведущего. Несмотря на то, что внешне интерфейс напоминает сеть, для работы устройств с ним достаточно уровня интеллекта, присущего видеоплееру или камере.

Соединительные кабели шестижильные: по двум жилам подается питание на устройства, не имеющие собственного источника питания, а остальные четыре жилы образуют две экранированные витые пары, каждая в собственном экране. В видеоплеерах и других стационарных видеоустройствах часто используется четырехпроводной кабель, в котором отсутствуют жилы питания. Максимальная длина стандартного кабеля составляет 4,5 м. Напряжение питания нормировано не строго и может колебаться согласно спецификациям стандарта от 7,5 до 33 В.

Скорость передачи составляет 98,304, 196,608, и 393,216 Мбит/с, что повсеместно округляется до 100, 200 и 400 Мбит/с соответственно. Стандартом предусмотрена совместная работа устройств с разной скоростью. При этом общая скорость не устанавливается равной минимальной, а поддерживается на том уровне, на который способно каждое из устройств. Таким образом, на периферии могут подключаться устройства со скоростью передачи 100 Мбит/с, а ближе к центру (корню) — 200 и 400 Мбит/с без потери производительности.

Наиболее замечательным свойством интерфейса IEEE 1394 является способ адресации устройств. Она производится не по адресу устройства, а согласно страничной модели памяти. Адрес пакета имеет ширину 64 бита; из них десять бит выделено на адрес сети, шесть — на адрес устройства, а остальные 48 — на адрес внутри устройства.

Таким образом, воедино может быть связано 1024 сети по 63 устройства (адресация от 0 до 62, адрес 63 зарезервирован) с 281 Тбайт памяти в каждом. С точки зрения процессора имеется нечто вроде прямого доступа к памяти, поделенной на страницы.

Временная диаграмма обычной работы интерфейса разбита на интервалы длиной 125 микросекунд, называемые фреймами, которые обозначаются специальными времязадающими сигналами. Внутри фреймов располагаются пакеты с данными, размещаемые согласно правилам арбитража. Для доступа к интерфейсу каждому устройству во время инициализации выделяется один или несколько каналов. Одному физическому устройству с одним разъемом может соответствовать несколько логических каналов различных типов.

При обработке определенных типов информации (видео, звук) требуется не только передавать значительные объемы данных, но и гарантировать определенную постоянную скорость передачи для обеспечения плавного, без «заиканий», представления. Для этой цели в спецификациях стандарта IEEE 1394 предусмотрены *изохронные* каналы передачи (по-гречески «изо» — «равный», «хроно» — «время»). Для передачи по изохронным каналам в каждом фрейме отведена его начальная часть. Всего для одного интерфейса может быть отведено до 64 изохронных каналов — по максимальному числу устройств. При инициализации интерфейса после сброса, происходящего при включении питания, подсоединении или отсоединении устройств, каждое из устройств, которому требуется гарантированная полоса передачи, запрашивает необходимое количество единиц времени из общей длины фрейма. Затем, во время нормального функционирования, устройство занимает запрошенное количество времени из каждого фрейма, обеспечивая таким образом непрерывную и равномерную доставку данных. Асинхронные данные передаются в остатке

фрейма. При изохронной передаче доставка данных не гарантирована, и подтверждение получения адресатом не высылается.

Передача *асинхронной* информации (команды, файлы и т. д.) осуществляется по мере наличия свободного времени, оставшегося во фрейме после передачи по изохронным каналам. Пакет, состоящий из адресов приемника, передатчика и собственно информации, поступает на приемник, который высылает пакет, подтверждающий прием. При длинных пересылках возможна отправка одного подтверждения на группу принятых пакетов (до 64 пакетов в группе). При отсутствии подтверждения или наличия сигнала об ошибке происходит повторная передача. Таким образом, по асинхронному каналу обеспечивается гарантированная доставка пакетов.

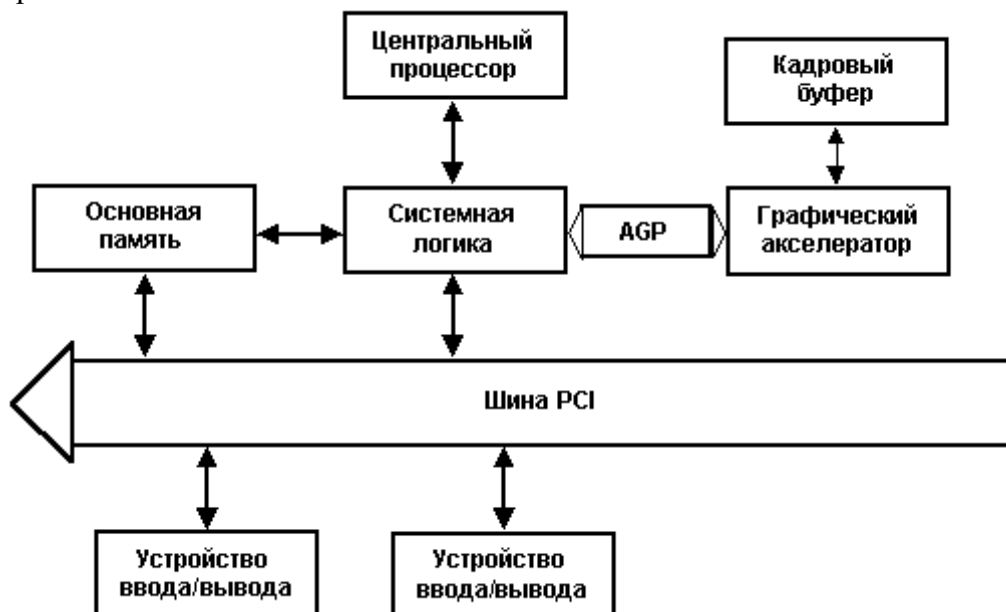
Автоматическая конфигурация производится каждый раз после включения электропитания, подключения или отсоединения устройства. Тот узел, который обнаружил изменение конфигурации, подает сигнал сброса. Для гарантированного обнаружения этот сигнал имеет длительность 167 мкс — это больше длины фрейма. После сброса следует фаза идентификации дерева, во время которой устанавливается топология дерева, образованного устройствами; она продолжается примерно 10 мкс, и за ней следует фаза самоидентификации длиной около 1 мкс, служащая для выделения номеров узлам и выделения каналов. По окончании автоконфигурации начинается режим нормального арбитража, то есть стационарной работы, продолжающийся до следующего сброса.

С точки зрения конструкции материнской платы замена параллельного интерфейса на последовательный может показаться весьма привлекательной, так как позволяет значительно уменьшить количество печатных проводников и упростить их разводку.

Интерфейс IEEE 1394 положен в основу концепции Home Network (Домашняя сеть). Предполагается объединить все информационные устройства в доме (компьютер, кабельный модем, приемник спутникового телевидения, цифровой видеомаягнитофон, телевизор, DVD RAM и т. д.) в единую сеть, причем из-за способности к самоконфигурированию интерфейса включенные по мере необходимости устройства будут самостоятельно взаимодействовать друг с другом.

AGP-порт.

AGP (Advanced Graphics Port) представляет собой новую архитектуру графической подсистемы PC, которая позволяет направлять поток данных от процессора и основной памяти системы к видеокарте, минуя шину PCI, а также дает видеоподсистеме возможность использовать для своих нужд основную память PC. На материнской плате появился новый AGP-разъем (внешне напоминающий разъем PCI), через который включается AGP-видеоадаптер.



В AGP предусмотрено три основных расширения спецификаций PCI:

1. Конвейерные операции записи и чтения;
2. Скорость передачи данных до 133 МГц;
3. Разделение адреса и данных.

В нынешней реализации шина AGP работает на частоте 66 МГц (PCI, напомним, на 33 МГц). Данные передаются дважды за такт, что обеспечивает скорость обмена в 200-300 Мбайт/с при максимуме 500 Мбайт/с. В дальнейшем частоту шины предполагается повысить до 133 МГц при максимальной скорости 1 Гбайт в секунду. Для сравнения, скорость шины профессиональной графической станции Silicon Graphics O₂ составляет 2,1 Гбайт/с.

Для последующего улучшения интерфейса, особенно при произвольных обращениях к памяти, в AGP введена дополнительная шина адреса SBA (Side Band Address). Эта шина, отделяющая адрес AGP-обращений от данных, используется исключительно для передачи запросов AGP-доступа.

Кроме высокоскоростной передачи видеоданных, AGP обеспечивает видеоподсистеме быстрый прямой доступ к основной памяти. 3D-ускорители используют часть собственной памяти для хранения текстур и так называемых Z-буферов (информации о положении объектов «в глубину» экрана). Высокая скорость обмена данными между видеосистемой и основной памятью обеспечивается быстротой шины и более эффективной, чем у PCI, организацией работы с данными: в то время как основные 32 проводника разъема AGP используются для перекачки данных, несколько дополнительных (sideband) проводников транслируют запросы на их передачу. Между чипсетом и основной памятью используется 64-разрядная шина; длина слова, используемого в транзакциях AGP, также составляет 64 бита (это сделано для лучшей совместимости с будущими 64-разрядными процессорами).

Чтобы дать видеопроцессору возможность работать с основной памятью напрямую, для хранения видеоданных выделяется некоторое количество (обычно – несколько мегабайт) основной памяти. Она определяется как AGP-память и представляется видеопроцессору как единое адресное пространство (хотя на самом деле память выделяется, как обычно, страницами по 4 Кбайт). Трансляцией виртуальных адресов AGP-памяти в реальные занимается специальный чип. Это позволяет хранить часть текстур и Z-буферов в основной памяти, что снижает требования приложений к объему дорогой видеопамати.

AGP способен функционировать в двух режимах: *DMA*, при котором данные о 3D-объектах хранятся в основной памяти и для обработки перекачиваются через шину AGP в видеопамать, и *Execute*, при котором видеопроцессор работает непосредственно с основной памятью.

Интерфейс SCSI

Интерфейс SCSI был разработан в конце 70-х годов и предложен организацией Shugart Associates первоначально под названием SASI (Shugart Associates System Interface). После стандартизации этого интерфейса в 1986 году уже под названием SCSI (Small Computer System Interface, читается эта аббревиатура “скази”) он стал одним из важнейших промышленных стандартов. Контроллеры SCSI применяются не только в IBM PC-совместимых компьютерах, но и других платформах.

SCSI имеет ряд преимуществ перед другими интерфейсами персональных компьютеров. 8-разрядный вариант SCSI-2 (иногда его называют Fast SCSI) поддерживает скорость передачи данных 10 Мбайт/с, 16-разрядный интерфейс Wide Fast SCSI - при той же тактовой частоте скорость 20 Мбайт/с. Наибольший выигрыш от применения SCSI можно получить при работе в многозадачных средах - Unix, Windows NT, OS/2 и др. Здесь проявляется способность интерфейса одновременно и эффективно работать со множеством периферийных устройств, не загружая центральный процессор.

К SCSI-шине могут быть подключены сразу до 15 внутренних и внешних устройств. Все подключенные к SCSI-шине устройства занимают только одну линию прерывания и одну группу адресов ввода-вывода, что существенно, поскольку системные ресурсы архитектуры IBM-совместимых ПК ограничены. Одновременную работу подключенных устройств обеспечивает функция виртуального отсоединения/присоединения.

Получив управляющую команду, устройство может отсоединиться от шины и обрабатывать команду. Тем временем контроллер направляет команды другим устройствам или считывает подготовленные ими данные. Когда, например головка дисководов будет установлена на нужный цилиндр, а данные считаны в буфер, устройство присоединится к шине. Другая важная функция SCSI - оптимизация очереди команд. Очередь перестраивается так, чтобы перемещение головок, занимающее много времени, было минимизировано. Предположим, есть четыре запроса на чтение с одного диска: из блоков 41089, 567, 3850 и 85. Если головки диска находятся на нулевом цилиндре, команды в очереди будут переставлены так: 85, 567, 3850 и 41089. Если же в момент запроса головка окажется на последнем цилиндре, порядок чтения будет обратным.

В новых разработках этого интерфейса происходит переход от *параллельного* способа передачи к *последовательному*. Предложены три последовательных варианта SCSI, позволяющие упростить соединения, увеличить длину кабеля, повысить скорость передачи данных при значительном возрастании числа подключаемых устройств. Некоторые интерфейсы предусматривают "горячее подключение" и автоматическое конфигурирование - не нужно выключать компьютер, чтобы установить дополнительное устройство.

Такая разновидность SCSI-3, как Ultra SCSI (или Fast-20), обладает повышенной производительностью по сравнению со SCSI-2. В результате увеличения тактовой частоты с 10 до 20 МГц пропускная способность узкой 8 - разрядной шины повышена до 20 Мбайт/с, а широкой 16-разрядной - до 40 Мбайт/с.

Первоначальная пассивная схема согласования, использующая резистивные терминаторы сопротивлением 220/330 Ом, заменена на активную. Последняя обладает некоторыми преимуществами: разброс импеданса линий уменьшился, а согласование волнового сопротивления стало более точным, что в свою очередь ведет к улучшению формы сигнала на длинном кабеле. Из-за жестких ограничений на параметры фронтов число устройств на шине Ultra SCSI независимо от разрядности (8 или 16) не может превышать восьми. По той же причине длина самого кабеля по сравнению со SCSI-2 уменьшена вдвое.

Линии передачи данных на частотах 10-20 МГц наводят взаимные помехи и дальнейшее наращивание скорости передачи становится невозможным. Сказываются малейшие рассогласования волнового сопротивления сигнальных проводов. Кардинальным решением проблемы повышения пропускной способности может быть только переход на последовательную форму передачи информации, где все сигналы идут по одной линии. Возможности современных интегральных схем и достижения оптоэлектроники обеспечивают скорость последовательной передачи данных в 100 Мбайт в секунду!

Если говорить о пропускной способности, то наиболее перспективен последовательный интерфейс Fibre Channel. В нем в качестве носителя используется оптическое волокно. Длина волоконно-оптического кабеля может достигать 10 км. Возможно «горячее подключение» до 127 устройств. Скорость передачи данных достигает 100 Мбит в секунду! Стандарт Fibre Channel поддерживает несколько топологий: от простейшего соединения "точка - точка" для двух устройств до сложных структур типа Arbitrated Loop - кольцевой структуры, в которой устройства имеют возможность «переговариваться» друг с другом, определяя, какое из них в данный момент должно передавать данные.

Стоит отметить, что, в отличие от других новых стандартов, интерфейс Fibre Channel

реализует собственный транспортный протокол и может использоваться в качестве очень быстрой сетевой среды. По каналу одновременно с командами управления устройствами можно передавать пакеты сетевых протоколов.

Интерфейс IDE

Вообще говоря, первыми устройствами типа IDE были накопители на платах расширения (HardCard), то есть устройства, объединяющие привод и контроллер. Так, в отделении Plus Development компании Quantum было разработано устройство, где на одной плате расширения находились 3,5-дюймовый винчестер с интерфейсом ST506/412 и его контроллер.

Интерфейс IDE (в современном понимании этого термина) был предложен пользователям AT- и XT-совместимых компьютеров летом 1988 года известной сегодня фирмой Conner Peripherals как недорогая альтернатива интерфейсам ESDI и SCSI.

Отличительной особенностью нового интерфейса является реализация функций контроллера в самом накопителе. Таким образом, если винчестер имел IDE-интерфейс, это означало, что большая часть компонентов контроллера, совместимого по адресам с интерфейсом ST506/412, расположена вместе с электронной частью винчестера. Кстати, та плата с электронными компонентами, которая обычно включается между системной шиной компьютера и самим накопителем, контроллером, вообще говоря, не является. Как правило, она выполняет функции дешифратора базовых адресов контроллера и формирователя интерфейсных сигналов. Видимо, правильнее называть эту плату адаптером.

Подсоединение IDE-винчестера к компьютеру выполняется посредством 40-контактного плоского кабеля: либо к соответствующему разъему непосредственно на системной плате, либо через специальный адаптер (многофункциональную плату ввода-вывода), установленный в один из разъемов расширения. Рекомендуемая длина кабеля не должна превышать 50 см.

Благодаря тесному взаимодействию пары контроллер – винчестер предусматривается, как правило, ряд особенностей, повышающих производительность винчестера, например использование аппаратной кэш-памяти для получения коэффициента чередования 1:1, режима трансляции физических параметров диска в логические, что позволяет использовать "нестандартные" параметры накопителя, и т.п.

В соответствии со спецификацией к одному разъему IDE можно подключить два винчестера, используя соединение "дэйзи-цепочка" (управляющий — Master, управляемый — Slave). Правда, имеются контроллеры, которые допускают подключение четырех устройств (например, DC-200 фирмы Promise Technology). "Трюк" в данном случае состоит в использовании адресов вторичного контроллера. Напомним, что в IBM PC-совместимых компьютерах возможно подключение двух адаптеров жестких дисков: первичного, с адресами портов ввода-вывода 1f0h–1f7h, и вторичного — 170h–177h. К каждому адаптеру допустимо подключать по два накопителя (Master-Slave). Ранние версии системных BIOS работают только с первичным адаптером.

Интерфейс EIDE

Своей популярностью IDE-накопители во многом обязаны так называемой прозрачности. Это значит, что для установки подобного устройства не требуется специального программного драйвера, поскольку оно определено и поддерживается на уровне системной BIOS и интерфейса IDE.

Интерфейс Enhanced IDE имеет четыре основные особенности:

1. использование IDE-накопителей емкостью свыше 504 Мбайт,
2. более производительные режимы обмена данными,
3. подключение к одному адаптеру до четырех устройств,
4. поддержка периферийных устройств, отличных от жестких дисков.

Все новые системные BIOS от AMI, Award и Phoenix имеют свои особенности для поддержки Enhanced IDE. Так, например, спецификация включает в себя реализацию режима LBA (Logical Block Address). В этом случае информация из формата CHS

транслируется в 28-разрядный логический адрес LBA. В частности, работа с логическими блоками позволяет легко преодолеть ограничение в 504 Мбайта.

Это не единственный способ трансляции параметров, предусмотренный спецификацией. Для компьютеров со "старой" BIOS, то есть не поддерживающей Enhanced IDE, предусмотрена трансляция формата CHS BIOS (CHS Standard) в формат CHS IDE (CHS Extended). Это позволяет достичь емкости 8,4 Гбайта, чего на сегодняшний день вполне достаточно. Вообще говоря, в ряде случаев при "старой" BIOS для винчестера Enhanced IDE необходим программный драйвер (на практике часто пользуются пакетом Disk Manager).

Более производительный обмен данными обеспечивается реализацией режима PIO (Processor Input-Output) Mode 3 при помощи так называемого текущего управления (flow control) линией IORDY (I/O Channel Ready) шины IDE. Скорость обмена в этом случае может достигать 11 Мбайт/с (время цикла составляет около 180 нс). Кроме того, обмен данными обеспечивает режим прямого доступа в память — Multiword DMA. Режим Multiword DMA Mode 1 позволяет занимать системную шину для передачи нескольких слов при одном захвате. Скорость обмена для этого режима теоретически составляет 13,3 Мбайта/с.

Расширение количества подключаемых устройств до четырех достигается за счет использования упоминаемого уже вторичного контроллера дисков, адресное пространство для которого предусмотрено в карте памяти IBM PC-совместимых компьютеров.

Спецификация Enhanced IDE позволяет не только увеличить количество подключаемых устройств, но и использовать другие типы устройств, например приводы CD-ROM или стримеры. В частности, Western Digital для поддержки накопителей CD-ROM с интерфейсом IDE предлагает протокол ATAPI (ATA Packed Interface). ATAPI является расширением протокола ATA и требует незначительных изменений в системной BIOS. В общем случае применяется специальный драйвер.

Если интерфейс Fast ATA поддерживает режимы PIO Mode 3 и Multiword DMA Mode 1, то Fast ATA-2 реализует уже другие новые режимы: PIO Mode 4 с максимальной скоростью обмена 16,6 Мбайта/с и Multiword DMA Mode 2 (16,7 Мбайта/с). В перспективе речь идет уже о PIO Mode 5 (свыше 20 Мбайт/с). Стоит отметить, что единственным требованием спецификаций Fast ATA является только реализация режимов обмена данными, то есть система BIOS, предназначенная для Fast ATA, необязательно должна поддерживать одновременно четыре устройства, в том числе и отличные от жестких дисков, а также емкость свыше 504 Мбайт.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 1) Персональный компьютер – не менее 1-го на двух обучающихся.
- 2) Учебные системные блоки ПЭВМ.
- 3) Учебные монитор, мышь, клавиатура.
- 4) Стенд основных составных частей системного блока.
- 5) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Составить принципиальную схему замещения стандартного выходного каскада цифровой микросхемы, пояснить принцип работы такого выходного каскада.
- 2) Составить принципиальную схему замещения выходного каскада с открытым коллектором для цифровой микросхемы, пояснить принцип работы такого выходного каскада.
- 3) Составить принципиальную схему замещения выходного каскада с тремя состояниями для цифровой микросхемы, пояснить принцип работы такого выходного

каскада.

- 4) Составить структурные схемы мультиплексированной и двунаправленной линий шины, пояснить их принципы работы.
- 5) Составить структурную схему физического уровня шины PCI Express.
- 6) Разработать алгоритм преобразования данных на физическом уровне шины PCI Express при передаче и приеме.
- 7) Изобразить и пояснить временные диаграммы цикла передачи данных в интерфейсе Centronics.
- 8) Изобразить и пояснить формат передаваемых данных интерфейса RS-232C, уровни сигналов RS-232C на передающем и принимающем концах линии связи.

Повышенный уровень:

- 9) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с открытыми коллекторами, пояснить принцип работы такой мультиплексированной линии.
- 10) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с тремя состояниями, пояснить принцип работы такой мультиплексированной линии.
- 11) Изобразить и пояснить временные диаграммы мультиплексированной шины адреса/данные при синхронном и асинхронном обмене данными.
- 12) Составить таблицу со сравнительными характеристиками шин ISA, PCI, PCI Express.
- 13) Составить таблицу со сравнительными характеристиками для интерфейсов SCSI, IDE, EIDE.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Практическое занятие № 2.

Тема 2: Цифровые логические основы ЭВМ

Время – 3 часа.

Формируемые компетенции: ОПК-2

УЧЕБНЫЕ ВОПРОСЫ:

2. Организация памяти ЭВМ.

СОДЕРЖАНИЕ ЗАНЯТИЯ

1. Общая информация

Во время появления первых действующих компьютеров сложилось деление памяти на *внутреннюю* и *внешнюю*. Под внутренней подразумевалась память, расположенная внутри процессорного "шкафа" (или примыкающая к нему). Сюда входила и электронная и магнитная память (на магнитных сердечниках). Для внутренней памяти характерен одномерный (линейный) адрес, который представляет собой одно двоичное число. Доступ к памяти осуществляется по адресу, заданному программой и для процессора она является непосредственно доступной.

Сегодня внутренняя (и оперативная, и постоянная) электронная (полупроводниковая) память является хранилищем программного кода, который непосредственно может быть исполнен процессором и устанавливается на системной плате или на платах расширения.

Обычно под компьютерной памятью понимают только "внутреннюю память" компьютера, которая в свою очередь **классифицируется** на:

ОЗУ, оперативное запоминающее устройство с оперативной памятью (RAM, Random Access Memory) - памятью с произвольным доступом (английский термин), определяет допустимый объем и скорость одновременно выполняемых процедур. Произвольность доступа подразумевает возможность операций записи или чтения с любой ячейкой ОЗУ в произвольном порядке.

Самые первые ЭВМ имели память на ртутных линиях задержки или электронно-лучевых трубках. Эти экзотические устройства были быстро вытеснены запоминающими устройствами на магнитных сердечниках, которые получили широкое распространение и применялись довольно долго. Намагниченное состояние небольшого ферритового кольца, которое служило элементом для запоминания одного бита информации, соответствовало единице, ненамагниченное — нулю.

Наконец, развитие технологий интегральной микроэлектроники позволило изготовить компактную полупроводниковую память, которая в данный момент и применяется в компьютерах. До последних лет из микросхем памяти использовали два основных типа: статическую (*SRAM* - Static RAM) и динамическую (*DRAM* - Dynamic RAM).

При выключении компьютера вся информация, которая находилась в оперативной памяти компьютера, безвозвратно теряется.

ПЗУ (постоянное запоминающее устройство, ROM, Read Only Memory, память только для чтения) - постоянная память, информацию из которой можно только считывать.

Позднее появились конструкции ПЗУ, которые можно было запрограммировать несколько раз. Они получили название перепрограммируемые ПЗУ (ППЗУ). Стирание старой информации, т. е. установка всех битов памяти в единичное состояние, производилось ультрафиолетовым излучением (интенсивности бытового прибора для загара вполне хватало!), для которого в корпусе микросхемы делалось специальное прозрачное окошечко.

Наконец, самые последние разработки ППЗУ позволяют производить обновление информации чисто электрическим путем, причем уже без специального программатора и не вынимая из платы.

ПЗУ - это одна или несколько микросхем, расположенных на системной плате и содержащих набор подпрограмм. ПЗУ играет в современных компьютерах очень важную роль. Прежде всего, каждый компьютер содержит ПЗУ с программой начальной загрузки, о котором мы уже говорили.

В этой же самой микросхеме обычно хранятся минимальные программы работы с клавиатурой и другими устройствами, поэтому ее часто называют *BIOS*— Basic Input/Output System (данные программы можно сравнить с врожденными безусловными рефлексам у живого существа). Кроме того, в ПЗУ может помещаться информация, необходимая для работы внешних устройств, например о начертании символов: так называемые знакогенераторы, которые были в каждом матричном принтере. Наконец, многие современные платы управления внешними устройствами, например, жестким диском, фактически являются настоящими специализированными ЭВМ и содержат собственное ПЗУ со встроенным программным обеспечением.

Cashe-память (Кэш-память, Cashe Memory) - сверхоперативная память (СОЗУ), является буфером между ОЗУ и процессором (несколькими процессорами) и другими абонентами системной шины.

Кэш представляет собой "быструю" статическую память небольшого объема, которая служит для ускорения доступа к полному объему "медленной" динамической памяти. Основная идея работы кэш-памяти заключается в том, что извлеченные из ОЗУ данные или команды программы копируются в кэш; одновременно в специальный каталог адресов, который находится в той же самой памяти, запоминается, откуда информация была извлечена. Если данные потребуются повторно, то уже не надо будет терять время на

обращение к ОЗУ — их можно получить из кэш-памяти значительно быстрее.

Поскольку объем кэша существенно меньше объема оперативной памяти, его контроллер (управляющая схема) тщательно следит за тем, какие данные следует сохранять в кэш, а какие заменять: удаляется та информация, которая используется реже или совсем не используется. Контроллер также обеспечивает своевременную запись измененных данных из кэша обратно в основное ОЗУ.

Кэш в современных компьютерах строится по двух-уровневой схеме:

- **L1 Cashe** (Level 1 Cashe, Первичный кэш) - кэш 1 уровня, внутренний (Internal, Integrated) кэш процессоров класса 486 и старше.

- **L2 Cashe** (Level 2 Cashe, Вторичный кэш) - кэш 2 уровня. Работает на частоте шины. Для кэша 2-го уровня всегда используется SRAM. Характерные емкости - от 256kB до 1MB на процессор. Объем и быстродействие *L2 Cashe* оказывают огромное влияние на быстродействие ПК в целом.

Но иногда установка в ПК систему дополнительной памяти может и заметно замедлить ее работу, если контроллер не поддерживает кэширование этой памяти. Обычно это **внешний** (*External*) кэш, установленный на системной плате. Для Pentium Pro и Pentium II вторичный кэш расположен в одном корпусе с самим процессором.

Flash-память (флэш-память). Предназначенного для хранения информации и/или переноса между мобильными устройствами и ПК. Для исполнения программы на ПК в моменты программирования и стирания флэш-памяти требуется ОЗУ.

Подобно ОЗУ, флэш-память модифицируется электрически внутрисистемно, но подобно ПЗУ, flash-память энергонезависима и хранит данные даже после отключения питания.

В отличие от ОЗУ, flash-память нельзя переписывать побайтно. Она читается и записывается байт за байтом и ее нужно полностью стереть перед тем, как записывать новые данные.

Наибольшее распространение получили карты памяти и тип Boot Block. Flash-память типа Boot Block служит для хранения обновляемых программ и данных в сотовых телефонах (SIM-карта), модемах, BIOS-ах, системы управления автомобильными двигателями и т.п.

2. Организация памяти.

Адресация операндов

Большая часть команд процессора работает с кодами данных (операндами). Одни команды требуют входных операндов (одного или двух), другие выдают выходные операнды (чаще один операнд). Входные операнды называются еще операндами-источниками, а выходные называются операндами-приемниками. Все эти коды операндов (входные и выходные) должны где-то располагаться. Они могут находиться во внутренних регистрах процессора (наиболее удобный и быстрый вариант). Они могут располагаться в системной памяти (самый распространенный вариант). Наконец, они могут находиться в устройствах ввода/вывода (наиболее редкий случай). Определение места положения операндов производится кодом команды. Причем существуют разные методы, с помощью которых код команды может определить, откуда брать входной операнд и куда помещать выходной операнд. Эти методы называются методами адресации. Эффективность выбранных методов адресации во многом определяет эффективность работы всего процессора в целом.

Методы адресации

Количество методов адресации в различных процессорах может быть от 4 до 16. Рассмотрим несколько типичных методов адресации операндов, используемых сейчас в большинстве микропроцессоров.

Непосредственная адресация предполагает, что операнд (входной) находится в памяти непосредственно за кодом команды.



Рисунок 1 - Непосредственная адресация

Операнд обычно представляет собой константу, которую надо куда-то переслать, к чему-то прибавить и т.д. Например, команда может состоять в том, чтобы прибавить число 6 к содержимому какого-то внутреннего регистра процессора. Это число 6 будет располагаться в памяти, внутри программы в адресе, следующем за кодом данной команды сложения.

Прямая (она же абсолютная) **адресация** предполагает, что операнд (входной или выходной) находится в памяти по адресу, код которого находится внутри программы сразу же за кодом команды. Например, команда может состоять в том, чтобы очистить (сделать нулевым) содержимое ячейки памяти с адресом 1000000. Код этого адреса 1000000 будет располагаться в памяти, внутри программы в следующем адресе за кодом данной команды очистки.



Рисунок 2 - Прямая адресация

Регистровая адресация предполагает, что операнд (входной или выходной) находится во внутреннем регистре процессора.



Рисунок 3 - Регистровая адресация

Например, команда может состоять в том, чтобы переслать число из нулевого регистра в первый. Номера обоих регистров (0 и 1) будут определяться кодом команды пересылки.

Косвенно-регистровая (она же **косвенная**) **адресация** предполагает, что во внутреннем регистре процессора находится не сам операнд, а его адрес в памяти.

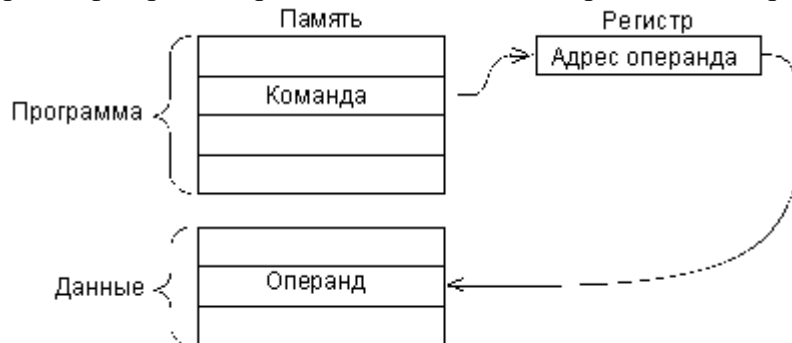


Рисунок 4 - Косвенная адресация

Например, команда может состоять в том, чтобы очистить ячейку памяти с адресом, находящимся в нулевом регистре. Номер этого регистра (0) будет определяться кодом команды очистки.

Реже встречаются еще два метода адресации.

Автоинкрементная адресация очень близка к косвенной адресации, но отличается от нее тем, что *после* выполнения команды содержимое используемого регистра увеличивается на единицу или на два. Этот метод адресации очень удобен, например, при последовательной обработке кодов из массива данных, находящегося в памяти. После обработки какого-то кода адрес в регистре будет указывать уже на следующий код из массива. При использовании косвенной адресации в данном случае пришлось бы увеличивать содержимое этого регистра отдельной командой.

Автодекрементная адресация работает похоже на автоинкрементную, но только содержимое выбранного регистра уменьшается на единицу или на два *перед* выполнением команды. Эта адресация также удобна при обработке массивов данных. Совместное использование автоинкрементной и автодекрементной адресаций позволяет организовать память стекового типа.

Из других распространенных методов адресации можно упомянуть об **индексных методах**, которые предполагают для вычисления адреса операнда прибавление к содержимому регистра заданной константы (индекса). Код этой константы располагается в памяти непосредственно за кодом команды.

Выбор того или иного метода адресации в значительной степени определяет время выполнения команды. Самая быстрая адресация — это регистровая, так как она не требует дополнительных циклов обмена по магистрали. Если же адресация требует обращения к памяти, то время выполнения команды будет увеличиваться за счет длительности необходимых циклов обращения к памяти. Чем больше внутренних регистров у процессора, тем чаще и свободнее можно применять регистровую адресацию, и тем быстрее будет работать система в целом.

Сегментирование памяти

Говоря об адресации, нельзя обойти вопрос о сегментировании памяти, применяемой в некоторых процессорах, например в процессорах IBM PC-совместимых персональных компьютеров. В процессоре Intel 8086 сегментирование памяти организовано следующим образом.

Вся память системы представляется не в виде непрерывного пространства, а в виде нескольких кусков — сегментов заданного размера (по 64 Кбайта), положение которых в пространстве памяти можно изменять программным путем.



Рисунок 6 - Физический адрес в сегменте (все коды — шестнадцатеричные).

Сегмент может начинаться только на 16-байтной границе памяти (так как адрес начала сегмента, по сути, имеет четыре младших нулевых разряда, как видно из рис. 19), то есть с адреса, кратного 16. Эти допустимые границы сегментов называются границами параграфов.

Отметим, что введение сегментирования, прежде всего, связано с тем, что внутренние регистры процессора 16-разрядные, а физический адрес памяти 20-разрядный (16-разрядный адрес позволяет использовать память только в 64 Кбайт, что явно недостаточно). В появившемся в то же время процессоре MC68000 фирмы Motorola внутренние регистры 32-разрядные, поэтому там проблемы сегментирования памяти не возникает.

Применяются и более сложные методы сегментирования памяти. Например, в процессоре Intel 80286 в так называемом **защищенном режиме** адрес памяти вычисляется в соответствии с рисунком.

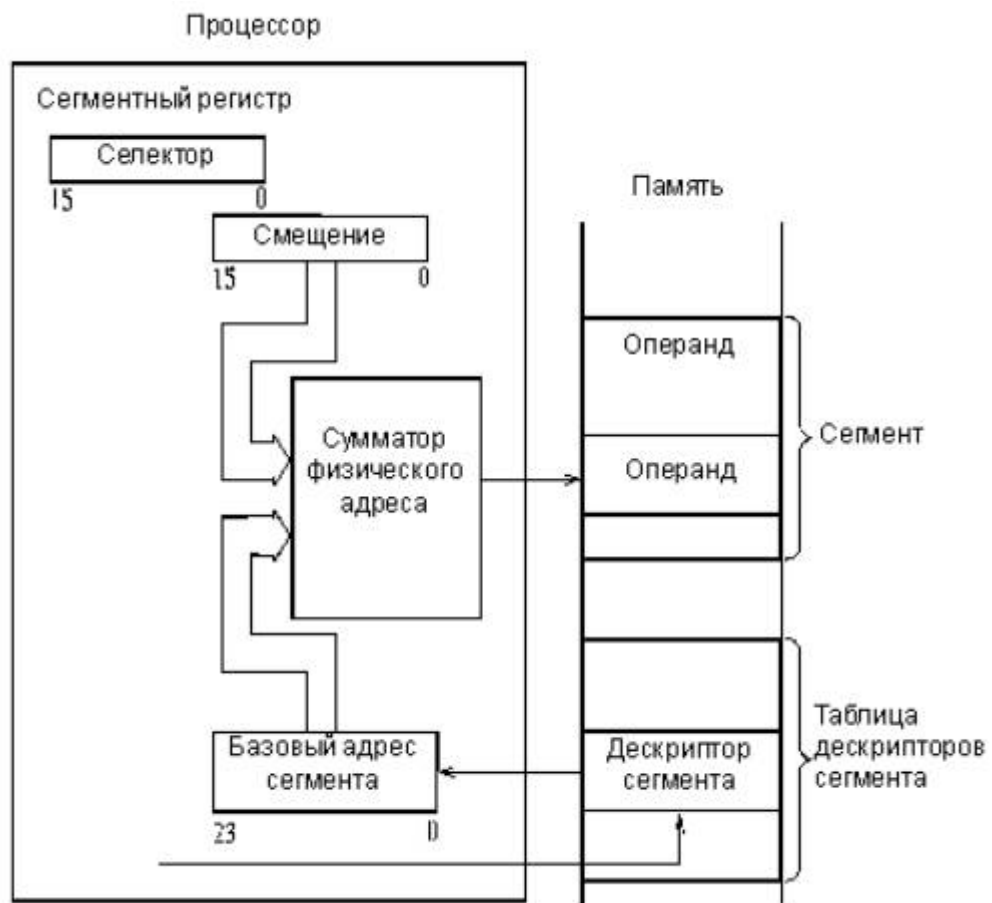


Рисунок 7 - Адресация памяти в защищенном режиме процессора Intel 80286

В сегментном регистре в данном случае хранится не **базовый** (начальный) адрес сегментов, а коды селекторов, определяющие адреса в памяти, по которым хранятся дескрипторы (то есть описатели) сегментов. Область памяти с дескрипторами называется таблицей дескрипторов. Каждый дескриптор сегмента содержит базовый адрес сегмента, размер сегмента (от 1 до 64 Кбайт) и его атрибуты. Базовый адрес сегмента имеет разрядность 24 бит, что обеспечивает адресацию 16 Мбайт физической памяти.

Еще более сложный метод адресации памяти с сегментированием использован в процессорах Intel 80386 и далее.

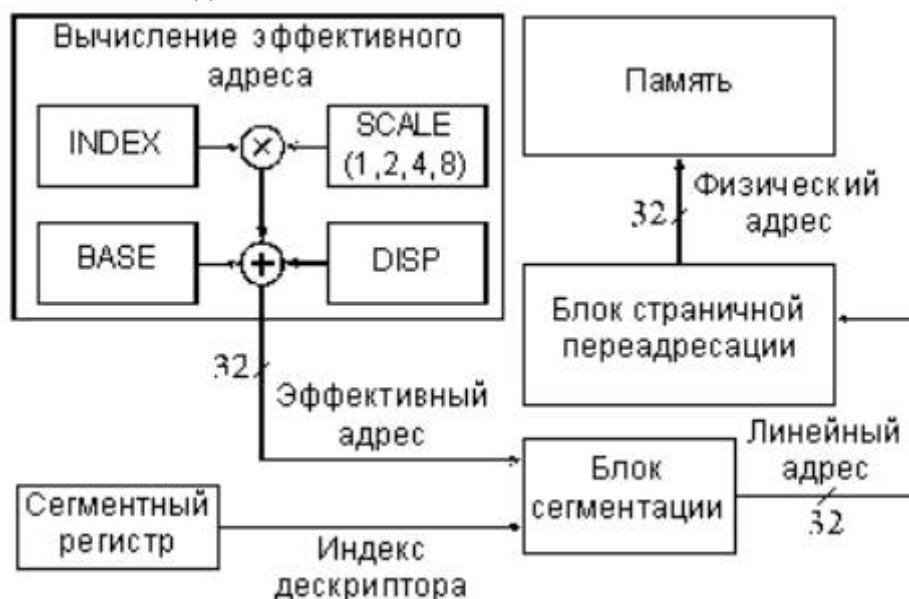


Рисунок 8 - Формирование физического адреса памяти процессора 80386 в защищенном режиме

Адрес памяти (**физический адрес**) вычисляется в три этапа. Сначала вычисляется так называемый *эффективный адрес* (32-разрядный) путем суммирования трех компонентов: базы, индекса и смещения (Base, Index, Displacement), причем возможно умножение индекса на масштаб (Scale). Эти компоненты имеют следующий смысл:

- **смещение** — это 8-, 16- или 32-разрядное число, включенное в команду.
- **база** — это содержимое базового регистра процессора. Обычно оно используется для указания на начало некоторого массива.
- **индекс** — это содержимое индексного регистра процессора. Обычно оно используется для выбора одного из элементов массива.
- **масштаб** — это множитель (он может быть равен 1, 2, 4 или 8), указанный в коде команды, на который перед суммированием с другими компонентами умножается индекс. Он используется для указания размера элемента массива.

Затем специальный *блок сегментации* вычисляет 32-разрядный *линейный адрес*, который представляет собой сумму базового адреса сегмента из сегментного регистра с эффективным адресом. Наконец, *физический 32-битный адрес памяти* образуется путем преобразования линейного адреса блоком страничной переадресации, который осуществляет перевод линейного адреса в физический страницами по 4 Кбайта.

Сегментирование позволяет выделить в памяти один или несколько сегментов для данных и один или несколько сегментов для программ. Переход от одного сегмента к другому сводится всего лишь к изменению содержимого сегментного регистра. Но работать с сегментированной памятью сложнее, чем с несегментированной памятью, так как приходится следить за границами сегментов, за их описанием, переключением и т.д.

Адресация байтов и слов

Многие процессоры, имеющие разрядность 16 или 32, способны адресовать не только целое слово в памяти (16-разрядное или 32-разрядное), но и отдельные байты. Каждому байту в каждом слове при этом отводится свой адрес.

Так, в случае 16-разрядных процессоров все слова в памяти (16-разрядные) имеют четные адреса. А байты, входящие в эти слова, могут иметь как четные адреса, так и нечетные.

Например, пусть 16-разрядная ячейка памяти имеет адрес 23420, и в ней хранится код 2A5E.

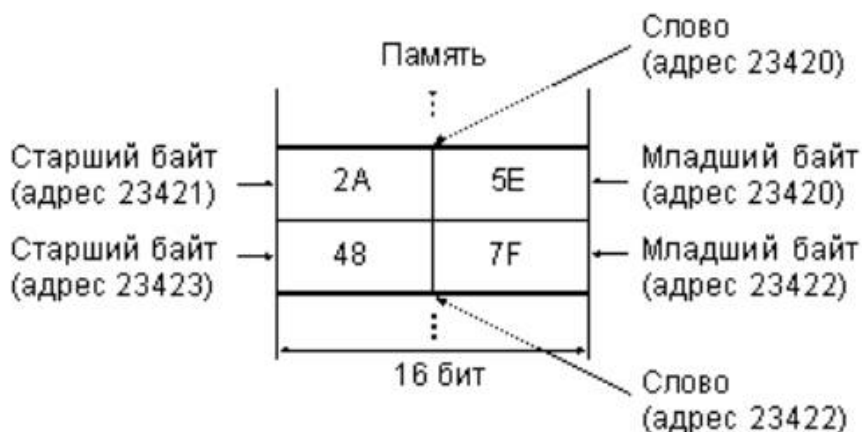


Рисунок 9 - Адресация слов и байтов

При обращении к целому слову (с содержимым 2A5E) процессор выставляет адрес

23420. При обращении к младшему байту этой ячейки (с содержимым 5Е) процессор выставляет тот же самый адрес 23420, но использует команду, адресующую байт, а не слово. При обращении к старшему байту этой же ячейки (с содержимым 2А) процессор выставляет адрес 23421 и использует команду, адресующую байт. Следующая по порядку 16-разрядная ячейка памяти с содержимым 487F будет иметь адрес 23422, то есть опять же четный. Ее байты будут иметь адреса 23422 и 23423.

Для различия байтовых и словных циклов обмена на магистрали в шине управления предусматривается специальный сигнал байтового обмена. Для работы с байтами в систему команд процессора вводятся специальные команды или предусматриваются методы байтовой адресации.

Стековая память

Под стек можно отвести область в любом месте памяти. Размер ее может быть любым, но не должен превосходить 64Кб, а ее начальный адрес должен быть кратным 16. Другими словами, эта область должна быть сегментом памяти; он называется сегментом стека. Начало этого сегмента (первые 16 битов начального адреса) должно обязательно храниться в сегментном регистре SS.

В стековой памяти ячейки образуют одномерный массив, в котором соседние ячейки связаны друг с другом разрядными цепями передачи слов. Запись нового слова производится в верхнюю ячейку, при этом все ранее записанные слова сдвигаются вниз, в соседние ячейки. Считывание возможно только из верхней ячейки памяти. Если производится считывание с удалением, все остальные слова в памяти сдвигаются в верх.

В этой памяти порядок считывания слов соответствует правилу FIFO: **последним поступил, первым обслуживается**. В ряде устройств рассматриваемого типа предусматривается также операция простого считывания слова из нулевой ячейки без его удаления и сдвига слов в памяти.

Иногда стековая память снабжается счетчиком стека, показывающим количество занесенных в память слов.

В вычислительных машинах часто стековую память организуют, используя адресную память и специальный регистр - указатель стека.

Области памяти.

Рассмотрим некоторую терминологию принятую в MS DOS для обозначения тех или иных областей памяти.

Базовая или стандартная память (conventional memory) представляет собой "нижние" 640 Кбайт ОЗУ. Для использования базовой памяти не нужны никакие дополнительные драйверы, поскольку операционная система MS DOS изначально создана для работы в адресах 0 - 640 Кбайт.

Область верхней памяти (Upper Memory Area - UMA) называется часть ОЗУ, находящаяся между адресами 640 и 1024 Кбайт. По причине недоступности этой памяти для прикладных программ при указании общего объема памяти область верхней памяти (384 Кбайт) обычно не учитывается.

Память выше 1024 Кбайт называется **дополнительной памятью** (extended memory).

Понятие "*extended memory*" было введено специально для MS DOS, когда появился микропроцессор 80286. Он мог адресовать 16 Мбайт памяти, а последовавший за ним 80386DX - 4 Гбайт памяти, но система MS DOS не могла напрямую использовать память с адресами выше 1 Мбайта. Важно понимать, что дополнительная память - это точно такая же память, как и стандартная, на таких же микросхемах, только для MS DOS необходимо конфигурировать ее, как дополнительную.

Выше 1024 Кбайт, дополнительная память (Extended Memory)	Выше 1088 Кбайт, дополнительная память по стандарту XMS
	1024 - 1088 Кбайт высокая память (HMA)
640 - 1024 Кбайт, область верхней памяти (UMA)	
0 - 640 Кбайт, базовая память (Conventional memory)	

Рисунок 10-
Спецификации

дополнительной памяти XMS 3.0

Согласно общепринятой спецификации дополнительной памяти XMS 3.0 (eXtended Memory Specification), дополнительная память делится на две области (см. рис.) — область **высокой памяти** объемом 64 Кбайт (High Memory Area - **HMA**) и собственно дополнительную память, которую обычно называют **XMS**.

Своим существованием область высокой памяти, объем которой на самом деле 64 Кбайт без 16 байт, обязана ошибке, с которой 286 процессор эмулирует процессор 8088.

Рассмотрим это подробнее. Как уже было сказано, вся **базовая память**, помимо того, что может быть представлена в виде 16 неперекрываемых страниц размером 64 Кбайт каждая (A - F), также может быть представлена и в виде перекрываемых 64 К-байтных областей, которые, вообще говоря, могут начинаться через каждые 16 байт.

Максимальный полный адрес в виде сегмент: смещение, по которому может обратиться процессор 8088, это **FFFFh:000Fh** (20 адресных линий). Если увеличить это значение хотя бы на единицу, то произойдет циклический перенос и значение адреса станет **0000:0000**. Для процессора 286 в общем случае этого не произойдет, так как в работу вступает адресная шина A20 (двадцать первая). Чтобы исправить эту ошибку, фирма IBM на системных платах компьютеров предусматривает специальные аппаратные средства, заставляющие процессор 286 выполнять переход на низшие адреса, как это было бы при работе микропроцессора 8088. Так как такой переход может быть отменен чисто программными методами, компьютер с процессором 286 и выше может использовать область памяти в адресах **FFFF:0010 — FFFF:FFFF**, т.е. практически целый сегмент. Важным для понимания является тот факт, что область **HMA** доступна, по сути, в реальном режиме работы микропроцессора.

Для использования памяти выше 640 Кбайт существуют специальные программы (драйверы) - **EMM386.EXE**, **HIMEM.SYS** и др., которые позволяют использовать свободные участки **верхней памяти** (так называемые блоки верхней памяти — Upper Memory Blocks, **UMB**) для загрузки резидентных программ и устанавливаемых драйверов устройств на компьютерах с МП 80386 и выше.

Расширенной памятью (expanded memory) называют память, адресуемую МП 8086/8088 по спецификации EMS (Expanded Memory Specification). Для инициализации расширенной памяти нужен специальный драйвер. Как только что было сказано, для работы с такими областями памяти, как UMB, HMA и HMS, тоже необходимы специальные драйверы, однако они нужны для того, чтобы сделать эти области памяти доступными для MS DOS, а не для микропроцессора, как в случае с расширенной памятью.

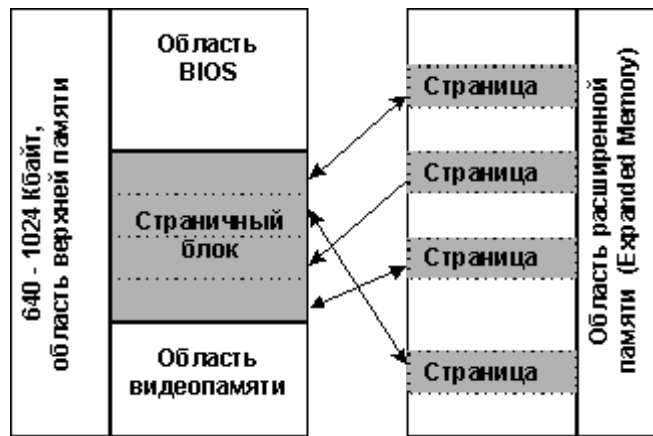


Рисунок 11 -

Драйвер EMS отводит определенную часть области верхней памяти для того, чтобы поочередно отображать в нее требуемые участки расширенной памяти. Каждый непрерывный участок расширенной памяти, отображаемой в данный момент, называется страницей (page), а "окно" в области UMA, через которое микропроцессор просматривает содержимое страниц расширенной памяти, - страничным блоком. Современные спецификации EMS позволяют микропроцессорам адресовать до 32 Мбайт расширенной памяти. Схематично этот процесс представлен на следующем рисунке.

Расширенная память специальным образом отображается на верхнюю область памяти от 640 до 1024 Кбайт. Этот способ увеличения объема доступной памяти в отечественной литературе называется "отображаемой памятью", он позволяет адресовать большой объем памяти, как бы не выходя за пределы первого мегабайта.

Необходимо отметить, что никаких барьеров между блоками нет, адреса памяти и данные плавно проходят по всей памяти и через искусственные границы, разделяющие блоки. Они считаются отдельными блоками частично ради удобства, но, в основном, из-за того что общая топология использования памяти 1 Мбайт организована в терминах этих блоков.

Нижняя часть памяти выделена для трех важных объектов, влияющих на работу всего компьютера. Первым из них является таблица векторов прерываний, определяющих местонахождение процедур обработки прерываний. Таблица занимает первые 1024 байта памяти и содержит до 256 векторов прерываний, из которых на практике задействована только часть из них. Диапазон абсолютных адресов таблицы векторов прерываний составляет от 0 до 400H. ($400H = 1024_{10}$)

Вторая область служит рабочим пространством для процедур ROM-BIOS, который осуществляет общее управление компьютером и его компонентами, поэтому ему требуется некоторая область памяти для служебных целей. Здесь находится буфер, в котором хранятся клавишные действия пользователя до восприятия их программой, отметка об имеющейся в компьютере памяти, список основного оборудования компьютера и индикатор режима работы дисплея. Для области данных ROM-BIOS выделено 256 байтов с

абсолютными адресами от 400Н до 500Н.

В качестве рабочей области для DOS зарезервирована третья часть нижней памяти компьютера, состоящая из 256 байтов с адресами от 500Н до 600Н.

Основная рабочая память, занимающая первые 10 блоков (0 - 9), предназначена для программ и их данных. Ее часто называют областью пользовательской памяти (см. таблицу), чтобы отличить от остального адресного пространства, которое в той или иной степени, поддерживает работу самого компьютера. Когда говорят о емкости памяти компьютера, обычно имеют в виду именно пользовательскую память. Теоретически пользовательская память может составлять от 16 Кбайт до максимума в 640 Кбайт при установке всех 10 блоков. Вся установленная память образует смежную область от блока 0 до фактического конца памяти.

Как показано ранее, емкость памяти, на которую рассчитана стандартная архитектура 8086/DOS, составляет 1 Мбайт, из которых для программ и данных доступны только 640 Кбайт. Однако современные ПК имеют мегабайты памяти. В DOS обычная память сверх 640 Кбайт прямо не доступна и называется **расширенной** памятью.

Система OS/2 и другие операционные системы защищенного режима могут использовать всю такую память. Ее же могут использовать и специальные управляющие программы DOS, например, операционная среда Windows. Как уже было отмечено, со временем были найдены решения проблемы памяти, но они не совершенны и ни одно из них не стало универсальным. Основная проблема - резервирование адресов от 640 Кбайт до 1 Мбайт и наличие тысяч приложений, рассчитанных на это, - остается главным недостатком DOS. Проблемы возникают даже в управляющих программах, например, Windows, поскольку они опираются на DOS. Единственное окончательное решение состоит в переходе на такие операционные системы как OS/2 или Windows NT, которые рассчитаны на доступ ко всей памяти.

3. Параметры памяти.

RAM - важнейшая часть ПК, т.к. почти половину времени процессор простаивает в ожидании ответа от оперативной памяти. Все модули памяти, представленные на любом рынке (и в России), грубо делятся на три большие группы:

1. **Модули brand-name.** Это модули памяти, произведенные известнейшими мировыми производителями, напр. такими как Kingston.
2. **Модули памяти среднего класса.** Это изделия ряда фирм, продукция которых доминирует на рынке в средней ценовой категории. Напр. фирмы NCP, Mtec, IBM.
3. **Дешевые модули памяти.** Это товар непонятного происхождения, маркированные порой странным образом, с непонятными идентификаторами производителя. Положительным моментом их наличия на рынке является цена.

Известные торговые марки фирм-производителей памяти: Alliance, Altera Corporation, Centon, Century Microelectronics, Cisco, Compaq, Corsair, Crucial, Fujitsu Ltd., Hitachi, Hyundai, HP, Hyrix, IBM Corporation, Kingston Technology, Kingmax Retail, Micron, Mitsubishi, Motorola, Mtec, Nanay, NCP, NEC, OKIc, PNY, Panasonic, Samsung, SEC, SG, Siemens, Simple Technology, Smart Modular Technologies, Southland Micro Systems, Sun, Texas Instruments, Toshiba, Trancend JetRam, Unigen, Vanguard, Viking, Visiontek, Vitelic,

Любые микросхемы памяти имеют следующие **основные параметры:**

А. Тип памяти.

Обозначает статическая (**SRAM** - Static RAM) она или динамическая (**DRAM** - Dynamic RAM).

В **статической** памяти элементы (ячейки) построены на различных вариантах схем (триггеров) с двумя устойчивыми состояниями. После записи бита в ячейку она может пребывать в этом состоянии столь угодно долго - необходимо только наличие питания. Ячейки статической памяти имеют малое время срабатывания (единицы-десятки наносекунд), однако микросхемы на их основе имеют низкую удельную плотность данных (порядка единиц Мбит на корпус) и высокое энергопотребление. Поэтому статическая память используется в основном в качестве буферной (кэш-память).

В **динамической** памяти ячейки построены на основе областей (занимающих гораздо

меньшую площадь, нежели триггеры) с накоплением зарядов и практически не потребляющих энергии при хранении. При записи бита в такую ячейку в ней формируется электрический заряд, который сохраняется в течение нескольких миллисекунд; для постоянного сохранения заряда ячейки необходимо регенерировать - перезаписывать содержимое для восстановления зарядов. Ячейки динамической памяти имеют большее время срабатывания (десятки-сотни наносекунд), но большую удельную плотность (порядка десятков Мбит на корпус) и меньшее энергопотребление. Динамическая память используется в качестве основной.

Различают ее подтипы: **DRAM** (Dynamically RAM), **SDRAM** (Synchronous DRAM), **EDO RAM** (Extended Data Output RAM), **FPM DRAM** (Fast Page Mode DRAM), **SRAM** (Statically RAM), **CDRAM** (Cached DRAM), **NVRAM** (Non Volatile RAM), **FeRAM** (Ferroelectric RAM), **DRDRAM** (Direct RAMBus DRAM), **DDR SDRAM** (Double Data Rate SDRAM), **ESDRAM** (Enhanced SDRAM), **MRAM** (Magnetic RAM).

Б. Объем памяти.

Показывает общую емкость микросхемы. Измеряется в Мб. Для "обычных" пользователей предлагаются 1Mb, 4Mb, 8Mb, 16Mb, 32Mb, 64Mb, 128Mb, 256Mb, 512Mb; для "продвинутых" - 1Гб модули. Максимум одного модуля постоянно растет и сейчас составляет 4Гб. В 2002г. минимальный объем оперативной памяти в ПК - 64Mb, в 2003 - 128Mb.

Идеальный метод определения емкости при отсутствии маркировки - определить номинал всех чипов данного модуля и "сложить". Минимальные условия работы современных операционнок - при объеме оперативной памяти 32Mb.

В. Структура памяти.

Обозначает количество ячеек памяти и разрядность каждой ячейки. Разрядность памяти - это количество байт (или бит), с которыми операция чтения или записи может быть выполнена одновременно. Разрядность основной памяти обычно согласуется с разрядностью внешней шины процессора. Например, 1 байт - для 8088; 2 байта - для 8086-80286, 386SX; 4 байта - для 386DX, 486; 8 байт - для Pentium и т.д. Каждый чип содержит ячейки, в которых может храниться от 1 до 16 бит данных. Например, 32Mb-чип может быть сконфигурирован как 32Mbх1, 16Mbх2, 8Mbх4 или 2Mbх16, но его общая емкость только 32Mb.

А 28/32-выводные **DIP**-микросхемы **SRAM** имеют восьмиразрядную структуру (8k*8, 16k*8, 32k*8, 64k*8, 128k*8), и кэш для 486 объемом 256 кб будет состоять из восьми микросхем 32k*8 или четырех микросхем 64k*8.

Т.о., первое число маркировки указывает на общее количество ячеек в чипе, а второе - на число бит в ячейке.

30-контактные **SIMM** имеют 8-разрядную структуру и ставятся с процессорами 286, 386SX и 486SLC по два, а с 386DX, 486DLC и обычными 486 - по четыре.

72-контактные **SIMM** имеют 32-разрядную структуру и могут ставиться с 486 по одному, а с Pentium и Pentium Pro - по два.

168-контактные **DIMM** имеют 64-разрядную структуры и ставятся в Pentium и Pentium Pro по одному. Установка модулей памяти или микросхем кэша в количестве больше минимального позволяет некоторым платам ускорить работу с ними, используя принцип расслоения (*Interleave-чередование*).

Г. Время доступа (время такта для синхронных устройств).

Характеризует скорость работы микросхемы и обычно указывается в наносекундах (нс) через тире в конце наименования. На более медленных динамических микросхемах могут указываться только первые цифры (-7 вместо -70, -15 вместо -150), на более быстрых статических "-15" или "-20" обозначают реальное время доступа к ячейке. Часто указывается не реальное, а минимальное из всех возможных времен доступа.

Например в **EDO DRAM** ставят маркировку 45 нс (или 50 нс), хотя такой цикл достижим только в блочном режиме, а в одиночном режиме микросхема по-прежнему

работает за 70 нс (или 60 нс). Аналогично - в маркировке PB SRAM: 6 нс вместо 12 нс, и 7 - вместо 15 нс. Микросхемы SDRAM обычно маркируются временем доступа в блочном режиме (10 или 12 нс). Напр. модули SDRAM имеют время доступа: 12ns максимально до 83Mhz, 10ns максимально до 100Mhz, 8ns максимально до 125Mhz, 7ns максимально до 143Mhz.

Кроме основных параметров, важно "**refresh rate** (частота регенерации)" - число рядов, обновляемых за один цикл и "**материал контакта**" - золоченые или луженые.

Чаще всего используются *refresh rates* равный 2К и 4К. Чипы, имеющие частоту регенерации 2К, могут обновлять большее количество ячеек за один раз, чем 4К и завершать процесс регенерации быстрее.

И хотя вид материала - безразличен (у каждого есть свои недостатки - *gold lead* имеет свойство облезать, а *tin lead* - ржаветь), но материал контактов и разъемов, в которые устанавливаются модули памяти, должен совпадать. Проблема не в гальванической коррозии (разные материалы контактов), а в обычном требовании фирм-производителей.

Каждый чип по выходу с производства проверяется в соответствии со спецификацией. Однако, чип может иметь меньшую или большую скорость доступа, чем написано на нем. Например, 50ns-чип может работать и как 49ns или даже как 45ns-чип. Если же заводские тесты показали, что фактическая скорость доступа чипа 51ns или 59ns, то он будет промаркирован как 60ns-чип. На каждую микросхему фирмы-производители наносят маркировку, включающую название производителя, конфигурацию чипа, скорость доступа и дату производства. Эта маркировка нанесена не на поверхность, а на пластмассовом корпусе чипа.

Чипы, показавшие устойчивую работу на всех тестах, относятся к классу A (независимо от быстродействия), чипы с небольшими дефектами будут отнесены к классу C, а чипы имеющие значительные дефекты должны быть уничтожены (увы, не всегда).

Для чипов разного класса используется различная маркировка. Например, Micron использует маркировку *MT* для чипов класса A, а чипы других классов маркируются как *USA* или *Laser*.

Другие производители используют название страны для маркировки чипов низших классов. Т.о., можно встретить чипы с надписями типа "japan", "france", "korea", и т.п.

Согласно Micron-у, есть четыре ценовых чип-категории. Чипы верхней ценовой категории протестированы тщательно и гарантируется отсутствие ошибок в 99,9% случаев. Чипы четвертой (с наименьшей ценой) категории на скорость и надежность не тестировались, т.е. покупатель приобретает чипы "как есть" и ему может не повезти.

Д. Корпуса и форм-факторы микросхем памяти.

DIP (Dual In line Package) и **SIP** (Single In line Package) - маленький черный корпус из пластмассы с двумя рядами контактов, расположенными вдоль длинных сторон чипа и загнутых "вниз". Это первые ПК-микросхемы, применявшиеся в блоках основной памяти ХТ и ранних АТ, а сейчас - в блоках кэш-памяти.

SIPP (Single In line Pinned Package) - корпус с одним рядом выводов, устанавливаемая вертикально. Т.е. контакты не "наклеены" на плату, а имеют форму иголок (pin-ы) и торчат в виде гребенки, вставляемые в плату наподобие микросхем DIP/SIP. Модули SIPP имели определенные вырезы, которые не позволяли вставить их в разъемы неправильным образом. Применялся в ранних АТ. Очень прост в установке.

CELP (Card Edge Low Profile) - невысокая карта с ножевым разъемом на краю) - модуль внешней кэш-памяти, собранный на микросхемах SRAM (асинхронный) или PB SRAM (синхронный). По внешнему виду похож на 72-контактный SIMM, имеет емкость 256 или 512 кб. Другое название - COAST (Cache On A STick - "кэш на палочке").

PQFP (Plastic Quad Flat Package) - плоский прямоугольный пластмассовый корпус с выводами по четырем сторонам). Выводы pin-ов сделаны по каждой из сторон в плоскости корпуса, при монтаже они изгибаются. В этих корпусах выпускалось большинство процессоров 386, но были и напр. PB SRAM в 100-выводных корпусах PQFP.

Форм-факторы последних лет, кроме прочего, отличаются напряжением (напр. 5V-SIMM, 3V-DIMM) и количеством контактов:

144pin SODIMM SDRAM - SO DIMM (Small Outline DIMM) - разновидность DIMM малого размера (small outline), предназначенных для портативных компьютеров. Наиболее часто встречаются 72- и 144-контактные модули (32 и 64 бит). Имеют ключ "со смещением", ответственный за напряжение, т.е. ключи (и соответствующие выступы) смещены вдоль, что сделало невозможным установку "неправильного" модуля;

30- и 72pin SIMM - наиболее распространенный в течении 90-х годов форм-фактор для модулей памяти.

72pin SODIMM FPM - Fast page (FPM) - "быстрый страничный" (режим). Позволяет наряду с обычным циклом (RAS, затем CAS), использовать сокращенный. FPM сегодня наиболее медленная из применяемых организаций памяти;

168pin DIMM SDRAM - одна из современных разновидностей форм-фактора модулей памяти.

DDR SDRAM - второе поколение SDRAM с вдвое большей пропускной способностью.

Rambus RIMM Module - форм-фактор модуля памяти, разработанного компанией Rambus для Direct RDRAM.

Specific Memory Module - специфический модуль памяти, предназначенный для использования в конкретной системе (или классе систем) конкретного производителя. Термин не отрицает возможности того, что указанная система может расширяться и стандартными модулями.

Printer Memory - 100pin DIMM - специальная память, предназначенная для принтеров. Имеет вырез (ключ) "со смещением", ответственным за контроль рабочего напряжения (3,3 вольт).

4. Память SIMM

SIMM (Single In line Memory Module, DRAM) - память с асинхронным доступом. Модуль вставляется в зажимающий разъем системной плате; применяется во всех материнских платах, а также во многих адаптерах, принтерах и прочих устройствах.



Рисунок 12 – Модуль памяти SIMM

SIMM начал широко применяться на PC с 386-м процессором. А расцвет SIMM-ов пришелся на PC с 486-м и первыми Pentium-процессорами. Модуль памяти представляет собой прямоугольную плату с контактной полосой вдоль одной из сторон. Соединение с системной платой идет через позолоченные полоски (pin-ы, пины), а не через штырьки.

Для фиксации память вставляется в пластмассовую колодку m/b под углом 70 градусов, потом поворот и зажимается с помощью защелок. При этом SIMM-модуль встает перпендикулярно к плате.

Модули *динамической памяти*, помимо памяти для данных, могут иметь дополнительную память для хранения битов четности (*Parity*) для байтов данных - такие SIMM называют 9- и 36-разрядными модулями (по одному биту четности на байт данных). Биты четности служат для контроля правильности считывания данных из модуля, позволяя обнаружить часть ошибок (но не все).

Существует две разновидности модулей *SIMM* (в зависимости от числа выводов модуля):

- **30-контактные** модули имеют ширину 9 бит (8 бит и бит контроля четности). Реально использует порядка 25 контактов, остальные сделаны "про запас", в сумме получается всего 100 контактов.
- **72-контактные** модули имеют ширину 32 бита (без контроля четности) или 36 бит (с

контролем четности). Многие SIMM 72-пин также имеют рудиментные или вообще отсутствующие контакты 35-36 и 37-38. Кстати, в этом форм-факторе (72-пинового SIMM) выпускалось минимум восемь разных стандартов модулей (x32, x36, x18, x33, x39, x40, PS/2 x36, x36 с 5 линиями CAS), но распространены только x32 & x36.

Так как шины ПК с 386- и 486-процессорами 32-битные, необходимо использовать либо четыре 30-контактных модуля SIMM, либо один 72-контактный модуль.

ПК на базе процессоров Pentium, Pentium Pro и Pentium II имеют 64-битную шину, поэтому в материнские платы для Pentium'ов надо вставлять 72-х контактные модули SIMM по двое. Иначе компьютер либо не будет работать, либо просто не "заметит" стоящего в гордом одиночестве 32-х "битника".

На каждом *SIMM*-е имеется обозначения - типа **2x36-70**. Где "70" - это время доступа, в наносекундах. "**x36**" - это организацию модуля памяти, т.е. количество линий ввода-вывода.

- **x8, x9** ... 30-пиновый SIMM без четности и с четностью соответственно;
- **x2, x3** ... некорректное, но иногда встречающееся обозначение тех же 30-пиновых SIMM, но в исполнении с малым количеством (2 и 3) чипов;
- **x32, x36** ... 72-пиновый SIMM без и с четностью (x32 также может быть 72-пин SO DIMM);

Произведение ("2x36") дает емкость модуля, в мегабитах. Для получения мегабайт нужно поделить результат на 8. Т.о., 2x36-70 есть SIMM 8MB 72-пин с четностью 70 нс, 4x32-60 - SIMM 16MB 72-пин без четности 60 нс, 16x32-60 - SIMM 64MB 72-пин без четности 60 нс.

72-контактные (SIMM EDO RAM) имеют только 72 пина и могут работать на частоте до 50 МГц. Этими модулями памяти оснащались компьютеры с процессорами Intel 80486DX2/DX4, Intel Pentium, Pentium Pro и Pentium MMX, а также AMD 80586 и K5. Эти модули устанавливались на платах с чипсетом Intel 440TX, 440EX, 440LX, 450NX; VIA Apollo MVP 3/4, Pro/Pro+; ALI Alladin 4/4+/V/PRO II, ALI Alladin TNT2.

PD... Начиная с 72-pin *SIMM*, вся память имеет четыре специальных линии **PD** (Presence Detect - обнаружение наличия, "электрическая" маркировка модуля памяти), на которых при помощи перемычек может быть установлено до 16 комбинаций сигналов. Линии PD используются некоторыми "Brand name"-платами для определения наличия модулей в разъемах и их параметров. Большинство обычных (т.е. не brand) m/b не используют линий PD, что формально не соответствует стандарту JEDEC. Впоследствии PD трансформировалось в SPD.

FPM DRAM (Fast Page Mode DRAM - динамическая память с быстрым страничным асинхронным доступом) активно используется в последние несколько лет. Память со страничным доступом отличается от обычной динамической памяти тем, что после выбора строки матрицы и удержании RAS допускает многократную установку адреса столбца, стробируемого CAS, а также быструю регенерацию по схеме "CAS прежде RAS". Первое позволяет ускорить блочные передачи, когда весь блок данных или его часть находятся внутри одной строки матрицы, называемой в этой системе страницей, а второе - снизить накладные расходы на регенерацию памяти.

EDO (Extended Data Out - расширенное время удержания данных на выходе) фактически представляют собой обычные микросхемы FPM, на выходе которых установлены регистры-защелки данных. При страничном обмене такие микросхемы работают в режиме простого конвейера: удерживают на выходах данных содержимое последней выбранной ячейки, в то время как на их входы уже подается адрес следующей выбираемой ячейки. Это позволяет примерно на 15% по сравнению с FPM ускорить процесс считывания последовательных массивов данных. При случайной адресации такая память ничем не отличается от обычной. Микросхемы EDO часто (но не всегда) имеют в обозначении "некруглые" числа: например, 53C400 - обычная DRAM, 53C408 - EDO DRAM.

BEDO (Burst EDO - EDO с блочным доступом) - память на основе EDO, работающая не одиночными, а пакетными циклами чтения/записи. Современные процессоры, благодаря внутреннему и внешнему кэшированию команд и данных, обмениваются с основной памятью преимущественно блоками слов максимальной ширины. В случае памяти BEDO отпадает необходимость постоянной подачи последовательных адресов на входы микросхем с соблюдением необходимых временных задержек - достаточно стробировать переход к очередному слову отдельным сигналом.

PB SRAM (Pipelined Burst SRAM - статическая память с блочным конвейерным доступом) - разновидность синхронных SRAM с внутренней конвейеризацией, за счет которой примерно вдвое повышается скорость обмена блоками данных.

FeRAM (Ferroelectric RAM) - ферроэлектрическая память. Сочетает простоту и надежность в эксплуатации DRAM, энергонезависимость MRAM и время хранения флэш-памяти. Производители разделились на два конкурирующих между собой лагеря. Первая часть, *Infineon Technologies AG* и *Toshiba*, разрабатывает технологию памяти, основанную на производственном процессе 1T/1C (1 транзистор/1 конденсатор) для рынка мобильных устройств, персональных компьютеров и PDA. Производство основано на классе материалов PZT (Provkite lead zirconate titanate). Фирмы Matsushita, NEC, Siemens, Motorola, Hynix и Micron занимаются разработкой продуктов со встроенной FeRAM для рынка процессоров, смарт-карт и микроконтроллеров. Они ведут разработки на основе технологического процесса 2T/2C. Введение дополнительных транзистора и конденсатора в ячейку памяти дает большую стабильность работы, но и увеличивает цену. Toshiba и Infineon Technologies в 2002 году выпустили 32-мегабитную микросхему памяти FeRAM.

Pseudo SRAM - память для мобильных телефонов. Модули разработаны по 0,18-мкм технологии и являются первыми за всю историю промышленности чипами, "стопроцентно взаимозаменяемыми стандартные модули SRAM для мобильных устройств". Первые модули 16 и 32 Мбит были выпущены в 48-ball FBGA корпусе размером 7x8 мм корейской компанией *Hynix Semiconductor* в ноябре 2001 года.

FCRAM (fast cycle random access memory) - память произвольного доступа с быстрым циклом. Опять память для мобильных телефонов от компании *Fujitsu*. Начало производства первых 32-битных модулей емкостью 32 Мбит и 64 Мбит - октябрь 2002 года.

5. Память DIMM

DIMM (**SDRAM**, Synchronic DRAM, Dual In line Memory Module, - "синхронная DRAM" - динамическое ОЗУ с синхронным интерфейсом. SDRAM - синхронная память "первого поколения", имеют пропускную способность порядка 100 Mb/s и представляет собой модуль памяти с двумя рядами контактов. Внешне похожи на SIMM-ы. Синхронизация отличает SDRAM от работающих по асинхронному интерфейсу (FPM/EDO/BEDO DRAM).

Помимо синхронного метода доступа, SDRAM использует внутреннее разделение массива памяти на два независимых банка (т.е. имеют отдельные контакты - обычно 2x84), что позволяет увеличивать разрядность - т.е. в итоге совмещать выборку из одного банка с установкой адреса в другом банке. SDRAM также поддерживает блочный обмен.

Применяется как в IBM-совместимых PC (в основном - платах под Pentium III), так и в компьютерах Apple. Возможна и установка SDRAM для процессора Intel Pentium 4 (существует чипсет i845 с поддержкой данного типа памяти).

В отличие от SIMM DIMM вдавливается в разъем и "накрывается" рычажками, с помощью которых и вытаскивается.

Присутствие слова *dual* означает независимость контактов с двух сторон. Все разновидности обычных DIMM-ов имеют одинаковое (168) число контактов (168-ми, рассчитанные на ширину шины 64 бит) и форм-фактор, и различаются только "ключами" (вырезки по бокам).

Устанавливать модули DIMM совместно с модулями типа SIMM (т.е. вместе на m/b) не рекомендуется в связи с тем, что модули DIMM питаются от 3.3 вольт, а SIMM - от 5.

При этом большинство материнских плат имеют общее питание для слотов SIMM и DIMM. В связи с этим, при установке модулей в оба типа разъемов, на DIMM будет подаваться повышенное напряжение 5 вольт (может привести к выходу из строя чипов).

Цифры - это и спецификация (напр. стандарт PC 100), и частота работы модуля (напр. 100 МГц). Во многих старых материнских платах можно использовать также частоты 75 MHz и 83 MHz, но - на страх и риск пользователя. Оверклокеры использовали также значения 103, 112, 124 MHz. Применение повышенной частоты шины и нормальная работа m/b-периферии, как правило, никем не гарантировалось.

Первую полную спецификацию на DIMM-модули (это были PC-100) выпустила Intel при подготовке чипсета i440BX (с тактовой частотой системной шины 100 MHz) в 1998 году.

Спецификация до сих пор является самой полной из всех существующих на сегодняшний день спецификаций модулей памяти. Вместе с дополнением, детально описывающим программирование EEPROM для модулей SDRAM, она занимает больше 70 страниц! Начальная спецификация PC133 была также выпущена Intel-ом в конце 1999 года и реально отличается от PC100 только параметрами быстродействия. Но еще в ноябре 1996г. Intel официально встал на сторону Direct Rambus, заявив, что следующим после PC100 SDRAM стандартом станет RDRAM. PC133 SDRAM поддерживала компания *Via* и с учетом колоссальных проблем Rambus-а на тот момент (с процентом выхода годных чипов) - победила.

Шины памяти в 66МГц и 100 МГц - устарели. Все модули PC133 содержат чипы со временем доступа от 7.5 нс и меньше, что гарантирует бесперебойную работу на 133 МГц. 133-МГц чипы совместимы со всеми PC100-продуктами. Незначительные различия между PC100 и PC133 стали причинами для обмана потребителей путем нестандартной маркировки. Зачем приобретать новый модуль PC133, если б/у PC100 со временем доступа 7 нс тоже сможет работать на 133МГц? Модули со временем доступа 7 нс и менее вполне работоспособны на 150МГц. Здесь критерием выбора становится качество изготовления всего модуля DIMM и имя фирмы-производителя. Т.е. Brand-овская PC133 практически всегда держит 150 МГц.

Кроме частоты, модули DIMM подразделяются по напряжению питания и алгоритму работы. Стандартными являются небуферизированные модули с напряжением питания 3,3 вольта. Небуферизированный DIMM может содержать память типа *SDRAM*, *BEDO*, *EDO* и *FPM*, иметь ширину 64 или 72 бита данных для контроля четности, а также 72 и 80 бит для ECC.

Эти модули отличаются от остальных положениями ключей (пропилов) в контактной линейке. Т.е. если посмотреть на модуль с лицевой стороны (где чипы), то левый ключ (пропил) должен быть в крайнем правом положении, а средний - в среднем положении. Левый ключ определяет, является ли модуль буферизированным, а средний - определяет напряжение питания. Буферизированные DIMM, как правило, несовместимы с небуферизированными.

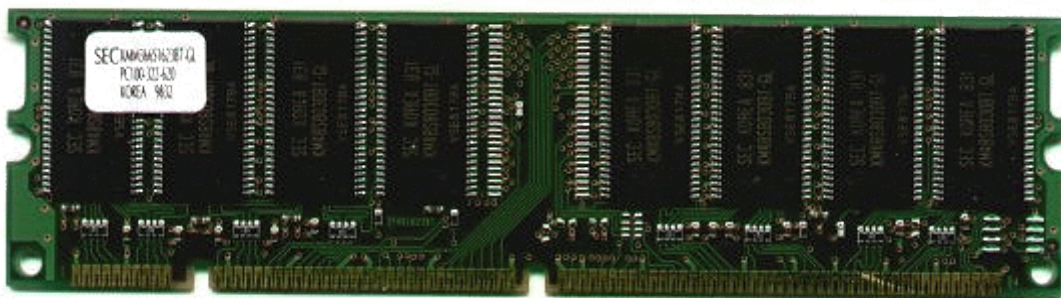


Рисунок 13 – модуль модуля DIMM

В соответствии со спецификацией JEDEC, в модулях DIMM необходима реализация технология PD. Делается при помощи перезаписываемого ПЗУ с последовательным доступом (Serial EEPROM) и носит название Serial Presence Detect (SPD). ПЗУ представляет собой 8-выводную микросхему, размещенную в углу DIMM-а, а его содержимое описывает конфигурацию и параметры модуля. Т.е. визуально SPD - это небольшой "лишний" чип на модуле.

Системные платы с некоторыми chipset`ами (напр. 440LX/BX) могут использовать SPD для настройки системы управления памятью. Некоторые системные платы могут обходиться без SPD, определяя конфигурацию модулей обычным путем - это стимулирует выпуск рядом производителей DIMM без ПЗУ, не удовлетворяющих спецификации JEDEC.

Известность **SPD** получил после того, как ряд материнских плат (например, Intel AL440LX) отказались работать с "широпотребными" DIMM-ами. По сути дела это означало инспирированную Intel попытку возродить использование PRD (теперь в виде SPD). 440LX проверял не только собственно SPD, но и "информацию от производителя", по поводу которой был разработан специальный закрытый стандарт, так что даже DIMM с корректным SPD могли быть им отвергнуты. Впрочем, попытка не имела особого успеха, так как функция контроля SPD задействована далеко не во всех современных материнских платах.

HSDRAM, Enhanced High Speed SDRAM - усовершенствованная высокоскоростная SDRAM (DIMM-ы) на частоте шины 150 МГц и выше (в зависимости от типа чипсета). Т.е. HSDRAM - более высококачественные чипы, чем нормальные SDRAM. И раньше были единственные "PC150" DIMM - модули *Kingmax*. В сентябре 2000г. компании *Enhanced Memory Systems* (подразделение *Ramtron International*) и *Mushkin* объявили о выпуске новых SDRAM DIMM модулей - с частотой 150 и установкой 2-3-2 (CAS, CAS-to-RAS, RAS, clock access time - 4.5 нс). Установкой или таймингом называют время отклика памяти на различные запросы. HSDRAM-модули смогут работать с этими же таймингами на частотах вплоть до 166 МГц. HSDRAM не имеет буфера и обеспечивает малое время задержки, чем достигается высокая производительность. Теоретически, пропускная способность памяти, работающей на частоте 150MHz, равна $150\text{MHz} \times 8 \text{ байт}$ (т.к. ширина шины 64 бита) = 1200MB/s (1.2GB/s). Ну что же, по сравнению с 1.066GB/s у PC133 очень неплохо. Но, младший DDR PC1600 со своими 1.6GB/s все же быстрее.

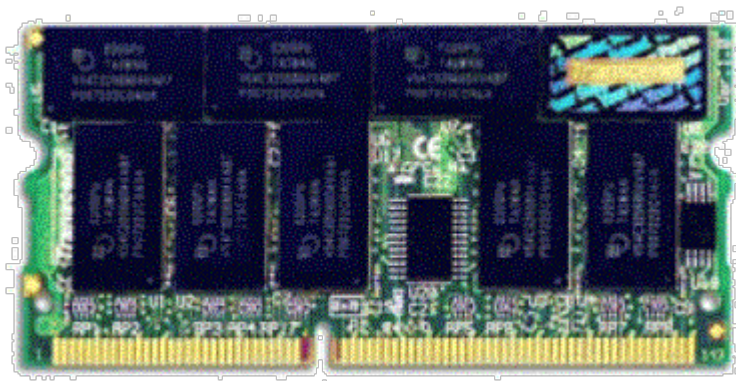


Рисунок 14 – модуль памяти HSDRAM

Выигрыш HSDRAM по сравнению с hi-end системами на базе PC-100 и Direct Rambus DRAM составил от 28% до 49% (по разным показателям).

Small Outline DIMM, SO DIMM - разновидность DIMM малого размера, предназначенных в первую очередь для портативных компьютеров (notebook, ноутбуках) и иногда для принтеров. Наиболее часто встречаются 72- и 144-контактные модули (32 и 64 бит соответственно).

Полное наименование - 144pin SODIMM SDRAM и 72pin SODIMM SDRAM. 144-контактные SO DIMM имеют ключ "со смещением", ответственный за напряжение, т.е

ключи (и соответствующие выступы) смещены вдоль, что сделало невозможным установку "неправильного" модуля памяти, хотя и заметно осложнило производство.

GF1000 DIMM . Компания Samsung разрабатывает новую технологию DRAM для графических процессоров. Кодовое название памяти - GF1000, пропускная способность памяти - 2-4 Гбит/с, напряжение питания - 1,8 В. В продаже память появится в 2004 году.

Обычные виды *SDRAM* и *DRAM* называют также асинхронными - потому, что установка адреса, подача управляющих сигналов и чтение/запись данных могут выполняться в произвольные моменты времени - необходимо только соблюдение временных соотношений между этими сигналами. В эти временные соотношения включены так называемые охранные интервалы, необходимые для стабилизации сигналов, которые не позволяют достичь теоретически возможного быстродействия памяти. Существуют также синхронные виды памяти, получающие внешний синхросигнал, к импульсам которого жестко привязаны моменты подачи адресов и обмена данными; помимо экономии времени на охранных интервалах, они позволяют более полно использовать внутреннюю конвейеризацию и блочный доступ.

6. Память DDR

Double Data Rate-Synchronous DRAM, DDR - синхронная DRAM с двойной скоростью передачи данных. К сожалению, DDR-ы часто тоже называют аббревиатурой DIMM, что вызывает огромную путаницу. Т.к. тип памяти - SDRAM, еще одно название - SDRAM-II (т.е. SDRAM второго поколения). Третье название - DDR первого поколения.

По принципам работы DDR-SDRAM похожа на SDRAM. Она может принимать и передавать данные два раза за такт - на обоих фронтах тактовых импульсов (по восходящему и нисходящему фронту стробирующего сигнала), что удваивает скорость передачи данных. У DDR-SDRAM меньше потребляемая мощность (удобно для карманных компьютеров). В DDR RAM используется протокол DLL (Delay Locked Loop), позволяющий сдвинуть во времени интервал действительного значения выходных данных. Таким образом сокращаются простои системной шины при считывании данных на нее из нескольких модулей памяти.

Расшифровка названий DDR I:

PC-1600 (DDR 200) = $100\text{MHz} \times 2 = 1.6 \text{ Гб/с}$ пропускная способность

PC-2100 (DDR 266) = $133\text{MHz} \times 2 = 2.1 \text{ Гб/с}$ пропускная способность

PC-2400 (DDR 300) = $150\text{MHz} \times 2 = 2.4 \text{ Гб/с}$ пропускная способность

PC-2700 (DDR 333) = $166\text{MHz} \times 2 = 2.7 \text{ Гб/с}$ пропускная способность

PC-3000 (DDR 366) = $183\text{MHz} \times 2 = 3.0 \text{ Гб/с}$ пропускная способность

PC-3200 (DDR 400) = $200\text{MHz} \times 2 = 3,2 \text{ Гб/с}$ пропускная способность

PC-3500 (DDR 434) - модули HyperX DDR-памяти от Kingston

DDR SDRAM имеет только одну "прорезь" посередине, в то время как типичный 168-контактный JEDEC DIMM имеет три "прорези". Это должно послужить "защитой от дурака", который попытается вставить DDR SDRAM в слот для обычной SDRAM.

Модули SDRAM PC66/PC100/PC133/PC150 не могут работать с DDR-материнскими платами, т.к. DDR использует новый 184-pin-овый формат модуля и физически несовместим с 168-pin-овым форматом модулей DIMM.

У канадской компании *Corsair* есть серия памяти **XMS** (Xtreme Memory Speed, память экстремальной скорости). Это т.н. супер-быстрая память. Выпускается в варианте от 512Мб на модуль, т.к. по их тестам 512Мб одним модулем оказывается быстрее, чем два по 256Мб. В т.ч. компания выпускает PC-3000 (CMX512-3000C2) со временем 2-3-3 1Т.

В апреле 2002 года компания Samsung первой выпустила 128 Мб-чипы DDR 400 SDRAM для применения в видеокартах. Они работают на частоте 800МГц (400 МГц DDR) при напряжении 2,8 вольт.

Следует отметить, что многие ПК при установке модулей PC-2700 (и выше) в системные платы сразу не запускаются, даже при заниженных таймингах. Необходима новейшая прошивка BIOS-а. Во-вторых, очень важна проблема охлаждения модулей,

работающих на такой частоте. в случае с памятью DDR400 используется новый, специальный тип корпусов для чипов, который решает проблему тепловыделения. А, например, компания *OCZ* на свой PC-3000 прикрепила с обеих сторон модуля по радиатору.

На начало 2002г. века память DDR-I (в просторечии - DDR) исчерпала технологические возможности наращивания тактовой частоты в экономически оправданных пределах, поэтому появился стандарт DDR-II.

DDR II... Впервые спецификация DDR-II, второго поколения памяти DDR SDRAM, была представлена в марте 2002 года во время конференции JEDEX в Калифорнии. DDR-II очень похож на DDR, но работает на 200 МГц тактовой частоте. DDR-II обратно совместим с DDR, т.е. можно использовать DDR-I память в DDR-II платах.

Первые образцы появились в конце 2002 года от компания Samsung Electronics в 60-контактном BGA-корпусе. Конструктивные отличия от DDR-I - три. **Во-первых**, количество контактов увеличилось с 184 до 240, т.е., почти на треть. **Во-вторых**, микросхемы памяти выполнены в конструктиве FBGA, а в старых модулях DDR-I использовались TSOP и TBGA. Микросхемы в упаковке FBGA работают более стабильно за счет возможности калибровки сигнальных импульсов и лучшей целостности сигнала. **В-третьих**, рабочее напряжение модулей уменьшено с 2,5 В (и 2,6 В для DDR 400) до 1,8 В для DDR-II. Т.о. потребляемая мощность снижена на 28%.

В рамках стандарта DDR-II выпущены-готовятся спецификации DDR II 400, DDR II 533, DDR II 667, DDR II 800 и DDR II 1000. При этом DDR II 400 сертифицировано JEDEC только исходя из интересов корейской *Samsung* и американской *Micron*-а. Все другие компании не собираются выходить на рынок с 400-МГц DDR-памятью.

Расшифровка названий DDR II:

PC2-3200 (DDR II 400) = 100MHzx4 = 3,2 Гб/с пропускная способность

PC2-4300 (DDR II 533) = 133MHzx4 = 4,3 Гб/с пропускная способность

PC2-5400 (DDR II 667) = 166MHzx4 = 3,2-5,4 Гб/с пропускная способность

PC2-6400 (DDR II 800) = 200MHzx4 = 3,2-6,4 Гб/с пропускная способность

Первой в мае 2002 года чип DDR-II представила компания *Samsung*, второй - в июле 2002г. компания *Elpida Memory*, третьим вендором стал *Micron* в феврале 2003г. Все модули - 512Мб.

GDDR-III (GDDR3)... В первом полугодии 2003 года появились чипы памяти GDDR-III, разработанные для высокопроизводительных графических плат от компаний *Micron Technology* и *ATI Technologies*. В разработке и коммерциализации GDDR-III принимают участие *NVIDIA*, корейская *Hynix Semiconductor*, *Infineon Technologies*. Причина - DDR-II очень медленная для серьезных графических приложений. GDDR-III может работать также в коммуникационных устройствах и бытовой электронике.

Первоначально чипы GDDR-III имели емкость 256 Мбит, тактовую частоту 500 МГц и линейную пропускную способность 1 Гбит/с на вывод. Затем тактовые частоты выросли до 750 МГц, линейная пропускная способность – до 1,5 Гбит/с на вывод. При формировании I/O шины GDDR-III используется технология с открытым стоком (в отличие от двухтактной I/O шину у памяти для ПК) и применяется внутрикристалльная терминация (on-die termination, ODT). Несмотря на то, что спецификации GDDR-III основаны на стандарте DDR-II, это совсем другие чипы в корпусах CSP (*chip-scale packaging*), в 144-контактной BGA конфигурации, в отличие от 84-контактных чипов DDR-II в корпусе CSP.

Открытый стандарт памяти GDDR-III спецификаций третьего поколения DDR DRAM для графики (от *ATI Technologies*) существует за рамками стандартов, одобренных JEDEC Solid State Technology Association.

DDR III... В JEDEC начата работа над спецификациями стандарта DDR-III для ПК. Пять производителей DRAM - *Elpida*, *Hynix*, *Infineon*, *Micron* и *Samsung*, разделили между собой основные части будущего стандарта и теперь каждая из них ведет разработку черновых спецификаций своей части.

Стандарт DDR-III в рамках JEDEC также нацелен на достижение линейной

пропускной способности от 1 Гбит/с и выше.

7. Память SLD RAM

SLDRAM (*Synchronous Link DRAM, SyncLink DRAM*) — открытый стандарт архитектуры динамической памяти, разработанный консорциумом SLD RAM и принятый IEEE. Интерфейс *SyncLink* (шина SLD RAM или *SLBus* — *SyncLink Bus*) является продолжением и усовершенствованием шинной структуры RamLink, применяющейся при создании памяти RLDRAM (RamLink DRAM).

SLDRAM использует узкую (16 бит для базового интерфейса и 18 бит для ECC-интерфейса) шину с пакетной адресацией, эффективно увеличивающей пропускную способность. Простая структура шины позволяет увеличить частоту шины, до 800MHz. Фокус этой технологии не в самой памяти, которая в-принципе не меняется по сравнению со стандартной DRAM, а в интерфейсе (протоколе), делающем возможным многие одновременные доступы (если только они все имеют физически разное расположение в памяти). Общая политика SLD RAM — это как можно меньшее использование внутренних блоков в микросхеме памяти и как можно большая интеграция самого базового контроллера.

На низкую стоимость SLD RAM влияет использование обычного корпуса, методов упаковки микросхемы и технологии изготовления монтажной печатной платы PCB (Printed Circuit Board) для модуля памяти. Микросхемы SLD RAM пакуются в стандартный 80pin корпус **TSOP** (*Thin Small Outline Package*) с 0.5mm расстоянием между соседними выводами, или в 64pin упаковку **VSMP** (*Vertically Surface Mounted Package*) для вертикального монтажа с шахматным расположением выводов, с 0.8mm расстоянием между соседними выводами (по диагонали).

Работа над SLD RAM началась в начале 1995 года. За семь лет разработок SLD RAM не является массовым коммерческим продуктом и до сих пор находится в стадии доработки и отладки. На сегодняшний день нет полностью рабочих систем SLD RAM, а все идеи SLD RAM почти целиком "импортированы" в архитектуру DDR-II.

RLDRAM (*Reduced Latency DRAM*) - динамическая память со сниженным временем задержек. Еще ее называют высокоскоростным вариантом DDR SDRAM. В феврале 2002г. компания *Infineon Technologies* представила первый образец 256 Мбитного чипа в двух вариантах: с организацией 8М x 32 и 16М x 16. Работая с тактовыми частотами до 300 МГц и используя интерфейс DDR, RLDRAM обеспечивает постоянную пропускную способность в 2,4 Гб/с. позволило Время произвольной построчной выборки снижено до 25 нс (при 50 нс и более у стандартной DRAM). Чипы RLDRAM от *Infineon* выпускаются в T-FBGA (thin- fine pitch ball grid array) упаковке, с тактовыми частотами 300 МГц, 250 МГц и 200 МГц. Главные производители - *Micron Technology*, *Infineon Technologies*, *Fujitsu* и *Toshiba*.

В первую очередь чипы **RLDRAM** предназначены для скоростного сетевого оборудования (высокоскоростных маршрутизаторов, коммутаторов и т.п.). Напр. *Cisco* приняла решение отказаться от планов использования Rambus и переключиться на FC RAM/RLDRAM.

8. Память DRDRAM

DRDRAM (*Direct Rambus, RDRAM, Rimm*) — спецификация высокоскоростной памяти, созданная и запатентованная фирмой *Rambus Inc.* При этом Rambus Dram - не дизайн чипов, а технология (т.е. интерфейс).

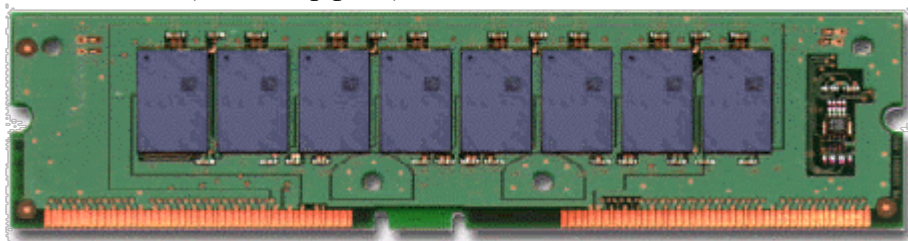


Рисунок 15 – Модуль памяти DRDRAM

Самая распространенная сегодня Rambus-память работает на тактовой частоте 400 МГц, но позволяет данным обращаться два раза за один такт, поэтому эффективная частота памяти составляет 800 МГц. Ширина шины данных составляет 16 бит, или 2 байт. Пиковая пропускная способность - до 3,2 Гбайт/с (по 1,6 Гбайт на канал).

Модули RIMM имеют размеры, сходные с SDRAM DIMMs, но другие пропилы. Модули Rimm поддерживают SPD, которые используются на DIMM'ах. Direct Rambus, в отличие от SDRAM DIMM, может содержать любое целое число чипов RDRAM. Один канал *Direct Rambus* может поддерживать максимум 32 чипа DRDRAM. Чтобы расширить память сверх 32-х устройств, могут использоваться два чипа повторителя. С одним повторителем канал может поддерживать 64 устройства с 6-ю RIMM модулями, а с двумя — 128 устройств на 12 модулях. На материнской плате может использоваться до трех RIMM-модулей. Существуют специальные модули только с каналом, называемые *continuity modules*. Они не содержат чипов памяти и предназначены для заполнения свободных посадочных мест.

На сегодняшний день не так много чипсетов (i820, i850/i850E, SiS 658) поддерживает Direct Rambus. Пока существует девять спецификаций RDRAM: **Rimm PC600 RDRAM, Rimm PC700 RDRAM, Rimm PC800 RDRAM, Rimm PC1066 RDRAM, Rimm PC1200 RDRAM, Rimm PC4200 RDRAM, Rimm PC4800 RDRAM, Rimm PC8500 RDRAM, Rimm PC9600 RDRAM**, где

Rimm PC700 RDRAM - промежуточная спецификация от апреля 1998г.

Rimm PC800 RDRAM имеет 400 МГц шину,

Rimm PC1066 RDRAM - 533 МГц.

Лучшая память от Rambus-а - *Rimm PC1200 RDRAM* - память, имеющая максимальную скорость передачи данных по шине в 4.8 Гб/с (представлена в январе 2002г.)

Любая подсистема памяти *Direct Rambus* состоит из пяти компонент:

Direct Rambus Controller — это главная шина подсистемы памяти. Он помещается на чипе логики, как и PC-чипсет, микропроцессор, графический контроллер. Физически можно поместить до четырех Direct Rambus—контроллеров на одном чипе логики. Контроллер — это интерфейс между чипом логики и памятью Rambus, и в его обязанности входит генерация запросов, управление потоком данных, и ряд других функций.

Direct Rambus Channel создает электрические соединения между *Rambus Controller* и чипами Direct RIMM. Работа канала основана на 30-ти сигналах, составляющих высокоскоростную шину. Эта шина работает на частоте 400 МГц и, за счет передачи данных на обеих границах тактового сигнала, позволяет передавать данные на 800 МГц. Два канала данных (шириной в байт каждый) позволяет получать пиковую пропускную способность в 1,6 Гбайт/с. Канал соответствует форм-фактору SDRAM.

Direct Rambus Connector. 168-контактный разъем представляет собой низкоиндуктивный интерфейс между каналом на модуле RIMM и каналом на материнской плате.

Direct Rambus Rimm(tm). Собственно модуль памяти, который включает в себя один или более чипов и организует непрерывность канала. По существу, RIMM образует непрерывный канал на пути от одного разъема к другому. Поэтому оставлять свободные разъемы нельзя.

Direct Rambus DRAMs (чипы DRDRAM, запоминающие данные). Устройства Direct Rambus могут только отвечать на запросы контроллера, который делает их шину подчиненной или отвечающей.

Пока память *DRDRAM* является наиболее производительной, но и самой дорогой. Хотя благодаря 0.13 мкм техпроцессу, себестоимость *Direct Rambus Rimm* сильно снизилась. Но ее преимущество перед DDR SDRAM не столь существенно.

9. Память FeRAM

FeRAM - Ferroelectric Random Access non-volatile Memory (сегнетоэлектрическая энергонезависимая память с произвольным доступом к ячейкам).

Впервые работающий образец FeRAM был получен еще в 1992 году в лабораториях компании Symetrix. С тех пор эта область вызвала пристальное внимание со стороны научных кругов, а с 1996 года и кругов коммерческих. Достаточно сказать, что с 1992 по 2002 год по этой теме было выдано свыше 360 патентов, причем около 120 патентов было выдано только за последний год. Это свидетельствует о все возрастающем интересе к этой нише сегнетоэлектриков и, главное, к его практическому использованию.

Основным материалом для составляющих элементов, используемых в FeRAM, а это сегнетоэлектрические транзисторы (*ferroelectric transistor*) и конденсаторы (*ferroelectric capacitor*) обладающие к тому же переменными ферромагнитными свойствами, являются смешанные полиметаллические оксиды, спекаемые в сегнетоактивные керамики. Наиболее распространенным является семейство **PZT** (Perovskite lead zirconate titanate) с общей формулой $Pb(Zr_xTi_{1-x})O_3$.

К основе PZT могут добавляться "легирующие" добавки из разных металлов и их оксидов, например: IrO_2 , Pt, Au, Ag и так далее. Небольшие примеси этих добавок могут существенно влиять на свойства PZT как в положительную, так и в отрицательную область, исследования трудоемки - нужно сделать сотни опытов, чтобы вывести общие закономерности. В настоящее время ведутся активные поиски по подбору материалов, обладающих наилучшими свойствами для создания конденсаторов и транзисторов на базе ферромагнитных сегнетоэлектриков.

Процесс записи/чтения для PZT можно изобразить следующим образом:

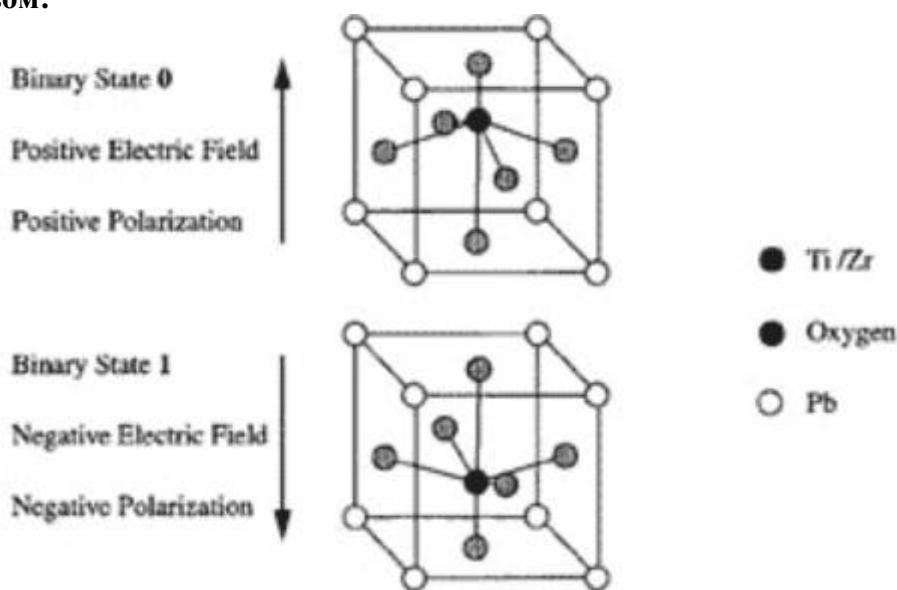


Рисунок 16 - Процесс записи/чтения для PZT

При действии положительного электрического заряда происходит положительная поляризация сегнетоэлектрика, результатом которой является переход в состояние соответствующее значению "0". При действии отрицательного электрического заряда происходит обратный переход, соответствующий значению "1". При этих переходах материал сегнетоэлектрика меняет свои физические свойства, меняет свои свойства и элемент, который состоит из этого соединения.

Возникает петля гистерезиса, в результате состояния "0" и "1" по энергетическому значению далеко разнесены, что позволяет произвести их однозначную идентификацию. Вот как выглядит петля гистерезиса для ферромагнитного сегнетоэлектрического конденсатора (схематический вид):

где Q_r - остаточный заряд, Q_s - заряд насыщения, V_c - коэрцитивное напряжение, CFE -

обозначение ферроактивного сегнетоэлектрического конденсатора на принципиальной схеме.

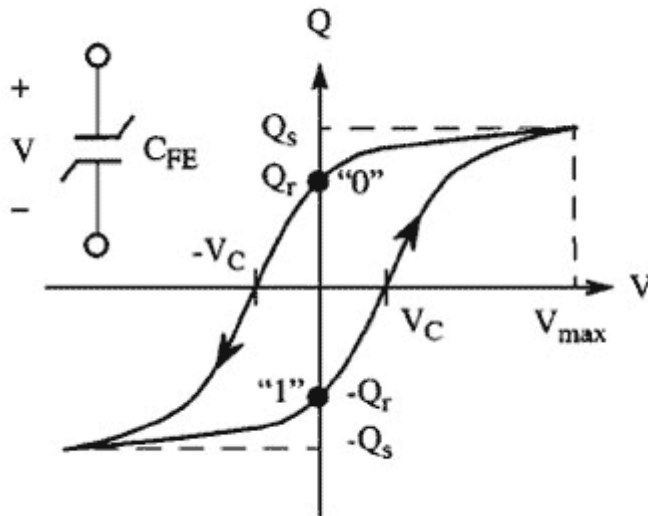


Рисунок 17 – Петля гистерезиса

Помимо PZT ярко выраженным ферроактивным сегнетоэлектриком является SBT, с формулой $SrBi_2Ta_2O_9$. Основные работы с этим материалом велись компанией Symetrix, которая впоследствии продала лицензии компаниям Matsushita, NEC, Siemens, Motorola, Hynix и Micron. Компания Infineon Technologies AG независимым путем пришла к SBT и так же является держателем патентов на память FeRAM на базе этого сегнетоэлектрика.

Как видите процесс перехода в состояния "1" и "0" полностью аналогичны **PZT**. Разумеется, оба материала отличаются как по своим физико-химическим свойствам, так и по параметрам Q_r , Q_s и V_c , которые интересуют исследователей в первую очередь, но главное, что сама логика перехода "1" - "0" у обоих материалов одинакова, что позволяет при конструировании ячеек памяти применять одинаковый подход.

По сравнению с PZT, SBT лучше по таким параметрам как усталость материала (fatigue), и "отпечаток" заряда (imprint), то есть склонность сегнетоэлектрика к окончательному переходу в только одно состояние при длительном пребывании в нем.

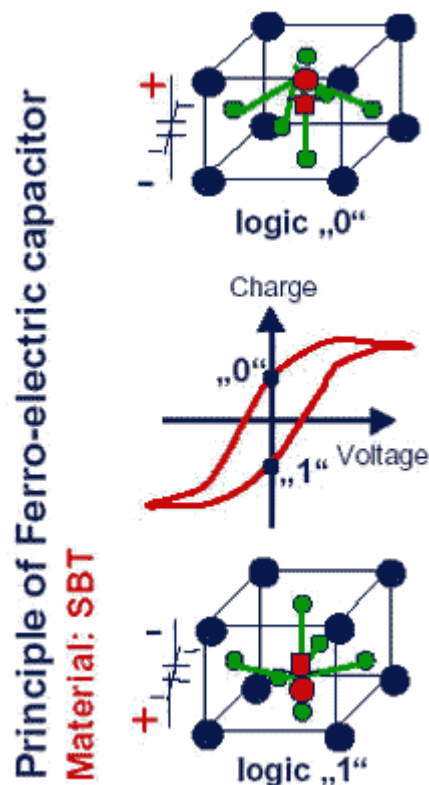


Рисунок 18 – Принцип ферро электрического конденсатора

Зато технологии производства PZT известны давно, хорошо отработаны и на данный момент являются наиболее дешевыми с самым минимальным размером ячейки. После решения Infineon Technologies AG и Toshiba о совместной разработке и продвижении FeRAM, инженеры компаний обрели свободу от лицензионных барьеров и имеют доступ к обеим группам этих перспективных материалов.

На данный момент имеется огромное количество всевозможнейших комбинаций основных элементов, из которых строится ячейка памяти - ферромагнитного сегнетоэлектрического транзистора и такого же конденсатора.

Но при рассмотрении этих комбинаций можно выявить 4 основных типа, которые являются базовыми, все остальные типы ячеек FeRAM являются лишь их комбинациями. Это однотранзисторная ячейка 1T FeRAM, одноконденсаторная ячейка 1C FeRAM, называемая еще SFRAM (statically read, non-volatile, ferroelectric random access memory - полный аналог SRAM), наиболее распространенная транзисторно-конденсаторная ячейка 1T-1C FeRAM и наиболее стабильная из всех вышеперечисленных двойная ячейка 2T-2C FeRAM.

1T FeRAM

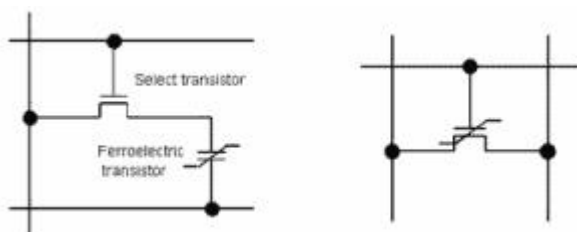


Рисунок 19 – схема 1T FeRAM

Слева приведена схема традиционной 1T-1C ячейки, справа только 1T.

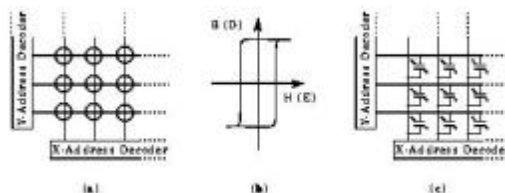


Рисунок 20- Схема 1Т-1С FeRAM

Принцип действия памяти на ферромагнитных сердечниках (а) и FeRAM схож - для того чтобы записать "0" или "1" надо подать соответственно положительное или отрицательное напряжение одновременно и по линии X и по линии Y, после чего заряд в ячейке хранится продолжительное время и после отключения питания.

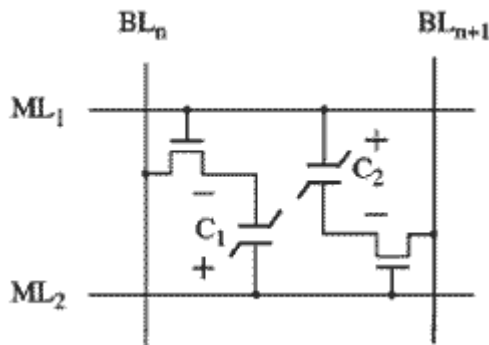


Рисунок 21 – Схема 2Т-2С FeRAM

Эта схема представляет собой просто две 1С-1Т ячейки скомпонованные в одну большую. Ничем особым от 1С-1Т WL/PL не отличается - просто это один из способов повысить интеграцию компонентов в чипе.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 6) Персональный компьютер – не менее 1-го на двух обучающихся.
- 7) Учебные системные блоки ПЭВМ.
- 8) Стенд основных составных частей системного блока.
- 9) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Составить иерархическую структуру памяти ЭВМ.
- 2) Рассчитать физический адрес оперативной памяти ЭВМ по заданным адресам сегмента и смещения.
- 3) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80286.
- 4) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80386.
- 5) Составить спецификацию дополнительной памяти ЭВМ по стандарту XMS 3.0.
- 6) Определить тип корпуса и форм-факторы указанной на учебном стенде микросхемы памяти ЭВМ.
- 7) Произвести расшифровку модуля памяти типа DDR I по указанной маркировке.
- 8) Произвести расшифровку модуля памяти типа DDR II по указанной маркировке.
- 9) Произвести расшифровку модуля памяти типа DDR III по указанной маркировке.

10) Изобразить принципы записи и считывания в ячейку памяти на ферроэлектрическом конденсаторе.

Повышенный уровень:

11) Составить принципиальную схему одностранзисторной ячейки памяти 1Т FeRAM, пояснить ее принцип работы.

12) Составить принципиальную схему одноконденсаторной ячейки памяти 1С FeRAM, пояснить ее принцип работы.

13) Составить принципиальную схему транзисторно-конденсаторной ячейки памяти 1Т-1С FeRAM, пояснить ее принцип работы.

14) Составить принципиальную схему двойной транзисторно-конденсаторной ячейки памяти 2Т-2С FeRAM, пояснить ее принцип работы.

15) Выполнить работу по извлечению и (или) установке всех видов памяти используемых на стенде и проверка сохранения работоспособности после совершенных манипуляций.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Практическое занятие № 3.

Тема 3. КЛАССИЧЕСКАЯ АРХИТЕКТУРА И ПРИНЦИПЫ РАБОТЫ КОМПЬЮТЕРА

Время – 3 часа.

Формируемые компетенции: ОПК-2

УЧЕБНЫЕ ВОПРОСЫ:

3. Системная (материнская) плата компьютера.

СОДЕРЖАНИЕ ЗАНЯТИЯ

Системной (System Board) или **материнской платой** (Mother Board, m/b, MB, "мама") называют основную печатную плату ПК, на которой устанавливаются другие системные компоненты. Она представляет собой плоский лист фольгированного стеклотекстолита (в последние годы - пластика), на котором размещены основные компоненты.

Компоненты подразделяются на:

Внутренние. Соединение этих элементов выполняется предварительным травлением медной фольги нанесенной на подложку стеклотекстолита. В технологическом цикле несколько листов соединяются в многослойную структуру, покрытую защищенным лаком.

Внешние. В системную плату устанавливается процессор и память, а также платы таких устройств, как внутренний модем, сетевая плата, видео-плата и т.п.

У некоторых компьютеров на одной системной плате могут быть все элементы, необходимые для его работы. Это контроллеры дисковых накопителей, видеоадаптер, контроллеры портов и др. Называются такие платы All-In-One или "все на борту". Но чаще

всего к стандарту добавляют только два компонента - звук и видео. У большинства же плат - только основные узлы.

Отсутствующие элементы располагают на отдельных платах, которые вставляются в специальные разъемы расширения на системной плате. Разъемы расширения этих плат связаны друг с другом на м/б рядом параллельных проводников, по которым осуществляется передача данных, адресов и управляющих сигналов. Разъемы бывают разборные и неразборные.

На платах All-In-One иногда все же имеется только один разъем расширения для так называемой riser-карты. На ней размещаются несколько разъемов расширения и вставляемые в них платы располагаются параллельно материнской.

Системная плата содержит множество **внутренних компонентов**, определяющих архитектуру компьютера. Это:

- Разъем под центральный процессор (1-2 шт., Socket-Slot);
- Cache (кэш, L1-L2, напр. объемом 256 Кбайт) и разъем под него;
- Контроллер винчестера (как минимум требуется поддержка и "UltraDMA" и 7200 об/мин) и разъемы шлейфов к жестким дискам;
- Слоты (разъемы) под оперативную память (два, три, четыре);
- Контроллер (коннектор) клавиатуры и мыши;
- Микросхема, обслуживающая floppy-дискет, последовательные порты и параллельный порт;
- Перезаписываемая Bios (старое название Flash-память);
- Системные преобразователи напряжения;
- Слот (разъемы) AGP-шины (для видео-карты, карты Internet и др.);
- Гнезда расширения (слоты, Slot);
- Контроллеры внешних устройств;
- Разъемы прочих шин (интерфейсные схемы);
- CNR-слот (либо для сетевой карты, либо для модема);
- AMR-слот (либо для звуковой карты [Audio Riser,], либо для модема [Modem Riser,]);
- Прочие компоненты;

В рамках одного семейства производители выпускают большое число плат-близнецов, отличающихся только наличием или отсутствием дополнительных компонентов (SCSI-адаптер, звуковая или сетевая карта и т.п.). И производительность, и другие характеристики таких "близняшек" одинаковы.

Слот (Slot) представляет собой щелевой разъем, в который устанавливается либо процессор (напр. сокет-Socket) или какая-либо печатная плата (это слот расширения). Другое определение слота расширения (Expansion Slot) - разъем системной шины в совокупности с прорезью в задней стенке компьютера. Обычно это ISA Slot, PCI Slot, AGP Slot. Т.е. это посадочное место для установки карты расширения. Платой расширения, или картой расширения (Expansion Card), называют печатную плату с краевым разъемом, устанавливаемую в слот расширения. Карты расширения, привносящие в PC какой-либо дополнительный интерфейс, называются интерфейсными картами (Interface Card). Поскольку интерфейсная плата представляет собой "приспособление" для подключения какого-либо устройства, к ней применимо и название адаптер (Adapter). Например дисплейный адаптер (Display adapter) служит для подключения дисплея-монитора. Адаптер и интерфейсная карта практически синонимы, и например, NIC (Network Interface Card) часто переводится как адаптер ЛВС (локальной вычислительной сети). Каждая материнская плата, формально декларируя работу на одной частоте:

33 МГц, 66 МГц, 100 МГц, 133 МГц, 200 МГц, 266 МГц, 333 МГц, 533 МГц,

имеет несколько частот работы: частота шины между мостами чипсета (напр. 266 MBps), частота FSB (напр. 400 MHz), частота памяти (напр. 100/133/200/266). При этом выбор системной частоты подразумевает как выбор PCI-частоты напрямую 66/33 или через

делитель частоты 66(1/2):

66/33, 68/34, 75/37, 83/41, 100/33, 103/34, 105/35, 110/36, 112/37, 115/38, 117/29, 117/30, 117/39, 120/40, 124/31, 124/41, 129/32, 133/33, 133/44, 138/34, 140/35, 143/36, 148/37, 150/37, 153/38,

так и выбор-соотношение отношение частоты шины AGP к системной частоте:

1/1, 2/3

Важно, что при частоте шине PCI, значительно отличающейся от стандартного значения 33МГц, возможна нестабильная работа устройств, установленных в ее слотах, а также некоторых жестких дисков.

Джампер (Jumper) представляет собой маленькую съемную перемычку, устанавливаемую на торчащие из m/b контакты. Джамперы используются для конфигурирования различных компонентов, для которых не требуется оперативного управления (как выключатели или переключатели). Установку на m/b требуемую частоту процессора делают jumper-ом. Напр. процессор PIII 1000Mz - это частота шины 133Mz (1-й jumper) и коэффициент умножения 7,5 (2-й jumper). Коэффициент умножения имеет значения от 2,0 до 10,0, обычный диапазон меньше - напр. 2,0-8,0 с шагом 0,5.

Разгон процессора до недавних пор делался именно jumper-ами. Например, чтобы заставить PIII 666Mz работать как PIII 750Mz, достаточно было переключить или jumper коэффициента с 5 на 5,5, или jumper частоты с 133 до 150. Правда выигрыш будет только в том случае, если устройства (минимум m/b и процессор) могут работать на итоговой новой повышенной частоте. Работать стабильно! Однако в последние годы фирмы-производители стали блокировать jumper частоты шины и ограничивать кол-во вариантов jumper-а коэффициентов. Т.о. возможности разгона резко сократились. Счастливое исключение - платы ABIT, где вместе с "Руководством" по самой плате дается еще и Overclocking Gid.

Есть тенденция постепенного перехода к безджамперным технологиям. В этом случае появляется возможность производить установки для процессора непосредственно из Bios-а.

DIP-переключатели (DIP Switches) представляют собой малогабаритные выключатели в m/b, применяемые для тех же целей, что и джамперы. Их преимущество - в более легком переключении. Недостатком является большее (по сравнению с джамперами), занимаемое на плате место и более высокая цена. Кроме того, они обычно являются только выключателями, что делает их применение менее гибким, чем применение джамперов.

Системные преобразователи регулируют уровень напряжения. Например, можно установить либо стандартное напряжение 3,5В (для DRAM, AGP и чипсета) или повысить его до 3,65В. Также можно выбрать напряжение на ядре процессора (напр. из значений 2,00, 2,05, 2,10, 2,20, 2,30, 2,40В). Также регулируются частоты на AGP - три положения: автоопределение "по умолчанию", выбор делителя от тактовой (1/1, 2/3).

В современных компонентах стремятся сокращать количество переключателей или джамперов, стараясь переложить все конфигурационные функции на программно-управляемые электронные компоненты. Платы-карты, в которых удастся изжить jumper-ы полностью (но которые требуют конфигурирования), называются Jumperless Cards - карты, свободные от джамперов. Компоненты, которые после установки конфигурируются автоматически, относятся к классу PnP - Plug and Play - вставляй и играй (точнее "включи и молись, чтобы заработало").

Системные платы выпускает большое количество фирм-производителей. Самые известные торговые марки: Abit, Acorp, Albatron, AOpen, Asus, BioStar, Chaintech, DFI, ECS/Elpina/PCChips, Epox, FIC, Gigabyte, Gainward, Intel, Iwill, Jetway, Leadtek, LuckyStar, MSI, NMC, Octek, PCPartner, Soltek, Soyo, Suma, SuperMicro, Shuttle, Tekram, Tyan, VIA/VPSP, USI, Zida.

Систематизаци я по Chipset-у:	Систематизаци я по форм-	Систематиза	Систематизаци я по разъему ЦП:
-------------------------------------	--------------------------------	-------------	--------------------------------------

	фактору:	я по типу памяти:	
от Intel-a; от VIA-a; от SiS-a; прочие;	AT; ATX; NLX, ITX; WTX;	SIMM-ы (SRAM); DIMM-ы (SDRAM); QDR-ы (SDRAM); DDR (DDR-II)DRAM; RIMM-ы (Rambus DRAM);	Socket-ы; Slot-ы;

Таблица 1 - Систематизация материнских плат:

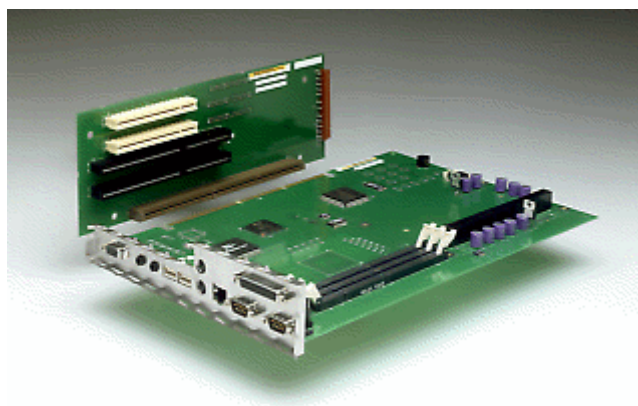


Рисунок 1 - Спецификация Form factor платы
выпущена Intel в середине 90-х годов. Так обозначается физическая конструкция и типо-размер системных плат и корпусов. Могут встретиться платы типо-размеров ATX, Baby AT, NLX. Еще бывают Form factor-ы ITX и WTX.

ATX раскрывается как AT Extension, что означает развитие AT. Периодически выходят новые версии спецификации ATX, напр. версия 2.03 от 1998 года.

Особенности семейства:

– **ATX** - большой размер (305x244 мм), позволяющий разместить целых 7 слотов карт расширения (PCI, AGP, AMR, CNR, ACR, ISA). Плата совместима с корпусами десктоп и башнями. Является аналогом Baby AT.

– **Mini-ATX** - имеет меньшие размеры (284x208 мм) и позволяет разместить 6 слотов карт. Совместима с теми же корпусами, что и ATX.

– **MicroATX** - уменьшенная ATX (244x244 мм): большая сторона прямоугольника уменьшилась до квадрата. Позволяет разместить 4 слота. Основное применение - офисные компьютеры.

– **FlexATX** - еще уменьшенный вариант MicroATX (229x191 мм). Одно из его применений - Интернет-приставки. MicroATX и FlexATX иногда называют SFX.

На платы AT подается готовое напряжение 3.3В; от блока питания идет один разъем на плату; компоновка платы, уменьшающая длину интерфейсных кабелей; выключение компьютера из OS. Цвет проводов стандарта ATX следующий:

Цепь	Цвет провода	Пояснение
+5V	Красный	Основное напряжение
+12V	Желтый	Питание двигателей устройств и интерфейсных

		цепей
-5V	Белый	Не используется. Присутствует для соблюдения стандарта ISA Bus
-12V	Синий	Питание интерфейсных цепей
+3,3V	Оранжевый	Питание процессора
+3,3V Sense	Коричневый	Сигнал обратной связи стабилизатора +3,3V
+5VSB	Малиновый	Дежурный маломощный источник +5V
PS-ON	Зеленый	Сигнал включения источников питания
PW-OK	Серый	Сигнал питания в норме
GND	Черный	Общий, относительно питающих напряжений

В спецификации **LPX** была введена стойка. Т.е. карты расширения вставляются не в материнскую плату, а в подключаемую к плате вертикальную стойку, параллельно материнской плате. Это позволило заметно уменьшить высоту корпуса, максимальное количество подключаемых карт - 2-3 штуки. Еще одно нововведение, родившиеся в LPX - это интегрированный на материнскую плату видеочип. Размер корпуса для LPX оставляет 9x13", для Mini-LPX - 8 x 10". После появления NLX, LPX начал вытесняться.



стандарт
когда
спецификацию
открытая
системных плат low

вновь
Intel

разработкой форм-фактора занимались совместно многие поставщики ПК. В NLX слоты расширения расположены на отдельной карте, что позволяет легко вытаскивать системную плату - все платы расширения остаются в этой отдельной карте. Кроме того, форм-фактор был разработан как решения для построения дешевых NetPC-систем. Спецификация также требует специальный корпус, так как дизайн NLX позволяет платам расширения и системной плате располагаться на специальных рельсах, для удобного изъятия их из корпуса. Форм-фактор корпуса иногда называется NLX-slim. На системной плате устанавливается специальная карта для плат расширения (riser card). Предназначенна для использования в системах различных типов.

Стандарт **Mini-ITX** был разработан в компании VIA Technologies и представлен ею в ноябре 2001 года (т.н. инициатива Total Connectivity, в т.ч. разработка "систем-в-материнской-плате"). Системы в корпусе Mini-ITX не требуют вентиляции. Компактность Mini-ITX позволяет изготавливать бесшумные полнофункциональные системы, занимающие очень мало места. Размеры семейства:

- **ITX** - большой размер (215x191 мм).
- **Mini-ITX** - маленький размер (170x170 мм).

В 1998 году родилась спецификация **WTX**, ориентированная на поддержку

двухпроцессорных материнских плат любых конфигураций, поддержку сегодняшних и

Сверхкомпактный
родился в ноябре 1997г.,
представила
NLX. Сегодня NLX -
спецификация
profile (v.1.2), т.е.

завтрашних технологий видеокарт и памяти. Первые серийные образцы WTX появились осенью 1999 года.

В этой спецификации разработчики попытались отойти от привычной модели, когда материнская плата крепится к корпусу посредством расположенных в определенных местах крепежных отверстий. Здесь она крепится к ВАР (Board Adapter Plate), причем способ крепления оставлен на совести производителя платы, а стандартный ВАР крепится к корпусу.

WTX описывает архитектуру Flex Slot. На подобных картах могут размещаться любые PCI, SCSI или IEEE 1394 контроллеры, звук, сетевой интерфейс, параллельные и последовательные порты, USB, средства для контроля за состоянием системы.

Тип оперативной памяти.

Плата и процессор поддерживают один (очень редко - два) типа оперативной памяти. Это **SIMM**-ы, **DIMM**-ы, **DDR DRAM**, **RIMM**-ы. (см. «Внутренняя память»).

В зависимости от типа памяти количество слотов для ее установки может быть различным. Так, если речь идет о SDRAM PC133-памяти, то обычно на плате будет три слота. Для памяти DDR SDRAM может быть два или три слота, а для двухканальной DRDRAM-памяти разводится 4 слота (по два слота на канал). Слоты для установки различных типов памяти не совместимы друг с другом, поэтому ошибиться невозможно. Количество слотов уже не является столь критичным, как ранее, т.к. объем модулей памяти постоянно растет. Часто и двух слотов вполне достаточно, чтобы установить максимальный объем памяти, поддерживаемый современными чипсетами.

Разъемы центрального процессора (ЦП)

Бывает всего два типа разъема (гнезда), в которое устанавливается центральный процессор (с множеством модификаций у каждого):

- **Socket** - плоский разъем для установки микросхемы с выводами, перпендикулярными корпусу. См. вид.
- **Slot** - щелевой разъем для установки платы с контактами по краю. См. вид.

Вид двух системных плат (слева - с, справа -):

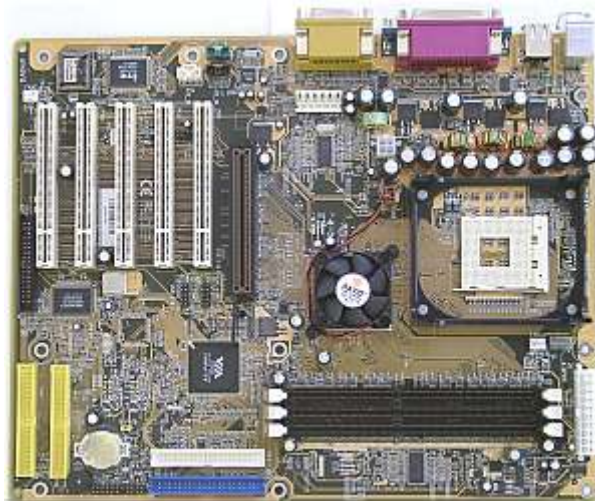


Рисунок 2 - Системная плата с Socket-ом

Самые распространенные разъемы:

Socket 1 (PGA-169)	под процессоры 486SX/DX/DX2 (5B);
Socket 2 (PGA-238)	под процессоры 486SX/DX/DX2/DX4 (5B);
Socket 3 (PGA-237)	под процессоры 486SX/DX/DX2/DX4 (5B/3,3B);
Socket 4 (PGA-273)	под процессоры Pentium 60/66 (5B);
Socket 5 (SPGA-320)	под процессоры Pentium 75-133 (3,3B);

Socket 6 (PGA-235)	под процессоры 486DX4 (3,3В);
Socket 7 (SPGA-321)	под процессоры Pentium 60-333 (2,2-3,3В);
Socket 8 (PGA/SPGA-387)	под процессоры Pentium Pro (P6);
Socket 370 (PPGA-370)	под процессоры Celeron PPGA;
Socket 423	под процессоры Intel Pentium 4;
Socket 462 (Socket A)	под процессоры AMD Thunderbird/Duron до 1.5 ГГц;
Socket 478	под процессоры Intel Pentium 4 для настольных ПК;
Socket 479	под процессоры Intel для мобильных Pentium 4;
Socket 603	под процессоры Intel Xeon (Prestonia);
Socket 754	под процессоры AMD ClawHammer (линейка Athlon XP 64);
Socket 924	под процессор AMD 1 ГГц Dual-Duron (плата Solo);
Socket 940	под процессоры AMD SledgeHammer;
Slot 1 (SEC-242)	под процессоры Pentium II/Celeron;
Slot 2 (SEC-330)	под процессоры Pentium II Xeon;
Slot A	под процессоры AMD Athlon (K7-K75) 500-1000 МГц;
Slot A	под процессоры AMD Thunderbird (K7-K75) 650-1000 МГц;

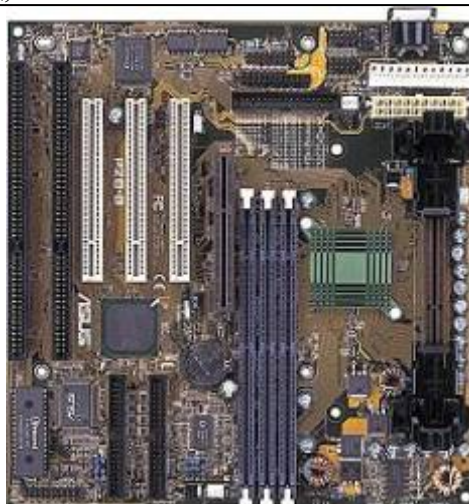


Рисунок 3 - Системная плата со Slot-ом

Для каждого типа разъема, помимо физического расположения и количества контактов, имеется своя схема соответствия контактов электрическим сигналам. Поэтому, несмотря на то, что процессоры Pentium физически могут быть установлены в любой из разъемов Socket 5/7, правильная (безопасная и полноценная) работа процессора в "чужом" разъеме возможна лишь в случае совместимости существующей разводки сигналов с типом установленного процессора. Это касается выводов коэффициента умножения, управления внутренним кэшем, автоматического определения напряжения питания и т.п. функций, имеющих различное расположение и назначение в процессорах разных типов и серий.

Socket-переходники используют для установки нового процессора в старое гнездо m/b. Первым появился адаптер S370 -> Slot 1 вследствие политики Intel-а по разделению двух веток процессоров: Pentium II для Slot I для серьезных задач и Celeron под Socket 370 "для дома". Это переходники от фирмы ASUSTeK (S370), от фирмы MSI (MS-6905), PL-iP3/T. Затем появились Socket 423 -> Socket 478, Socket A -> Slot A.

Примечание. AMD неоднократно заявляла о невозможности создания переходников

Socket A -> Slot A ... но вот "невозможный" адаптер вышел. Чудо-разработчик - немецкая компания NMC. Название - NMC Slotket A. Согласно заявлениям разработчиков, Slotket A будет работать в любых системных платах с разъемом Slot A.

Типы чипсетов

Чипсет (ChipSets, МСЛ, микросхема системной логики). ПК состоит из устройств, которые подключены к материнской плате и занимаются приемом, обработкой и передачей какой-либо информации. Логической организацией этой работы (с помощью интегрированных в его состав контроллеров) и занимаются чипсеты, т.е. именно чипсет обеспечивает работу основных подсистем компьютера (центральный процессор, видеоадаптер, оперативная память).

Ранее материнские платы несли на себе до ста микросхем. Первая большая микросхема была выпущена в 1986 году фирмой "Chips & Technologies" и называлась 82C206. Она выполняла функции: 1. контроллера шин, 2. генератора тактовой частоты 3. системного таймера 4. контроллера прерываний 5. контроллера прямого доступа к памяти 6. CMOS-а. Вместе с еще 4-мя микросхемами в качестве буферов и контроллеров получился первый чипсет, названный CS8220. Следующий набор 82C836 Single Chip (SCAT) уже состоял из одной микросхемы. Внешне микросхемы Chipset'a выглядят, как самые большие чипы (после процессора), с количеством выводов от нескольких десятков до сотен. Сегодня на плате размещают 1–2 микросхемы.

Современные ChipSet-ы содержат в себе периферийный контроллер (содержащий два контроллера прерываний IRQ0–7 и IRQ8–15), два контроллера DMA (каналы 0–3 и 4–7), контроллер для Enhanced IDE устройств, часы реального времени с CMOS-памятью (около 100 байт), прямой доступ к памяти, таймер, систему управления памятью и шиной; поддерживают спецификацию шины PCI, синхронную и асинхронную кэш-память, EDO и FPM DRAM, AGP. Обычно в одну из микросхем набора входят также и клавиатурный контроллер (может присутствовать и в виде отдельных чипов). В последние годы в состав МСЛ стали включать и контроллеры внешних устройств.

Чипсет состоит из двух микросхем, называемых северным и южным мостами. Эти мосты выполняют функции связи различных шин и интерфейсов.

Северный мост всегда закрыт радиатором (иногда с вентилятором) и располагается рядом с процессором (северный мост гораздо "быстрее" южного и больше нагревается). Северный мост отвечает за взаимодействие с оперативной памятью (шина памяти), взаимодействие с центральным процессором (системная шина), взаимодействие с графической подсистемой (шина AGP) и взаимодействие с южным мостом. Т.е. северный мост контролирует потоки из четырех шин.

Южный мост соединен с достаточно медленными компонентами, а также с медленными периферийными устройствами (жесткий диск, интерфейс USB и т.д.). Управляя работой высокоскоростных шин, чипсет использует развитые механизмы арбитража, буферизации, очередей и т.о. оптимизирует основные информационные потоки в системе компьютера.

Название набора обычно происходит от маркировки основной микросхемы (напр. SiS471, i440BX). При этом используется только код микросхемы внутри серии: например, полное наименование SiS471 - SiS85C471. Последние разработки используют и собственные имена.

Раньше наборы системной логики (они же ChipSets) выпускали компании "Acer", "Chips & Technologies", "OPTi", "Erso", "Headland Technology", "PC Chips", "Suntac", "Symphony", "UMC", "VLSI".

Но в 1989 году "Compaq" разработала шину EISA, а предоставить контроллер к ней отказалась. И в Intel-е за короткое время сами разработали контроллер. В 1994 году, выпустив процессор i486, фирме Intel пришлось ждать, когда производители чипсетов подготовят подходящий набор системной логики (МСЛ). Чтобы больше не терять время,

при выпуске процессора Pentium (в 1995 году), Intel сразу же разработала и выпустила собственный набор.

Так на рынок ChipSets-ов вышел монстр Intel и ... почти все другие фирмы-разработчики скоро закрылись. Даже прародитель чипсетов ("Chip&T") был выжит с этого рынка, а затем и вовсе куплен Intel'ом. С тех пор у Intel'а: вышел новый процессор – вышел к нему чипсет.

Хотя формально и появились новые фирмы-производители чипсетов (всего 12 компаний), но в основном МСЛ выпускают три "монстра" (выделены): Ali (Acer), **AMD**, ATI, IBM, **Intel**, Micron, NVidia, OPTi, ServerWorks, SiS, **VIA Technologies**, VLSI.

Именно ChipSets определяет функции, реализуемые на плате - тип оперативной памяти, поддержку частот, процессорного слота, типов шин и т.п.

Пример материнской платы на чипсете VIA P4X400

Традиционно VIA P4X400 разделен на два чипа с новым южным мостом VT8235, который поддерживает 6 USB 2.0 портов, двухканальный ATA133 IDE контроллер, 6 PCI слотов, 6-ти канальный звук через AC'97 кодек. VT8235 будет поддерживаться до следующего года и будет использоваться в чипсете VIA Hammer. Так же VIA P4X400 поддерживает новую архитектуру 8X V-Link, которая позволяет осуществить обмен информацией на скорости 533MB/s, и AGP8X для следующего поколения графических карт подобно R300, NV30 и VIA Zoetrope.

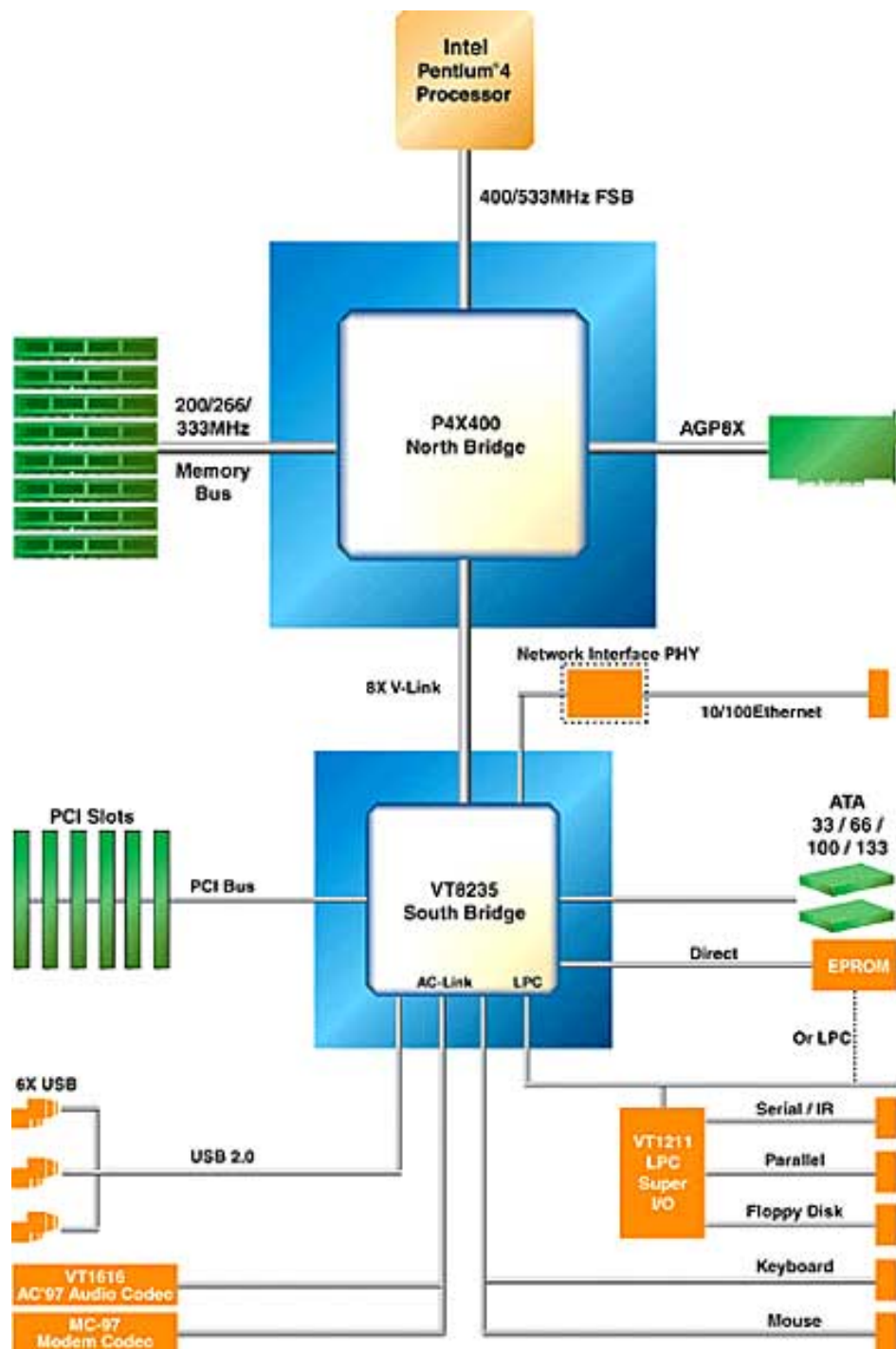


Рисунок 4 - Блок-схема и спецификация материнской платы

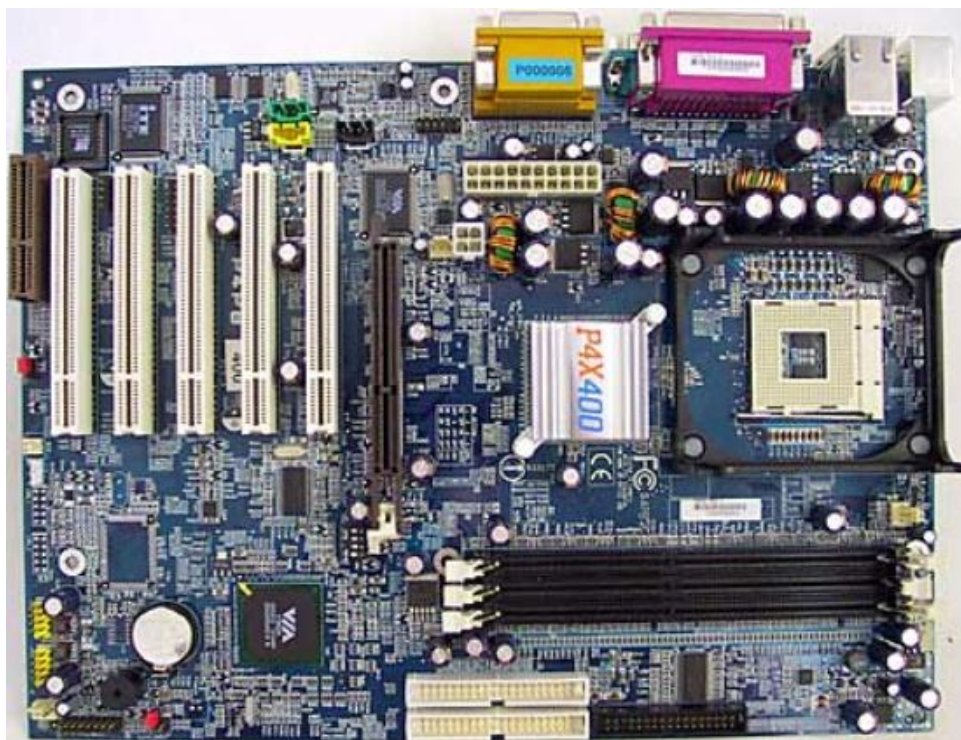


Рисунок 5 - Дизайн платы VIA P4X400

VIA P4PB400 оснащена 5 PCI слотами, 1 CNR, 3 DIMM слотами, каждый поддерживает до 1GB DDR SDRAM памяти и Два канала ATA-133 IDE. Как Вы можете видеть размещение элементов очень свободное, и не вызывает никаких трудностей при установке больших радиаторов и различных PCI и AGP контроллеров.



Рисунок 6 - Северный мост P4X400 с радиатором



Рисунок 7 - Южный мост VT8235

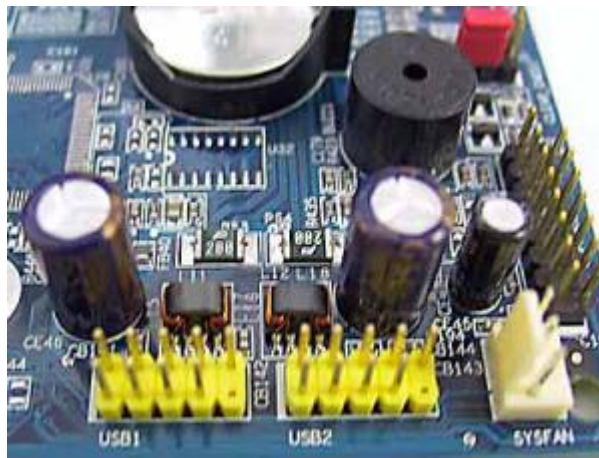


Рисунок 9 – VIA VT8235

VIA VT8235 поддерживает до шести USB 2.0 портов. На плате имеется только 2 порта, еще четыре могут быть подключены дополнительно к двум разъемам на плате.

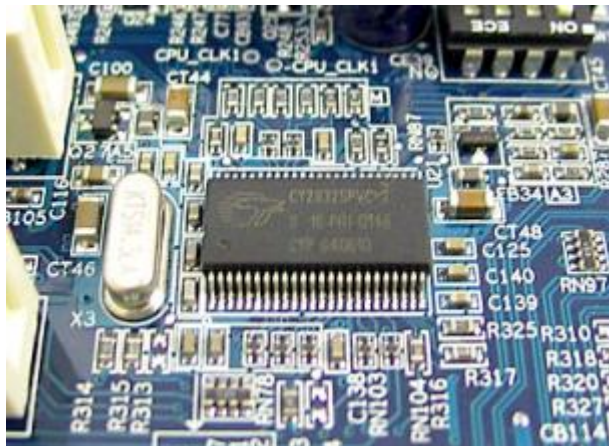


Рисунок 10 - Cypress CY28325PVC-2

Тактовый генератор Cypress CY28325PVC-2 предназначен для VIA Pentium 4 чипсетов и обеспечивает максимальную частоту FSB до 248Mhz с приращением меньше 1 MHz и интегрированной системой восстановления системы. Он также обеспечивает коэффициент до 1/6 CPU-PCI и 1/3 CPU-AGP.



Рисунок 11 - Чип VIA Rhine III VT6105

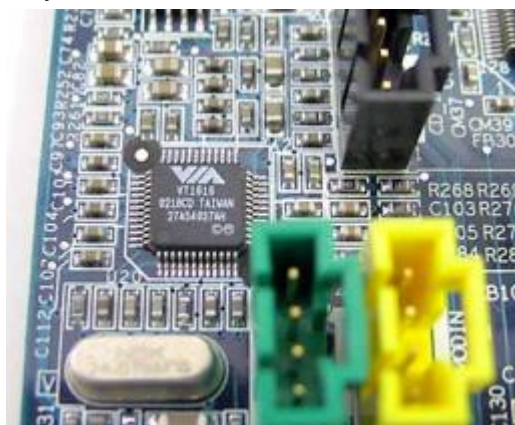


Рисунок 12 - Звуковой контроллер VIA VT1616

Звуковой контроллер VIA VT1616 поддерживает спецификацию AC'97 2.2, которая допускает 18-bit разрешение, и переменную частоту дискретизации с разрешением 1Hz. Он обеспечивает 6-канальный выход, полную поддержку объемного звука, с 5 стерео и 2 моно входами.



Рисунок 12 - SPDIF заглушка



Рисунок 13 - Порты ввода-вывода

Что касается портов ввода-вывода, то на плате имеется стандартный набор: PS/2 клавиатура и мышь, 1 параллельный порт (EPP/ECP), 2 последовательных порта, 2 USB порта, 1 RJ45 LAN разъем и Audio разъемы (Line-in, Line-out, MIC-in).

Содержание практической работы, выполняемой студентами в ходе занятия
1. Описание лабораторного оборудования:

10) Персональный компьютер – не менее 1-го на двух обучающихся.

- 11) Учебные системные блоки ПЭВМ.
- 12) Стенд основных составных частей системного блока.
- 13) Операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Определить тип и форм-фактор материнской платы в учебном системном блоке ПЭВМ.
- 2) Определить название микросхем, размещенных на материнской плате в учебном системном блоке ПЭВМ.
- 3) Определить номиналы питания, подводимые к материнской плате в учебном системном блоке ПЭВМ.
- 4) Определить тип сокета или слота для процессора на материнской плате в учебном системном блоке ПЭВМ.
- 5) Определить тип чипсета материнской платы в учебном системном блоке ПЭВМ.
- 6) Найти и определить коммутационные элементы, имеющиеся процессора на материнской плате в учебном системном блоке ПЭВМ.
- 7) Определить тип северного моста и южного моста на материнской плате в учебном системном блоке ПЭВМ.

Повышенный уровень:

- 8) Выполнить работу по демонтажу всех навесных элементов на учебной материнской плате.
- 9) Выполнить работу по демонтажу и извлечению материнской платы из системного блока ПЭВМ.
- 10) Выполнить работу по установке и подключению материнской платы в системный блок ПЭВМ.
- 11) Выполнить работы по подключению всех навесных элементов на учебной материнской плате

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Тема 4-5

БАЗОВАЯ ОРГАНИЗАЦИЯ ПЕРСОНАЛЬНОГО КОМПЬЮТЕРА
ОСНОВЫ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Время – 3 часа.

УЧЕБНЫЕ ВОПРОСЫ:

1. Принципы построения микропроцессоров.
2. Принципы работы микропроцессоров.

Практические занятия № 4 – 5.

Принципы построения и работы микропроцессоров

Формируемые компетенции: ОПК-2

СОДЕРЖАНИЕ ЗАНЯТИЯ

1. Принципы построения микропроцессоров

Процессор — это блок ЭВМ, предназначенный для автоматического считывания команд программы, их расшифровки и выполнения. Термин, по-видимому, наиболее близко приближается к английскому глаголу "process", имеющему один из вариантов перевода "обрабатывать". И действительно, основное назначение процессора состоит в автоматической обработке информации по заданной программе.

Будучи центральным устройством ЭВМ, процессор во многом определяет ее возможности и производительность. Не случайно при характеристике компьютера тип процессора всегда указывается в первую очередь. Тем не менее не следует забывать, что общая эффективность вычислительной системы зависит не только от процессора, но и от остальных ее компонентов, даже от их согласования между собой. Иными словами, "медленная" память или устаревшая графическая часть всегда могут свести на нет все преимущества новейшего процессора.

Типы процессоров:

Модель	Тактовая частота, МГц	Разрядность	Год
8086	4-8	16	1978
80286	8-20	16	1982
80386	20-40	32	1985
80486	20-100	32	1989
Intel Pentium	60-150	64	1993
Intel Pentium Pro	100-200	64	1995
Intel Pentium II	233-300	64	1997
Intel Pentium III	450-500	64	1999
Intel Pentium IV	до 2800	64	2001
Pentium 4 3,2 ГГц	3200	64	2003

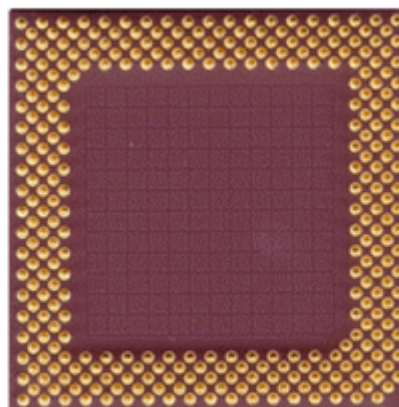
Традиционными главными частями процессора являются арифметико-логическое устройство (АЛУ) и устройство управления (УУ).

Первоначально процессор изготавливался из отдельных деталей: транзисторов, микросхем невысокого уровня интеграции (с небольшим числом элементов) и т. д.; его размеры могли быть весьма значительными. Пожалуй, наиболее впечатляюще выглядел процессор ЭВМ серии ЕС (Единая Система ЭВМ относится к третьему поколению). Он представлял собой отдельный весьма внушительный шкаф.

Прогресс в области микроэлектроники привел к тому, что весь процессор удалось разместить внутри одного кристалла. Таким образом, он стал отдельной самостоятельной микросхемой и получил новое название — *микропроцессор*.



Процессор AMD-K6-2, вид сверху



Процессор AMD-K6-2, вид снизу

Рисунок 1 – Процессор AMD-K6-2

Следует иметь в виду, что размер корпуса в основном определяется необходимостью разместить несколько сот металлических выводов, с помощью которых процессор присоединяется к плате; собственно кристалл значительно меньше и имеет размер порядка 1 см.

То, что процессор удалось поместить внутри одной микросхемы, не просто уменьшило размеры этого узла, но и создало предпосылки для существенного увеличения скорости работы процессора (благодаря сокращению длины соединений) и повышения его надежности (за счет отсутствия внешних проводников). К сожалению, есть и отрицательные последствия: уменьшение габаритов процессора приводит к ухудшению условий теплоотдачи от микроскопических его элементов, что существенно повышает требования к теплоотводящим свойствам конструкции. Не случайно для охлаждения современных процессоров, особенно работающих на очень высоких частотах, обязательно используются металлические радиаторы достаточно большой площади и всевозможные вентиляторы (часто их жаргонно называют "кулерами" — т. е. по-русски "охладителями", "холодильниками"). Последние модели микропроцессоров даже содержат внутри кристалла специальные датчики температуры и поэтому способны автоматически выключаться, предохраняя себя от перегрева.

Сегодня развитие микропроцессоров требуется не только для вычислительной техники, где они используются в качестве центрального процессора и для управления

сложными периферийными устройствами. Все большее число таких микросхем ставится в изделия, напрямую не связанные с ЭВМ, в том числе и бытовые: лазерные аудио- и видеопроигрыватели, телетекст и пейджинговая связь, программируемые микроволновые печи и стиральные машины, и многое-многое другое. Очевидно, что количество таких управляемых микропроцессорами устройств будет все время возрастать.

Хронология ЦП

За 17 лет семейство процессоров x86 проделало длинный путь: процессор P6

обеспечивает почти в тысячу раз более высокое быстродействие, чем 8086. Вот несколько важных дат из истории эволюции индустрии ПК.

1978	Intel 8086. 16-разрядные регистры, 16-разрядная шина данных. Выпущен в июне 1978 г. 29 тыс. транзисторов, 4,77-10 МГц, менее 1 млн. операция/с. Начальная цена: 360 долл.
1979	Intel 8088. Процессор 8086 с 8-разрядной шиной данных. Выпущен в июне 1979 г. 4,77-8 МГц.
1981	выпущен IBM PC с процессором 8088.
1982	Intel 80286. 16-разрядные регистры, 16-разрядная шина данных, работа в защищенном режиме. Выпущен в феврале 1982 г. 134 тыс. транзисторов, 6-12 МГц, 1-2 млн. операция/с. Начальная цена: 360 долл.
1984	выпущен IBM PC AT с процессором 80286.
1985	Intel 80386. 32-разрядные регистры, 32-разрядная шина данных, работа в защищенном режиме. Выпущен в октябре 1985 г. 275 тыс. транзисторов, 16-33 МГц, 6-12 млн. операция/с. Начальная цена: 299 долл.
1985	выпущена Microsoft Windows.
1986	выпущена модель Compaq DeskPro 386/16.
1987	выпущено семейство IBM PS/2 с архитектурой Micro Channel и операционной системой OS/2.
1988	Intel 80386SX. Процессор 80386 с 16-разрядной шиной данных. Выпущен в июне 1988 г., 16-33 МГц.
1989	Intel 486DX. 32-разрядные регистры, 32-разрядная шина данных. Встроенный математический сопроцессор. Выпущен в апреле 1989 г., 1,2 млн. транзисторов, 25-50 МГц, 20-40 млн. операция/с. Начальная цена: 950 долл.
1990	Выпущены ПК с процессором 486DX/25.
1991	Intel 486SX. Процессор 486DX без математического сопроцессора. Выпущен в апреле 1991 г., 16-33 МГц.
1992	Intel 486DX2. Процессор 486DX с удвоением тактовой частоты. Выпущен в марте 1989 г., 50-66 МГц.
1993	Intel Pentium. 32-разрядные регистры, 64-разрядная шина данных. Суперскалярна архитектура. Выпущен в марте 1993 г., 3,2 млн. транзисторов, 60-133 МГц, 100 - 200 и более млн. операция/с. Начальная цена: 878 долл.
1994	Intel 90-МГц Pentium "P54C". Pentium с напряжением питания 3,3 В.
1994	Intel DX4. Процессор 486DX с утроением тактовой частоты и кэш-памятью увеличенной емкости. Выпущен в марте 1994 г., 75-100 МГц.
1994-1996	Конкуренты Pentium: NexGen Nx586, выпущен в сентябре 1994 г. Cyrix M1, должен появиться в конце 1995 г. AMD K5, должен появиться в начале 1996 г.
1995	Intel P6. 32-разрядные регистры, 64-разрядная шина

	данных.Суперскалярная архитектура; исполнение с изменением последовательности команд; встроенный кэш второго уровня. Должен появиться во второй половине 1995 г. 5,5 млн. транзисторов (исключая кэш второго уровня). Начальные тактовые частоты: 133 и 150 МГц.
--	--

Оперативная информация о производительности P6

Для получения самых последних данных о процессорах вы можете получить из архива (<http://www.ziff.com/~pcmag>) с помощью анонимного FTP (<ftp.pcmag.ziff.com>) или в библиотеке аппаратных средств журнала PC Magazine сети ZiffNet/CompuServe.

Классификация процессоров

Марка процессора	Комментарий
<i>Intel</i>	
Pentium	Самые первые процессоры семейства P5 появились в далеком марте 1993-го. Тогда Intel, чтобы не повторить ошибки с i486 (суд отклонил иск к AMD по поводу названия) решила дать своему детищу имя, которое в последствие стало нарицательным. Первое поколение Pentium носило кодовое имя P5 он же 80501, напряжение питания 5 вольт, расположение выводов - "матрица" и работало на тактовых частотах 60 и 66 МГц, выпускаясь по 0.80-микронной технологии (правда стоит отметить, что частота шины у этих процессоров была равна частоте ядра). Выпускались они исключительно под Socket 4. Следующим шагом в развитии этого семейства стал P54 он же 80502, напряжение питания 3.3 вольта, расположение выводов - "шахматная матрица". Появился ровно через год после P5. При его изготовлении использовался уже 0.50, а затем и 0.35-микронный технологический процесс. Тактовая частота находилась в пределах 75-200 МГц, а шина - 50-66 МГц. Объем-кэш памяти первого уровня - 16Кбайт, причем впервые был применен отдельный кэш - 8 Кбайт на данные и 8 Кбайт на инструкции. Форм-фактор - Socket 5. Архитектура IA32, набор команд не менялся со времен i386.
Pentium w/MMX technology	Следующим большим шагом стал выпуск P55: процессора в котором впервые был реализован новый набор из 57 команд MMX. Произошло это 8 января 1997 года. С развитием технологии процессоры стали выпускаться по 0.35 мкм технологии. Изменилось напряжение питания (уменьшилось до 2.8 вольта), соответственно потребовались изменения в конструктивах системных плат - требовалась установка дополнительного стабилизатора напряжения. Объем кэш-памяти первого уровня был увеличен в два раза - 32 Кбайта. Внутренняя тактовая частота составляла 166-233 МГц, а частота шины - исключительно 66 МГц. Рассчитан на Socket 7.
Pentium III	Процессор, изначально создававшийся для применения в ноутбуках. Благодаря усовершенствованному 0.25-микронному процессу удалось одновременно поднять тактовую частоту вплоть до 266 МГц, а также снизить напряжение ядра и рассеиваемую мощность. Таким образом, мобильные компьютеры встали в один ряд с настольными. Он является продолжением линейки Pentium и включает 32 Кбайта L1 кэша и

	набор команд MMX. Выпускался для работы на тактовых частотах от 133 до 266+ МГц с частотой шины 60-66 МГц. Тип упаковки: TSP и MMC (хотя существуют переходники для установки Tiltamook в гнездо Super7). Появился 8 января 1997 года.
Pentium Pro	Первый процессор шестого поколения. Довольно революционный для своего времени. В нем впервые Intel решилась применить кэш-память второго уровня, объединенную в одном корпусе с ядром и оперирующую на частоте процессора. Имел очень высокую себестоимость изготовления, которая так практически и не снизилась за все время его существования с 1 ноября 1995 года. Выпускался как по 0.50, так и по 0.35-микронной технологии. 0.35 мкм позволили увеличить объем кэша. Кэш второго уровня имел объем 256, 512, 1024 или 2048 Кбайт. Тактовая частота - от 150 до 200МГц. Частота системной шины - 60-66 МГц. Кэш первого уровня объемом 16Кбайт. Выпускался исключительно для Socket 8. Pentium Pro поддерживал все инструкции процессора Pentium (естественно, не MMX), а также ряд новых по сравнению с Pentium инструкций (cmov, fcomi, и т.д.). Введена двойная независимая шина (DIB). В дальнейшем все новшества унаследовал Pentium II (в свое время, задолго до своего выпуска, Klamath представлялся просто как Pentium Pro с добавлением MMX и улучшенной работой с 16-битными приложениями).
Pentium II/III	семейство P6/6x86, первые представители появились в мае 1997 года. Объединяет общим именем процессоры, предназначенные для разных сегментов рынка. Pentium II (Klamath, Deschutes, Katmai и др.) для массового рынка ПК среднего уровня, усовершенствованная технология изготовления 0.25 микрон, питание - 2.0 В. Соответственно, удалось поднять тактовую частоту 266-450+ МГц, частота системной шины 66-100 МГц, кэш-память второго уровня 512 Кбайт размещена на процессорной плате, вышел 26 января 1998, Slot 1. Кэш первого уровня 32 Кбайта. Последнее ядро официально применявшееся в процессорах Pentium II, хотя последние модели Pentium II 350-450 шли с ядром, уже больше напоминавшим Katmai - только, естественно, с обрезанным SSE. Да и картридж тогда уже стал SECC2 (кэш с одной стороны от ядра (а не с двух, как в стандартном Deschutes, измененное крепление кулера.). Celeron (Covington, Mendocino, Dixon и др.) - для недорогих low-end компьютеров - революционный в некотором смысле процессор: Intel наконец-то обратила внимание на массовый рынок недорогих компьютеров. В общем, это целое семейство недорогих процессоров как с кэшем второго уровня, так и без него. В данный момент выпускались или выпускаются следующие его представители Covington, Mendocino, Dixon. Впервые появился в апреле 1998 года. Выпускается в вариантах для Socket 370, Slot 1. Xeon (Xeon, Tanner, Cascades и др.) - для высокопроизводительных серверов и рабочих станций - спустя несколько лет Intel решилась на выпуск замены Pentium Pro. Как

	и в его предшественнике, кэш память второго уровня здесь оперирует на частоте процессора. Правда, если в PPro кэш и ядро были объединены одним корпусом, то в Xeon - одним картриджем. Это первый процессор для Slot 2, и предназначен в первую очередь для мощных серверов и рабочих станций. Способен работать в мультипроцессорных конфигурациях. Построен на ядре Deschutes и выпускается, как и собственный кэш, по 0.25 микронной технологии. Кстати, сам кэш имеет объем 512, 1024, 2048 Кбайт, что во многом определяет высокую стоимость и тепловыделение. Имеет модификации для Slot 1, Slot 2, Socket 370, а также варианты в мобильном исполнении.
Pentium 4 Willamette	акан принципиально новый IA-32 процессор Intel для обычных PC. Использует новую системную шину вместо старой GTL+ - Quad Pumped 100 МГц, с результирующей частотой 400 МГц.. Кэш L1 - 8 Кбайт, L2 - 256 Кбайт, предпринят ряд шагов, направленных на увеличение производительности: добавленные исполнительные модули, декодеры, увеличенный объем буферов, и т.д. Введен новый набор инструкций - SSE2, на который Intel делает большую ставку в плане увеличения производительности нового процессора. Вышел 20 октября 2000 года с тактовой частотой 1.4-1.5 ГГц. В течение 2001 года должен дорасти до 2 ГГц, после чего уступить свое место Northwood. Форм-фактор - Socket-423.
AMD	
K5	Первый процессор AMD, который всерьез предназначался для конкуренции с Pentium. Платформа - Socket 5. Подобно Cyxix 6x86, использовал PR-рейтинг, от 75 до 166 МГц. При этом используемая частота системной шины составляла от 50 до 66 МГц. Кэш L1 - 24 Кбайт (16 Кбайт для инструкций и 8 для данных), кэш L2 на материнской плате, работает на частоте системной шины. Существовало четыре версии процессора: K5-75, 90, 100 (PR-rating соответствовал частоте процессора, технологический процесс 0.6 мкм); процессор K5-100 (0.35 мкм), процессоры K5-PR120, PR133 (PR-рейтинг соответствует частотам 90 и 100 MHz, технологический процесс 0.35 мкм, переработанное ядро) и процессор K5-PR166 (реальная частота 66MHz x 1.75) с нестандартным коэффициентом умножения.
K6	Начал поставляться с апреля 1997 года (это Model 6), на месяц раньше выхода Pentium II, производился на базе 0.35 мкм (позднее 233 MHz K6 производились с использованием 0.25 мкм процесса) технологического процесса. Процессор работал на частоте от 166 до 233 МГц (причем последний - официально разогнанный вариант - 3.2/3.3В вместо стандартных 2.9/3.3В). Был создан на базе дизайна процессора 686, созданного приобретенной AMD компанией NexGen. По сравнению со своим предшественником, получил модуль MMX, увеличился объем кэша L1 - до 64 Кбайт (по 32 Кбайт для инструкций и данных). Возросшая тактовая частота позволила AMD отказаться от PR-рейтинга. В K6 предлагались решения, которые позволяли добиться большей производительности на той же частоте, а именно исполнение по предположению и внутренняя риск-подобная организация. Все последующие процессоры от AMD унаследовали это свойство. Позднее начались поставки K6 Model 7 (мобильный вариант) с

	частотами 266 и 300 МГц, технологический процесс 0.25 мкм, FSB 66 МГц.
K6-2	Следующее поколение K6. Вышел в мае 1998 года, основными усовершенствованиям относительно его предшественника стали поддержка дополнительного набора инструкций 3DNow! и частоты системной шины 100 МГц. Кэш L1 64 Кбайт (по 32 Кбайт для инструкций и данных), кэш L2 находится на материнской плате, и может иметь объем от 512 Кбайт до 2 Мбайт, работая на частоте системной шины. Первоначально был выпущен на частоте 266 МГц, сегодня максимальная тактовая частота составляет 475 МГц, в скором времени должен выйти 500 МГц вариант. Было две модели процессора K6-2: первая, работающая на частотах 266 (66*4), 300 (100*3), 333 (95*3.5), 350 (100*3.5) и 366 (66.*5.5) МГц. И вторая модель AMD, работающая с частотами 200, 233, 350, 380, 400, 450 и 475 МГц. В ней используется новое ядро, такое же, как в K6-III. Главное отличие в новом ядре (CXT) это модифицированный метод работы с кэшем.
Sharptooth (K6-III)	Первый процессор от AMD, имеющий кэш второго уровня объединенный с ядром. Последний их процессор, сделанный под платформу Socket 7. Фактически, представляет из себя просто K6-2 с 256 Кбайт кэша L2 на чипе, работающих на той же частоте, что и процессор. Кэш L1 имеет объем 64 Кбайт (по 32 Кбайт для инструкций и данных), кэш L3 находится на материнской плате, и может иметь объем от 512 Кбайт до 2 Мбайт, работая на частоте системной шины. Был выпущен в феврале 99 года в вариантах 400 и 450 МГц Sharptooth-SC50 - переход на 0.18 мкм.
K6-2+	Один из последних Socket7 процессоров AMD. И первый Socket7 процессор, сделанный с использованием 0.18 мкм техпроцесса. Должен содержать на чипе 128 Кбайт кэша L2, работающих на частоте процессора. Предполагаемая скорость - от 533 МГц. Естественно, поддержка 3DNow!
K7 (Athlon)	Первый проект AMD, в котором она была вынуждена отойти от даже частичного заимствования архитектур Intel, и предложить рынку абсолютно свой вариант платформы для PC. Процессор имеет непревзойденный для сегодняшних x86 процессоров объем кэша первого уровня - 128 Кбайт (по 64 Кбайт для инструкций и данных). Кэш L2 - 512 Кбайт, работающий на 1/2, 2/5 или 1/3 частоты процессора. Системная шина - EV-6, та же, что и в процессорах Alpha, что потенциально дает возможность создания материнских плат, поддерживающих оба процессора. Частота системной шины - 200 МГц, но имеет потенциал до 400 МГц и выше. Поддерживаемые наборы инструкций - MMX, расширенный по сравнению с K6-III 3DNow!. Форм-фактор - Slot A. Первый процессор AMD, получивший при выходе собственное имя - Athlon. На сегодня доступны модели 500-1000 МГц. Подклассы: K75 - алюминиевые соединения, K76 - медные. OPN AXD A 2700 D K V 3 D Частота системной шины (FSB): C = 266, D = 333 Размер кэша L2 : 3 = 256 Кбайт Максимальная температура: T = 90°C, V = 85°C Vcore: L = 1.50 V, U = 1.60 V, K = 1.65 V Тип упаковки: D = OPGA Модель : 1700 = реальная тактовая частота 1467 МГц 1800 = реальная тактовая частота 1533 МГц 1900 = реальная тактовая частота 1600 МГц 2000 = реальная тактовая частота 1667 МГц 2100 = реальная тактовая частота 1733 МГц 2200 = реальная тактовая частота 1800 МГц 2400 = реальная тактовая частота 2000 МГц 2600 = реальные тактовые частоты 2083 МГц 2700 = реальная тактовая частота 2167 МГц

	Маркировка процессоров AMD Athlon XP на ядре Thoroughbred
ClawHammer	первый 64-бит процессор AMD. Или, по крайней мере, частично 64-бит. В отличие от Itanium, этот процессор будет ориентирован главным образом на 32-бит инструкции, нежели наоборот. Одновременно с его выходом ожидается появление новой шины - HyperTransport (Lightning Data Transport - LDT), используемой для связи с процессорами и устройствами ввода/вывода. LDT должна стать не заменой, а дополнением к системной шине EV6 или EV7. Предполагаемая скорость - 2 ГГц и выше, предполагаемый срок выхода - первая половина 2002 года.
	Cyrix
6x86	Или M1. Для оценки производительности использовался P-Rating, когда производительность процессора сравнивается со скоростью процессора Pentium, на которой ему пришлось бы работать для достижения той же производительности. PR 6x86 составлял от 120 до 200 МГц. Есть устойчивое мнение, что первоначальные варианты процессора были знамениты наличием ошибок, ведущих к частым зависаниям PC, и необходимости для производителей программ выпускать патчи специально под этот процессор. На самом деле все проблемы были связаны именно с ошибками в программах. Особенно известны проблемы с программами, написанными на Clipper. Слухи про проблемы под Windows NT не подтвердились. Кэш первого уровня - 16 Кбайт (единый). Частота системной шины - от 50 до 75 МГц. Платформа - Socket 5, затем (когда появилась версия с двойным питанием) Socket 7.
MediaGX	Ответвление в семействе процессоров Cyrix, первый процессор, сделанный по идеологии PC-on-a-chip. К ядру 5x86 были добавлены контроллеры памяти и PCI, в чип интегрирован видеоускоритель, с кадровым буфером в основной памяти PC. И лишь в самых последних моделях используется ядро 6x86. В чипе-компаньоне реализован мост PCI-ISA и интегрирован звук. PR-рейтинг от 180 до 233 МГц, кэш L1 16 кбайт (единый). Производился по техпроцессу 0.5 мкм. Сегодня National делает на базе этого процессора два продукта - Geode GXLV (0.35 мкм, 166-266 МГц) и Geode GX1400 (с добавленной аппаратной поддержкой MPEG-2, Dolby AC3 и т.д).
6x86MX	(позднее переименован в M-II) - несколько переработанный для большей производительности 6x86. Вчетверо увеличился кэш L1 - до 64 Кбайт (единый), увеличилась общая производительность процессора, добавился блок MMX, появилась поддержка раздельного питания. Использовал частоту системной шины от 60 до 75 МГц, имел P-рейтинг от 166 до 266 МГц. Процессоры 6x86MX делала и компания IBM. Их 6x86MX имели рейтинг от 166 до 333 и были рассчитаны на шину 66, 75 или 83 MHz. Позднее, по маркетинговым соображениям, Cyrix переименовал свои процессоры в MII, а IBM до конца сотрудничества продавало их под маркой 6x86MX.
МII	Последний процессор Cyrix, начал производиться в марте 98 года. Кэш первого уровня - 64 Кбайт (единый), L2 - как обычно, для Socket 7, находится на материнской плате, и имеет объем от 512 Кбайт до 2 Мбайт, работая на частоте системной шины. Поддерживаемые наборы инструкций - MMX. Использует P-рейтинг. Реальная скорость в МГц, как правило, значительно ниже - так, Cyrix MII PR366 имеет реальную частоту 250 МГц. При производстве применяется техпроцесс 0.25 мкм.

	Продаются модели, имеющие PR-рейтинг 300-433 МГц.
Gobi (MII+)	Процессор имеет сразу два кодовых имени, что несколько необычно. Вначале он назывался Jedi, но в дальнейшем, по требованию владельца авторских прав на это название, Lucas Film, был переименован в Gobi. Первый из процессоров Cyrix, рассчитанный на платформу Socket 370. Поддерживаемые наборы инструкций - MMX, 3D Now!. Значительно переработан блок операций с числами с плавающей запятой. Кэш L1 - 64 Кбайт (единый), кэш L2 - 256 Кбайт на чипе, работающие на полной частоте процессора.
Mojave (M3)	Процессор содержит 32 Кбайт (по 16 для данных и инструкций) кэша L1 и 256 Кбайт интегрированного на чипе кэша L2. 0.18 мкм техпроцесс, значительно улучшенная по сравнению с предшественниками архитектура. Поддерживаемые наборы инструкций - MMX, 3D Now!. Скорость в момент выпуска - 600-800 МГц (не Р-рейтинг), частота системной шины - 100-133 МГц. Чип будет иметь интегрированные контроллер памяти и 3D ускоритель. В связи с покупкой Cyrix VIA вряд ли когда-нибудь появится.
Rise	
mP6	Первый процессор компании Rise, преимущественно предназначен для ноутбуков, использующих Socket 7 процессоры. Соответственно, отличается очень малым тепловыделением. Кэш L1 - 16 Кбайт (по 8 кбайт для данных и инструкций), L2 - на материнской плате, от 512 Кбайт до 2 Мбайт, работает на частоте системной шины. Поддерживается дополнительный набор инструкций MMX. При оценке производительности своих процессоров, Rise, как и Cyrix, использует PR-рейтинг. PR-рейтинг от 166 до 366 МГц.
mP6 II	То же самое, по сравнению с mP6, что и K6-III по сравнению с K6-2. То же ядро, к которому добавлено 256 Кбайт кэша L2 на чипе. Была обещана поддержка SSE, производительность от PR-200 и выше. В августе 99 было объявлено об отмене планов по выходу процессора, в связи со значительным его удорожанием после добавления кэша L2 на чип.
Centaur	
Winchip C6	Процессор изначально создавался, будучи ориентированным на дешевые PC, как следствие, по скорости уступал по производительности своим конкурентам. Системная шина - 60, 66, 75 МГц, платформа - Socket 5. При производстве использовался техпроцесс 0.35 мкм. Поддерживаемый набор инструкций - MMX. Вышел в октябре 1997 года, работал на скоростях от 180 до 240 МГц.
Winchip-2	Производится по техпроцессу 0.25 мкм. Кэш L1 64 Кбайт (по 32 Кбайт для инструкций и данных), кэш L2 находится на материнской плате, 512 Кбайт - 2 Мбайт. Поддерживаются наборы инструкций MMX и 3DNow!. Платформа - Socket 7. От Winchip отличается значительно ускорившейся работой с числами с плавающей запятой. Появилась поддержка частоты системной шины 100 МГц. Появился в ноябре 98 года, скорость от 200 до 300 МГц.
Winchip-3	Кэш L1 64 Кбайт (по 32 Кбайт для инструкций и данных), кэш L2 - 128 Кбайт на чипе, работающих на частоте процессора, кэш L3 находится на материнской плате, 512 Кбайт-2 Мбайт. Планировался к выходу в первой половине 99 года, со скоростью 300 МГц и выше. В связи с покупкой Centaur VIA, по всей видимости, выход процессора был отменен.

Winchip-4	Планировался к выходу в конце 99 года, на скоростях порядка 400-500 МГц, а при переходе на 0.18 мкм техпроцесс - и 500-700 МГц. Предполагалась смена форм-фактора.	
VIA		
Joshua	Первым процессором VIA, намеченным к выпуску, стал приобретенный вместе с Cyrix их дизайн Gobi. Детали см. в разделе Cyrix.	
Samuel (C5A)	Ядро Winchip4, доставшееся VIA в наследство от Centaur, чип работает на частоте 500-700 МГц, производится National и TSMC с использованием 0.18 мкм техпроцесса. Процессор использует SIMD-набор 3D Now!, форм-фактор - Socket-370. Кэш L1 128 Кбайт. Быстро сменил собой Joshua под тем же именем Cyrix III. Тактовая частота - 500-667 МГц.	
Samuel (C5B)	2	Следующее ядро группы Centaur. Добавился кэш L2 объемом 64 Кбайт, увеличилась тактовая частота - 667-800+ МГц. Частота системной шины 100/133 МГц, форм-фактор - Socket-370.
Ezra (C5C)	Совместная разработка групп Cyrix и Centaur. Первое действительно новое ядро VIA. Первый их процессор с поддержкой SSE, кэш L1 128 Кбайт, кэш L2 64 Кбайта. Предполагается значительно возросшая производительность и тактовая частота. Процесс 0,15 с переходом на 0,13 мкм. Выход во втором квартале 2001 с тактовой частотой от 750 МГц с потенциалом роста выше 1 ГГц. TSMC подтвердила информацию о том, что она сделала 1 ГГц Ezra.	
C5X	Процессор от VIA, который работает на частотах порядка 1.2-1.5 ГГц Если у Ezra - 128 Кбайт кэша L1 и 64 Кбайт - L2, то у этого кэш L2 - 256 Кбайт. Плюс, впервые для VIA, использование медных соединений. Площадь чипа, по сравнению с Ezra, увеличится весьма незначительно - с 52 до 65 кв.мм.	
SiS		
5xx	Ядро mP6 от Rise (у SiS есть лицензия на него), интегрированное видео и коммуникации. Ответ на VIA Matthew	
Transmeta		
Crusoe	19 января Transmeta, наконец, подвела итог своей 5 летней деятельности, объявив аппаратно-программный комплекс - процессор Crusoe. Компания решила не конкурировать с Intel и AMD в той области, где те традиционно сильны, позиционируя свой процессор, как лучшее решение для мобильных систем, НРС, и т.д. Для начала процессор выходит в двух вариантах - 333-400 МГц TM3120 и 500-700 МГц TM5600. Для первого объем кэша составляет 96 Кбайт L1, для второго - 125 Кбайт L1 + 256 Кбайт L2. Плавающее энергопотребление составляет от 10-20 мВт до 1-3 Вт, в зависимости от выполняемой работы. TM5800 - 0,13 мкм версия процессора, которая дойдет до 1 ГГц.	

Архитектура процессора

Существуют процессоры различной архитектуры.

CISC (Complex Instruction Set Computing). Эта конфигурация для повышения гибкости и расширения возможностей предусматривает:

- увеличение числа различных по формату и длине команд;
- введение большого числа различных режимов адресации;
- сложную кодировку инструкции.

Процессору с архитектурой CISC приходится иметь дело с более сложными инструкциями неодинаковой длины. Выполнение одиночной CISC-инструкции может происходить быстрее, однако обрабатывать несколько таких инструкций параллельно сложнее.

Облегчение отладки программ на ассемблере влечет за собой загромождение узлами микропроцессорного блока. Для повышения быстродействия следует увеличить тактовую частоту и степень интеграции, что вызывает необходимость совершенствования технологии и, как следствие, удорожание производства.

RISC (Reduced Instruction Set Computing). Процессор с сокращенным набором команд. Система команд имеет упрощенный вид. Все команды одинакового формата с простой кодировкой. Обращение к памяти происходит посредством команд загрузки и записи, остальные команды типа регистр-регистр. Команда, поступающая в CPU, уже разделена по полям и не требует дополнительной дешифрации.

Часть кристалла освобождается для включения дополнительных компонентов. Степень интеграции ниже, чем в предыдущем архитектурном варианте, поэтому при высоком быстродействии допускается более низкая тактовая частота. Команда меньше загромождает ОЗУ, CPU дешевле. Программной совместимостью указанные архитектуры не обладают. Отладка программ на RISC более сложна. Данная технология может быть реализована программно-совместимым с технологией CISC (например, суперскалярная технология).

Поскольку RISC-инструкции просты, для их выполнения нужно меньше логических элементов, что в конечном итоге снижает стоимость процессора. Но большая часть программного обеспечения сегодня написана и откомпилирована специально для CISC-процессоров фирмы Intel. Для использования архитектуры RISC нынешние программы должны быть перекомпилированы, а иногда и переписаны заново.

MISC (Multipurpose Instruction Set Computer) сочетает преимущества вышерассмотренных архитектур. Элементная база состоит из двух частей, которые либо выполнены в отдельных корпусах, либо объединены. Основная часть – RISC CPU, расширяемый подключением второй части – ПЗУ микропрограммного управления. Система приобретает свойства CISC. Основные команды работают на RISC CPU, а команды расширения преобразуются в адрес микропрограммы. RISC CPU выполняет все команды за один такт, а вторая часть эквивалентна CPU со сложным набором команд. Наличие ПЗУ устраняет недостаток RISC, выраженный в том, что при компиляции с языка высокого уровня микрокод генерируется из библиотеки стандартных функций, занимающей много места в ОЗУ. Поскольку микропрограмма уже дешифрована и открыта для программиста, то времени выборки из ОЗУ на дешифрацию не требуется.

Режимы работы процессора

CPU I386 полностью совместим по объектному коду с семейством Ix86 и является его дальнейшим развитием. CPU может быть использован в следующих режимах работы:

Real Mode (RM) – режим реальной адресации, соответствующий работе системы с CPU 8086, используется только в MS DOS. Область адресов, доступных системе (1 Мбайт), не защищена. Реализованы двадцать адресных линий, режим однопользовательский. Однако при этом работают 32-битовые регистры CPU. По умолчанию используются все имеющиеся команды, длина операндов 16 бит. Для работы с 32-разрядными операндами и использования дополнительных режимов адресации применяют специальный префикс переадресации. 32-разрядный адрес не превышает границы сегмента 64 Кбайт (0000H-FFFFH), в противном случае констатируется особая ситуация - 13H. Для обеспечения доступа к адресному пространству шириной до 1 Мбайт в работе участвуют линии A [19/02], ВЕО#-ВЕЗ#. Исполнительный адрес всегда соответствует физическому, страничный механизм отключен. Все сегменты могут находиться в состоянии записи, считывания или выполнения.

Protected Mode (PM) – режим виртуальной адресации (защищенный режим).

Виртуальная адресация – это способ организации доступа к информации, при котором большая ее часть располагается не в физическом ОЗУ, а в устройствах внешней памяти (УВП), откуда она периодически подкачивается в ОЗУ (swapping), что создает иллюзию расширения его размеров.

При включении ПЭВМ первоначально принимает RM. Для перевода в PM используют системные команды LMSW, SMSW. При установке бита PF=1 в MSW CPU переходит в PM, в котором реализуется доступ к 4 Гбайт ОЗУ в 32-битовом адресном физическом пространстве исполнительных адресов. Доступ к 64 Тбайт памяти реализуется в виртуальном (логическом) адресном пространстве.

Предусмотрена защита по многоуровневому принципу операционной системы и прикладных задач. Реализуется мультипрограммность.

Для обратного перевода из PM в RM команды LMSW, SMSW не используются. Система должна быть перезагружена либо аппаратно («холодный» старт), либо программно-аппаратно – через порты 60H, 64H контроллера 8042 командой вывода out и далее через внутренний сигнал RC и узел Shut down ко входу Reset I386 («теплый» старт осуществляется нажатием клавиш).

Для осуществления программного перехода из PM в RM может быть использована команда MOV CR0 (LCR0).

Protected Mode 86 (VM 86) – режим виртуальной адресации 86 - устанавливает исполнительную среду I86 внутри защищенной многозадачной среды PM CPU I386. При этом поддерживается исполнение всех программ, написанных для предыдущих поколений. Первоначально в рамках VM 86 оборудование формирует 20-разрядный линейный адрес по системе, аналогичной RM. Однако, благодаря включению механизма страничной адресации и системе двухуровневой защиты, линейный адрес шириной в 1 Мбайт может быть разбит на 256 страниц по 4 Кбайт каждая, и размещен в физическом адресном пространстве до 4 Гбайт. В этом объеме физической памяти можно в окнах по 1 Мбайт расположить множество копий MS DOS или других операционных систем и их программ, представляющих отдельные виртуальные машины, работающие в мультизадачном режиме. Вход и выход в режим VM86 возможен посредством перезагрузки регистра флагов (бит 17), либо при переключении с задачи на задачу с привлечением сегмента состояния задачи (TSS), либо в процедуре прерывания (команда IRET), либо при использовании команды POPF.

Page Protected Mode – режим страничной адресации.

Это альтернативный режим управления памятью, позволяющий разделить крупные массивы информации на более компактные блоки размером по 4 Кбайт. Аппаратно для реализации режима в CPU I386 дополнительно включается страничный механизм, транслирующий линейный адрес в физический. Переход из RM в Page M программный: командами LMSW, SMSW, MOV CR0, MOV CR3. Обратный переход осуществляется либо перезагрузкой, либо программным путем (манипуляция битом 31 регистра CR0).

Структура микропроцессора

Упрощенно структуру микропроцессора можно представить в следующем виде:

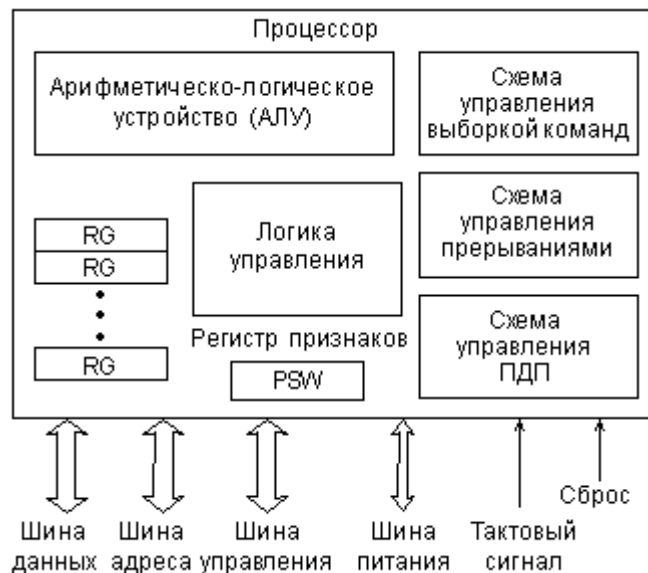


Рисунок 2 -Внутренняя структура микропроцессора.

Основные функции показанных узлов следующие:

Схема управления выборкой команд выполняет чтение команд из памяти и их дешифрацию. В первых микропроцессорах было невозможно одновременное выполнение предыдущей команды и выборка следующей команды, так как процессор не мог совмещать эти операции. Но уже в 16-разрядных процессорах появляется так называемый *конвейер* (очередь) команд, позволяющий выбирать несколько следующих команд, пока выполняется предыдущая. Два процесса идут параллельно, что ускоряет работу процессора. Конвейер представляет собой небольшую внутреннюю память процессора, в которую при малейшей возможности (при освобождении внешней шины) записывается несколько команд, следующих за исполняемой. Читаются эти команды процессором в том же порядке, что и записываются в конвейер (это память типа **FIFO**, First In — First Out, первый вошел — первый вышел). Правда, если выполняемая команда предполагает переход не на следующую ячейку памяти, а на удаленную (с меньшим или большим адресом), конвейер не помогает, и его приходится сбрасывать. Но такие команды встречаются в программах сравнительно редко.

Развитием идеи конвейера стало использование внутренней кэш-памяти процессора, которая заполняется командами, пока процессор занят выполнением предыдущих команд. Чем больше объем кэш-памяти, тем меньше вероятность того, что ее содержимое придется сбросить при команде перехода. Понятно, что обрабатывать команды, находящиеся во внутренней памяти, процессор может гораздо быстрее, чем те, которые расположены во внешней памяти. В кэш-памяти могут храниться и данные, которые обрабатываются в данный момент, это также ускоряет работу. Для большего ускорения выборки команд в современных процессорах применяют совмещение выборки и дешифрации, одновременную дешифрацию нескольких команд, несколько параллельных конвейеров команд, предсказание команд переходов и некоторые другие методы.

Арифметико-логическое устройство (или **АЛУ**, ALU) предназначено для обработки информации в соответствии с полученной процессором командой. Примерами обработки могут служить логические операции (типа логического «И», «ИЛИ», «Исключающего ИЛИ» и т.д.) то есть побитные операции над операндами, а также арифметические операции (типа сложения, вычитания, умножения, деления и т.д.). Над какими кодами производится операция, куда помещается ее результат — определяется выполняемой командой. Если команда сводится всего лишь к пересылке данных без их обработки, то АЛУ не участвует в ее выполнении.

Быстродействие АЛУ во многом определяет производительность процессора. Причем

важна не только частота тактового сигнала, которым тактируется АЛУ, но и количество тактов, необходимое для выполнения той или иной команды. Для повышения производительности разработчики стремятся довести время выполнения команды до одного такта, а также обеспечить работу АЛУ на возможно более высокой частоте. Один из путей решения этой задачи состоит в уменьшении количества выполняемых АЛУ команд, создание процессоров с уменьшенным набором команд (так называемые RISC-процессоры). Другой путь повышения производительности процессора — использование нескольких параллельно работающих АЛУ.

Что касается операций над числами с плавающей точкой и других специальных сложных операций, то в системах на базе первых процессоров их реализовали последовательностью более простых команд, специальными подпрограммами, однако затем были разработаны специальные вычислители — математические сопроцессоры, которые заменяли основной процессор на время выполнения таких команд. В современных микропроцессорах математические сопроцессоры входят в структуру как составная часть.

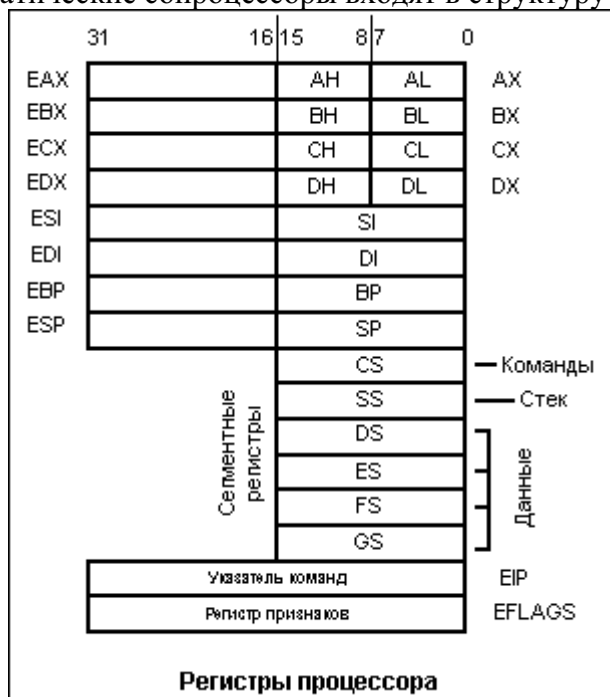


Рисунок 3 – Регистры процессора

Регистры процессора представляют собой по сути ячейки очень быстрой памяти и служат для временного хранения различных кодов: данных, адресов, служебных кодов. Операции с этими кодами выполняются предельно быстро, поэтому, в общем случае, чем больше внутренних регистров, тем лучше. Кроме того, на быстродействие процессора сильно влияет разрядность регистров. Именно разрядность регистров и АЛУ называется *внутренней разрядностью процессора*, которая может не совпадать с внешней разрядностью.

По отношению к назначению внутренних регистров существует два основных подхода. Первого придерживается, например, компания Intel, которая каждому регистру отводит строго определенную функцию. С одной стороны, это упрощает организацию процессора и уменьшает время выполнения команды, но с другой — снижает гибкость, а иногда и замедляет работу программы. Например, некоторые арифметические операции и обмен с устройствами ввода/вывода проводятся только через один регистр — *аккумулятор*, в результате чего при выполнении некоторых процедур может потребоваться несколько дополнительных пересылок между регистрами. Второй подход состоит в том, чтобы все (или почти все) регистры сделать равноправными, как, например, в 16-разрядных процессорах T-11 фирмы DEC. При этом достигается высокая гибкость, но необходимо

усложнение структуры процессора. Существуют и промежуточные решения, в частности, в процессоре MC68000 фирмы Motorola половина регистров использовалась для данных, и они были взаимозаменяемы, а другая половина — для адресов, и они также взаимозаменяемы.

В первую группу входят *регистры общего назначения*. В процессорах 386 и выше имеются восемь 32-битовых регистров общего назначения **EAX, EBX, ECX, EDX, ESI, EDI, EBP, и ESP**. Процессоры 386 и выше могут обращаться к 16-битовым половинам 32-битовых регистров. При необходимости возможна работа с половинами регистров, поскольку они разделены на старшую и младшую половину, называемые **AH и AL, BH и BL** и т.д. Такое разделение регистров имеется во всех процессорах. Значительная часть внутренних операций компьютеров производится с использованием регистров общего назначения.

Следующая группа из шести регистров помогает процессору обращаться к памяти. Они называются *сегментными регистрами* и каждый из них помогает обращаться к области (или сегменту) памяти. В прежних процессорах размер сегментов составлял 64 Кбайт, а в новых процессорах длина сегмента переменная и варьируется от одного байта до 4 Гбайт.

Регистр **CS** сегмента кода (программы) показывает, в каком месте памяти находится программа. Регистр **DS** сегмента данных локализует используемые программой данные. Регистр **ES** дополнительного сегмента дополняет сегмент данных. Регистр **SS** сегмента стека определяет стек компьютера. В процессорах 386 и выше имеются еще два сегментных регистра: **FS** и **GS**, предназначенных для адресации памяти.

Если сегментные регистры обеспечивают доступ к большим блокам памяти, то последняя группа используется совместно с сегментным регистром для локализации в памяти конкретных байтов. *Регистр указателя команды IP* определяет ту точку, где выполняется программа. Регистры *указателя стека SP* и *указателя базы BP* помогают следить за информацией в стеке (стек — это область памяти, где хранится информация о текущих действиях компьютера). Регистры *индекса источника SI* и *индекса получателя DI* помогают программам пересылать большие блоки данных из одного места в другое.

Регистр признаков (регистр состояния) занимает особое место, хотя он также является внутренним регистром процессора. Содержащаяся в нем информация — это не данные, не адрес, а слово состояния процессора (CCП, **PSW** — Processor Status Word).

Каждый бит этого слова (флаг) содержит информацию о результате предыдущей команды. Например, есть бит нулевого результата, который устанавливается в том случае, когда результат выполнения предыдущей команды — нуль, и очищается в том случае, когда результат выполнения команды отличен от нуля. Эти биты (флаги) используются командами условных переходов, например, командой перехода в случае нулевого результата. В этом же регистре иногда содержатся флаги управления, определяющие режим выполнения некоторых команд.

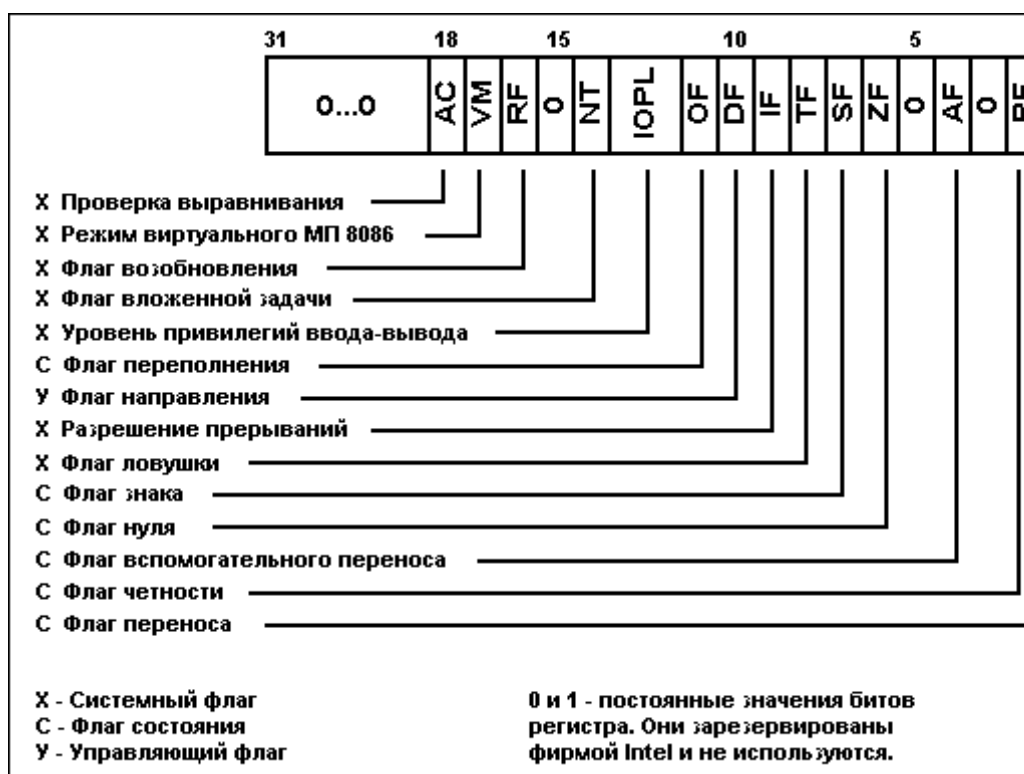


Рисунок 4 - Назначение битов регистра флагов

Схема управления прерываниями обрабатывает поступающий на процессор запрос прерывания, определяет адрес начала программы обработки прерывания (адрес вектора прерывания), обеспечивает переход к этой программе после выполнения текущей команды и сохранения в памяти (в стеке) текущего состояния регистров процессора. По окончании программы обработки прерывания процессор возвращается к прерванной программе с восстановленными из памяти (из стека) значениями внутренних регистров.

Схема управления прямым доступом к памяти служит для временного отключения процессора от внешних шин и приостановки работы процессора на время предоставления прямого доступа запросившему его устройству.

Логика управления организует взаимодействие всех узлов процессора, перенаправляет данные, синхронизирует работу процессора с внешними сигналами, а также реализует процедуры ввода и вывода информации.

Таким образом, в ходе работы процессора схема выборки команд выбирает последовательно команды из памяти, затем эти команды выполняются, причем в случае необходимости обработки данных подключается АЛУ. На входы АЛУ могут подаваться обрабатываемые данные из памяти или из внутренних регистров. Во внутренних регистрах хранятся также коды адресов обрабатываемых данных, расположенных в памяти. Результат обработки в АЛУ изменяет состояние регистра признаков и записывается во внутренний регистр или в память (как источник, так и приемник данных указывается в составе кода команды). При необходимости информация может переписываться из памяти (или из устройства ввода/вывода) во внутренний регистр или из внутреннего регистра в память (или в устройство ввода/вывода).

Внутренние регистры любого микропроцессора обязательно выполняют две служебные функции:

1. определяют адрес в памяти, где находится выполняемая в данный момент команда (функция *счетчика команд* или *указателя команд*);
2. определяют текущий адрес стека (функция *указателя стека*).

В разных процессорах для каждой из этих функций может отводиться один или два внутренних регистра. Эти два указателя отличаются от других не только своим

специфическим, служебным, системным назначением, но и особым способом изменения содержимого. Их содержимое программы могут менять только в случае крайней необходимости, так как любая ошибка при этом грозит нарушением работы компьютера, зависанием и порчей содержимого памяти.

Содержимое *указателя (счетчика) команд* изменяется следующим образом. В начале работы системы (при включении питания) в него заносится раз и навсегда установленное значение. Это первый адрес программы начального запуска. Затем после выборки из памяти каждой следующей команды значение указателя команд автоматически увеличивается (инкрементируется) на единицу (или на два в зависимости от формата команд и типа процессора). То есть следующая команда будет выбираться из следующего по порядку адреса памяти. При выполнении команд перехода, нарушающих последовательный перебор адресов памяти, в указатель команд принудительно записывается новое значение — новый адрес в памяти, начиная с которого адреса команд опять же будут перебираться последовательно. Такая же смена содержимого указателя команд производится при вызове подпрограммы и возврате из нее или при начале обработки прерывания и после его окончания.

2. Принципы работы микропроцессоров

Рабочий цикл по своему содержанию в основном одинаков для всех вычислительных машин различных поколений и отличается лишь некоторыми техническими деталями реализации.

Важной составной частью фон-неймановской архитектуры является счетчик адреса команд. Он постоянно указывает на ячейку памяти, в которой хранится следующая команда программы. Считав очередную команду из памяти, процессор сразу же увеличивает значение счетчика так, чтобы он показывал на следующую команду.

Считанная в регистр команд операция расшифровывается, извлекаются необходимые данные, над ними в АЛУ выполняются требуемые действия и, если предусмотрено операцией, результат записывается в ОЗУ.

Затем во всех случаях, за исключением команды останова, описанные действия циклически повторяются.

Таким образом, ЭВМ непрерывно выполняет те или иные программы, причем каждая из них в свою очередь может загружать новые программы.

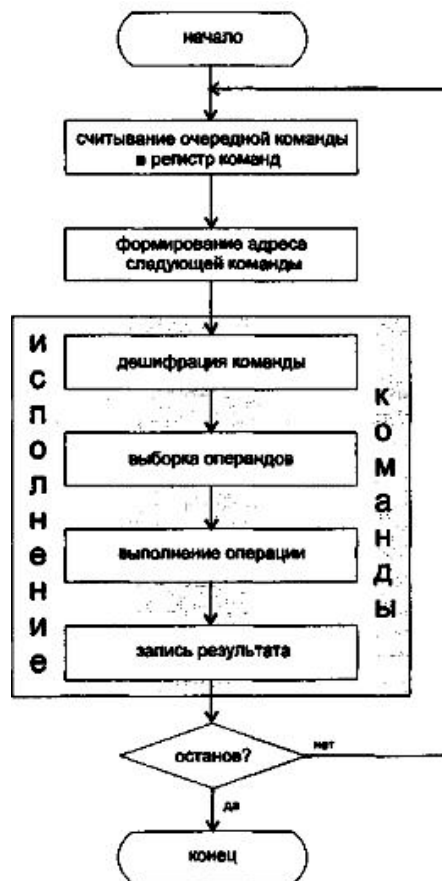


Рисунок 4 – Основной алгоритм работы процессора

Все процессоры линеек Pentium Pro, Pentium II, Celeron и Xeon имеют одинаковую базовую микроархитектуру и по этому признаку относятся к одному большому семейству процессоров P6.

Основная отличительная черта микроархитектуры процессоров семейства P6 — использование алгоритмики "динамического выполнения команд" (dynamic execution), которая построена на основе трех базовых концепций: *предсказании переходов (branch prediction)*, *динамическом анализе потока данных (dynamic data flow analysis)* и *спекулятивном выполнении инструкций (speculative execution)*.

Предсказание переходов — это концепция, которая реализована не только в микроархитектуре процессоров семейства P6, но и в микроархитектуре ряда других высокопроизводительных процессоров (например, процессоров мэйнфреймов). Суть ее заключается в следующем.

На вход процессора поступает поток инструкций для их последующего исполнения. Инструкции поступают в том порядке, в котором они содержатся в коде программы, исполняемой в данный момент процессором. Как только на входе процессора появляется очередная порция инструкций для исполнения, ее содержимое анализируется с целью найти точки ветвления в исполняемом потоке инструкций и предсказать наиболее вероятные пути (ветви), по которым пойдет обработка инструкций после этих точек ветвления. Инструкции, принадлежащие ветвям с наибольшей вероятностью выполнения, тут же ставятся в очередь на исполнение.

Основная идея всех этих манипуляций заключается в том, чтобы заставить процессор выполнить инструкции, которые принадлежат ветвям с наибольшей вероятностью выполнения, "вне очереди" — то есть не дожидаться того момента, когда очередь на выполнение дойдет до этих ветвей естественным образом (согласно порядку поступления инструкций на вход процессора и, соответственно, контексту выполняемой программы), а загрузить эти ветви на выполнение раньше этого момента. Таким образом обеспечивается

более полная загрузка и, соответственно, более высокая производительность процессора.

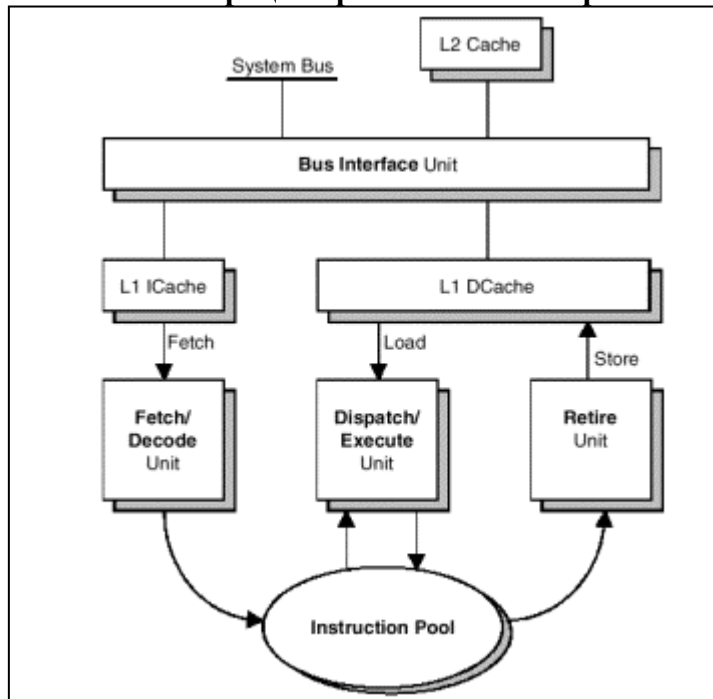
Динамический анализ потока данных включает в себя выполняемый в режиме реального времени анализ зависимости инструкций от исходных данных и значений регистров процессора, а также определение возможности исполнения и непосредственное исполнение инструкций в порядке, отличном от порядка их первоначальной постановки в очередь на исполнение (out-of-order execution).

Выполнение инструкций в порядке, отличном от порядка их постановки в очередь на исполнение, позволяет избежать простоя вычислительных ресурсов даже в том случае, когда в L1-кэше нет данных, необходимых для исполнения инструкции, или между инструкциями есть зависимость данных, и зависящая инструкция не может быть исполнена (например, в результате исполнения инструкции "А" получаются данные, которые используются при исполнении инструкции "В"; соответственно, инструкция "В" не может быть исполнена раньше, чем инструкция "А").

Спекулятивное выполнение инструкций — это способность процессора исполнить инструкции в порядке, отличном (как правило, с опережением) от порядка во входном потоке инструкций (что определяется кодом исполняемой программы), но завершить и возратить (commit) результаты исполнения инструкций в порядке, соответствующем оригинальному входному потоку инструкций.

Алгоритмика динамического выполнения команд, включающая предсказание переходов, динамический анализ потока данных и спекулятивное выполнение инструкций, снимает ограничения традиционного "линейного" подхода, при котором весь цикл исполнения состоял из двух этапов — загрузки и выполнения инструкций, а сами инструкции обрабатывались в том порядке, в котором они поступали в очередь на исполнение.

Процессор Pentium II построен на основе семи базовых модулей:



1. **Fetch/Decode Unit** (модуль загрузки и декодирования инструкций);
2. **Dispatch/Execute Unit** (модуль диспетчеризации/исполнения инструкций);
3. **Retire Unit** (модуль завершения и удаления инструкций);
4. **Instruction Pool** (пул инструкций, его также называют Reorder Buffer — буфер переупорядочивания инструкций);
5. **Bus Interface Unit** (модуль внешнего интерфейса);
6. **L1 ICache** (L1-кэш для инструкций);
7. **L1 DCache** (L1-кэш для данных).

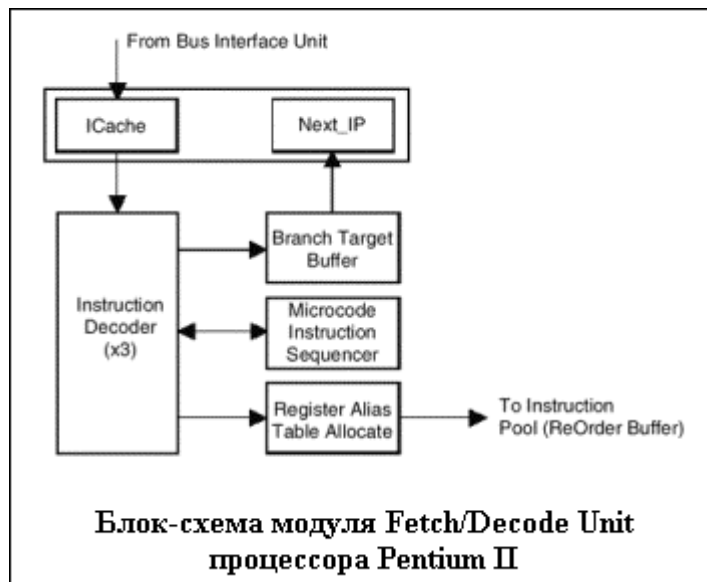


Рисунок 5 – Блок-схема модуля Fetch/Decode Unit процессора Pentium II

Fetch/Decode Unit предназначен для приема входного потока инструкций исполняемой программы, поступающего из L1-кэша инструкций, предсказания переходов и их последующего декодирования в поток микроопераций (μops).

Этот модуль работает следующим образом. Прежде всего, блок Next_IP вычисляет индекс (порядковый номер) инструкции, содержащейся в L1-кэше инструкций, которая должна быть обработана следующей — то есть извлечена из L1-кэша инструкций и передана для последующего декодирования.

Индекс этой инструкции вычисляется блоком Next_IP на основе поступающей в него информации о прерываниях, которые были переданы в процессор для обработки, возможных предсказанных переходах (предсказание выполняется блоком Branch Target Buffer), и сообщениях о неправильно предсказанных переходах (branch-misprediction), которые поступают от целочисленных вычислительных ресурсов, расположенных в модуле Dispatch/Execute Unit. После вычисления индекса следующей обрабатываемой инструкции L1-кэш инструкций извлекает две строки кэшированных данных (cache line) — ту, которая соответствует вычисленному индексу, и следующую за ней, — а затем передает для декодирования извлеченные 16 байт, которые содержат IA-инструкции (Intel Architecture registers — регистры общего назначения процессора). Начало и конец IA-инструкций маркируются.

Далее маркированный поток байт обрабатывается сразу тремя параллельно работающими декодерами, которые отыскивают в нем IA-инструкции. Каждый декодер преобразует найденную IA-инструкцию в набор триадных микроопераций (μops) — триадных в том смысле, что микрооперация проводится над двумя исходными логическими операндами, а в результате ее выполнения получается только один логический результат. Микрооперация — это примитивная инструкция, которая может быть выполнена одним из вычислительных ресурсов, расположенных в модуле Dispatch/Execute Unit.

Из трех декодеров два — простые, которые могут преобразовывать только IA-инструкций, требующие выполнения одной микрооперации, а третий декодер — более совершенный; он может преобразовывать IA-инструкции, требующие выполнения от одной до четырех микроопераций. Таким образом, за один такт работы процессора все три декодера могут в сумме сгенерировать максимум шесть микроопераций. Для преобразования еще более сложных IA-инструкций используется микрокод, который содержится в блоке Microcode Instruction Sequencer и представляет собой набор предварительно запрограммированных последовательностей обычных микроопераций.

Полученные таким образом микрооперации передаются в блок Register Alias Table

Allocate, где все содержащиеся в микрооперациях адреса IA-регистров преобразуются в адреса внутренних физических регистров процессора семейства P6 — тем самым IA-архитектура и P6-архитектура оказываются развязанными. Это существенно увеличивает возможности работы процессора при вычислениях, так как, во-первых, отпадает необходимость следить за целостностью содержимого IA-регистров при исполнении инструкций, во-вторых, адресное пространство перестает быть ограниченным возможностями IA-архитектуры и может быть значительно расширено, что приводит к росту скорости вычислений, и, в-третьих, такая переадресация обеспечивает возможность спекулятивного исполнения инструкций — далее все вычисления ведутся во внутренней P6-архитектуре процессора, а IA-архитектура снова появляется «на сцене» только на этапе завершения инструкций в модуле Retire Unit.

На этом же этапе к каждой микрооперации как информационной единице добавляются флаги состояния, в которые записывается информация об ее статусе. После этого микрооперации передаются в пул инструкций.

Instruction Pool (Reorder Buffer). Основное назначение этого модуля — предоставить возможность исполнения микроопераций в произвольном порядке; в том числе, отличном от порядка их генерации.

В тот момент, когда микрооперации попадают в пул инструкций, порядок их следования в потоке соответствует тому порядку, в котором они были сгенерированы в результате декодирования IA-инструкций, поступивших на вход модуля Fetch/Decode Unit, — никакого изменения порядка следования пока не произошло. Пул инструкций представляет собой последовательный массив инструкций; при этом любая из этих инструкций может быть в любой момент времени обработана модулем Dispatch/Execute Unit или Retire Unit — то есть порядок обработки инструкций может быть произвольным и не зависит от первоначального порядка, в котором инструкции поступили в пул. Именно поэтому пул инструкций иногда называют еще буфером переупорядочивания инструкций (Reorder Buffer).

Dispatch/Execute Unit (модуль диспетчеризации/исполнения инструкций). Этот модуль проверяет состояние микроопераций, содержащихся в пуле инструкций, и используя динамический анализ потока данных, исполняет их, если есть такая возможность. Затем записывает полученные результаты обратно в пул инструкций.

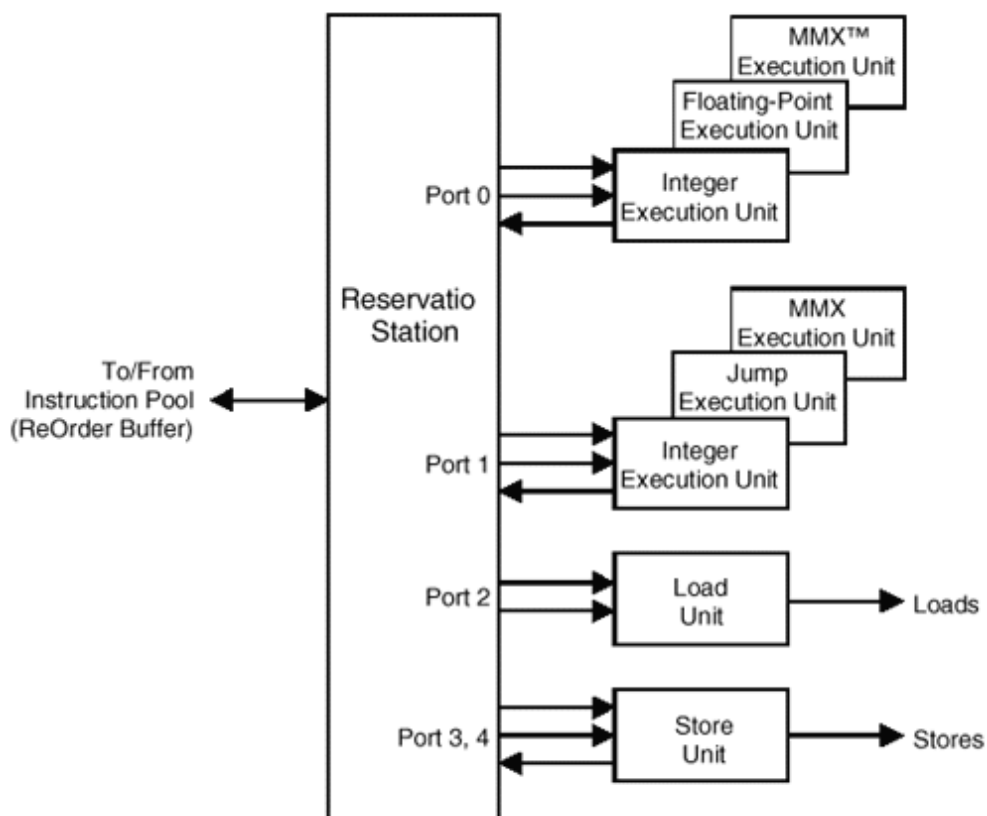


Рисунок 6 - Блок-схема модуля Dispatch/Execute Unit процессора Pentium II

Он также может одновременно следить за ходом исполнения множества инструкций и выполнять их в таком порядке, который позволяет оптимизировать загрузку вычислительных ресурсов процессора. В это же самое время Dispatch/Execute Unit следит за целостностью данных, над которыми проводятся вычисления.

Спекулятивное выполнение инструкций в процессоре возможно благодаря тому, что этап "диспетчеризации и выполнения инструкций" (dispatching and executing of instructions) отделен от этапа "завершения и возвращения результатов" (commitment of results).

Reservation Station — основной управляющий блок модуля Dispatch/Execute Unit. Именно он планирует порядок исполнения и занимается диспетчеризацией (распределением между вычислительными ресурсами) микроопераций. Этот блок последовательно просматривает пул инструкций в поисках микроопераций, которые готовы к исполнению — таковыми считаются микрооперации, у которых готовы (т.е. вычислены/загружены) исходные операнды, — и передает (распределяет, диспетчеризует) их на исполнение свободным вычислительным ресурсам, которые могут исполнить микрооперацию. Результаты исполнения микрооперации записываются в пул инструкций и хранятся там вместе с самой микрооперацией до тех пор, пока последняя не будет завершена — этим занимается уже модуль Retire Unit.

Следует подчеркнуть, что жесткого, заранее predetermined порядка исполнения микроопераций не существует — они исполняются сразу же, как только становятся готовы их операнды и свободен соответствующий вычислительный ресурс. В том случае, если одному и тому же ресурсу может быть одновременно передано на исполнение более одной микрооперации, последние исполняются по принципу псевдо-FIFO (First In First Out) — первой исполняется та микрооперация, которая раньше попала в пул инструкций.

Reservation Station имеет пять портов, через которые организуется обмен данными с пятью вычислительными ресурсами. Поэтому Dispatch/Execute Unit может за один такт исполнить максимум пять микроопераций. Однако при реальной работе с постоянной

равномерной нагрузкой на процессор наиболее типична ситуация, когда за один такт выполняется три микрооперации.

Retire Unit (модуль завершения и удаления инструкций) — последовательно просматривает пул инструкций и ищет исполненные инструкции, которые не имеют зависящих от них других инструкций, и следовательно, могут считаться исполненными и готовыми к извлечению из пула инструкций. Найденные инструкции извлекаются из пула инструкций в том порядке, в каком они поступили в очередь на исполнение, результаты их исполнения возвращаются (committed) — записываются в оперативную память и/или в IA-регистры (Intel Architecture registers — регистры общего назначения процессора) и регистры данных математического сопроцессора (FPU — floating-point unit)), после чего инструкции удаляются из пула инструкций.

Retire Unit постоянно сканирует содержимое пула инструкций и проверяет статус хранящихся в нем микроопераций. Как только находится исполненная и готовая к удалению из пула микрооперация, Retire Unit преобразует результаты ее исполнения, хранящиеся во внутреннем представлении процессора (то есть во внутренних регистрах, в контексте Р6-архитектуры), к представлению в IA-архитектуре и записывает результат исполнения в оперативную память и/или в IA-регистры. После этого микрооперация удаляется из пула инструкций.

Тонкость этой процедуры заключается в том, что результаты исполнения микроопераций должны быть возвращены в контексте IA-архитектуры в том же порядке, в каком эти микрооперации были сгенерированы в модуле Fetch/Decode Unit при декодировании входного потока инструкций исполняемой программы.

Ситуация усложняется еще тем, что все это происходит на фоне непрекращающегося потока всевозможных прерываний, точек останова, ошибок предсказания переходов, а также внештатных ситуаций в работе процессора, которые нужно успевать обрабатывать.

Retire Unit процессора Pentium II способен завершить и удалить до трех микроопераций за один такт работы процессора.

Bus Interface Unit. Этот модуль отвечает за обмен данными между L1-кэшем инструкций, L1-кэшем данных, системной шиной и L2-кэшем.

Архитектура процессора AMD-K6-2.

В процессоре AMD-K6-2 реализована так называемая "Enhanced RISC86"-микроархитектура. RISC — это аббревиатура от Reduced Instruction Set Computing («вычисления с сокращенным набором команд»). RISC-процессор обладает меньшим числом команд фиксированной длины. Упрощенная структура позволяет RISC-процессору развивать более высокую скорость. Типичные представители RISC-процессоров — Alpha от DEC, SPARC от SUN, PowerPC от IBM. В противоположность этому CISC — сокращение от Complex Instruction Set Computing («вычисления со сложным набором команд»). Все члены семейства x86 — типичные представители CISC-процессоров со сложными, но удобными наборами команд.

Что касается AMD-K6-2, то речь в данном случае идет об объединенной архитектуре на основе преобразования x86-команд в более простые в обращении RISC-инструкции. Основная ее особенность состоит в том, что внешние x86-инструкции, поступающие на обработку в процессор, преобразуются во внутренние RISC86-инструкции, которые и исполняются процессором. Вместо того, чтобы напрямую исполнять сложные x86-инструкции с переменной длиной от 1 до 15 байт, процессор обрабатывает поток простых RISC86-инструкций фиксированной длины.

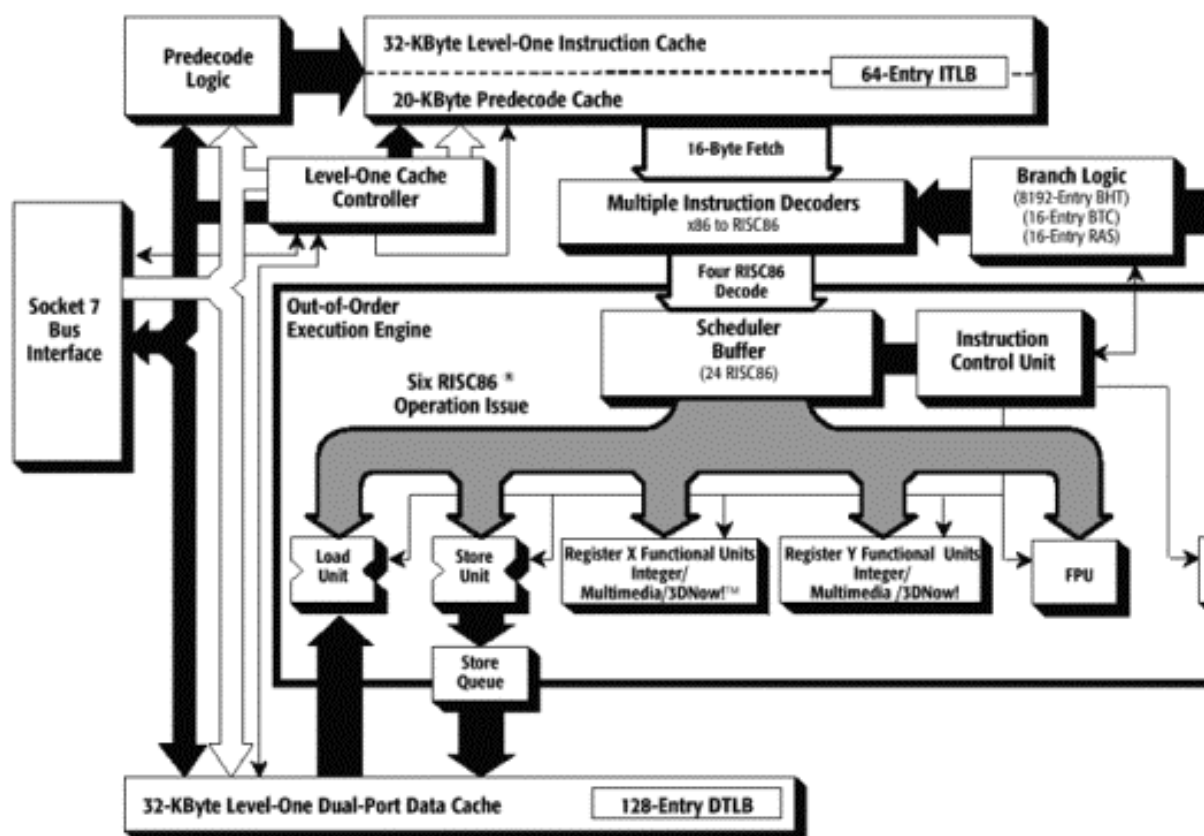


Рисунок 7 - Блок-схема процессора AMD-K6-2

В состав процессора AMD-K6-2 входят несколько основных модулей:

- **L1-кэш данных** (Level-One Dual Port Data Cache),
 - **L1-кэш инструкций** (Level-One Instruction Cache) с кэшем предварительного декодирования (Predecode Cache),
 - **модуль декодирования** (Multiple Instruction Decoders),
 - **центральный планировщик** (Centralized RISC86 Operation Scheduler),
 - **вычислительные блоки** (Execution Units)
 - **модуль предсказания переходов** (Branch Logic).
- L1-кэш инструкций и данных, предварительное декодирование.**

L1-кэш состоит из двух независимых блоков: L1-кэша данных (Level-One Dual Port Data Cache) и L1-кэша инструкций (Level-One Instruction Cache) с кэшем предварительного декодирования (Predecode Cache). L1-кэш данных предназначен только для хранения данных и имеет объем 32 Кбайт. Несколько сложнее обстоит дело с L1-кэшем инструкций: наряду с инструкциями, для хранения которых предназначены 32 Кбайт памяти, в нем хранятся так называемые "биты преддекодирования" (predecode bits) — для них отведено 20 Кбайт памяти. Дело в том, что после загрузки инструкции в L1-кэш инструкций выполняется ее предварительное декодирование (predecoding) — к каждому байту инструкции добавляется пять бит (из этого и следует соотношение 32 Кбайт/20 Кбайт = 8/5), в которые записывается информация о количестве байт, оставшихся до начала следующей инструкции. Эта информация используется на этапе декодирования x86-инструкций в RISC86-инструкции. После того, как L1-кэш инструкций полностью заполнится данными, инструкции вместе с преддекодированными битами передаются в буфер инструкций (Instruction Buffer).

Модуль декодирования (Multiple Instruction Decoders).

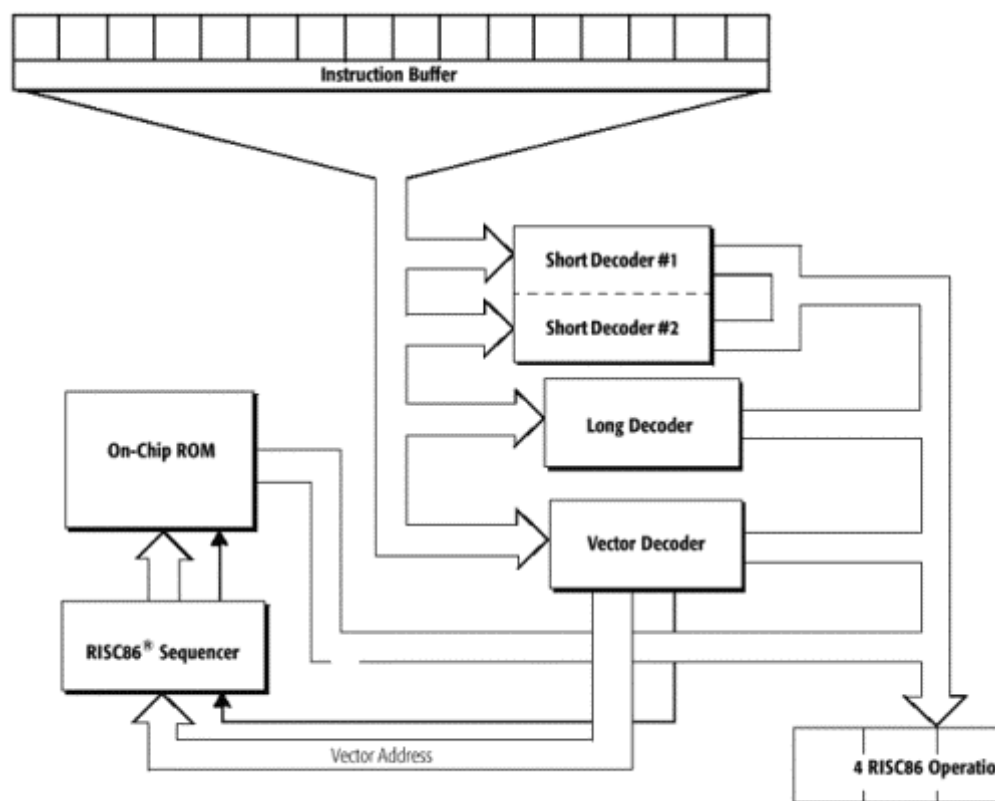


Рисунок 8 - Блок-схема модуля декодирования процессора AMD-K6-2

Модуль декодирования извлекает x86-инструкции (до 16 байт данных с инструкциями за один такт) с битами преддекодирования из буфера инструкций (Instruction Buffer), определяет границы инструкций и преобразует их в RISC86-инструкции. Непосредственно преобразованием занимаются четыре декодера: два для декодирования простых (Short Decoder #1, Short Decoder #2) и два для декодирования сложных x86-инструкций (Long Decoder, Vector Decoder). Одновременно могут работать либо два декодера Short Decoder #1 и Short Decoder #2, либо декодер Long Decoder, либо декодер Vector Decoder.

Два декодера Short Decoder #1 и Short Decoder #2 работают параллельно и обрабатывают наиболее часто используемые x86-инструкции — move, shift, branch, ALU, FPU, а также инструкции из наборов команд MMX и 3DNow!. Декодеры Short Decoder #1 и Short Decoder #2 обрабатывают только часто используемые (most commonly-used) x86-инструкции длиной не более семи байт. Каждый может преобразовать только одну такую x86-инструкцию и сгенерировать 0 (например, при обработке x86-инструкции NOP), одну или две RISC86-инструкции за такт. Таким образом, за один такт оба декодера могут сгенерировать до 4 RISC86-инструкций.

Редко используемые инструкции (semi-commonly-used) длиной до семи байт и обычные инструкции (commonly-used) с длиной большей семи байт, но меньшей или равной 11 байтам обрабатываются декодером Long Decoder, который может декодировать только одну такую x86-инструкцию и сгенерировать до 4 RISC86-инструкций за такт.

Все остальные преобразования (более сложные инструкции, прерывания, и.т.д.) выполняются декодером Vector Decoder. В этом случае Vector Decoder генерирует набор первых RISC86-инструкций и адрес заранее предопределенного набора последующих инструкций, который хранится в ROM-памяти (On-Chip ROM) и извлекается блоком RISC86 Sequencer.

Все наборы RISC86-операций, генерируемые декодерами и извлекаемые из On-Chip ROM всегда (!) состоят из групп, содержащих по четыре RISC86-операции. В том случае, если их получилось меньше, недостающее количество заполняется пустыми RISC86-инструкциями NOP. Например, если Long Decoder преобразовал x86-инструкцию в три

RISC86-инструкции, то к ней добавляется одна RISC86-инструкция NOP. Получившийся поток из таких групп поступает в буфер планировщика (Scheduler Buffer) — за один такт всегда передается группа из четырех RISC86-операций.

Центральный планировщик (Centralized RISC86 Operation Scheduler).

Планировщик — это сердце процессора AMD-K6-2. Он следит за процессом исполнения RISC86-инструкций, приведением результата их исполнения к x86-архитектуре, а также возвращением результатов спекулятивного выполнения x86-инструкций в соответствии с их порядком поступления на вход процессора.

В буфере планировщика может одновременно содержаться до 24 RISC86-инструкций. Любая из них может быть в любой момент передана на исполнение соответствующему вычислительному блоку (store, load, branch, register X integer/multimedia, register Y integer/multimedia, floating-point), если, конечно, последний свободен. Таким образом, реализуется исполнение инструкций в порядке, отличном от порядка их поступления в буфер (out-of-order execution). В общей сложности планировщик может передать на выполнение шесть и завершить (retire) также шесть RISC86-инструкций за такт.

Вычислительные блоки (Execution Units).

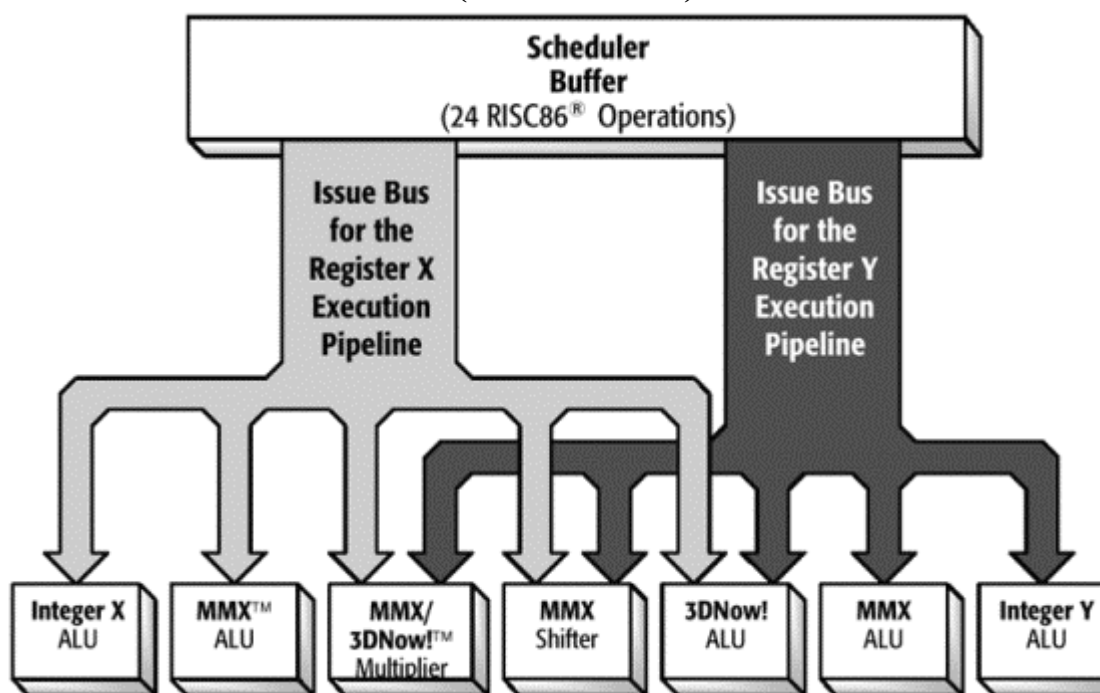


Рисунок 9 - Вычислительные модули групп Register X и Register процессора AMD-K6-2

Процессор AMD-K6-2 содержит 10 параллельных вычислительных блоков — Store Unit, Load Unit, Integer X ALU, Integer Y ALU, MMX ALU (X), MMX ALU (Y), MMX/3DNow! Multiplier, 3DNow! ALU, FPU и Branch Unit. Каждый блок работает независимо от остальных, так что несколько блоков могут обрабатывать переданные им на исполнение RISC86-инструкции одновременно.

Integer, MMX- и 3DNow!-инструкции передаются по двум независимым шинам — Register X Issue Bus и Register Y Issue Bus. При этом блоки Integer X ALU и MMX ALU (X) подключены только к шине Register X Issue Bus, а Integer Y ALU и MMX ALU (Y) — только к шине Register Y Issue Bus. А вот блоки MMX/3DNow! Multiplier и 3DNow! ALU подключены сразу к обеим шинам, как и блок MMX Shifter, функция которого заключается в том, чтобы переключать блоки MMX/3DNow! Multiplier и 3DNow! ALU между шинами.

Модуль предсказания переходов (Branch Logic). Назначение этого модуля, как следует из его названия, состоит в предсказании возможных переходов.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 14) Персональный компьютер – не менее 1-го на двух обучающихся.
- 15) Учебные системные блоки ПЭВМ.
- 16) Стенд основных составных частей системного блока.
- 17) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Определить тип процессора, установленный в учебном системном блоке ПЭВМ, и его основные характеристики.
- 2) Составить таблицу со сравнительными характеристиками современных процессоров.
- 3) Составить блок-схему внутренней структуры типового микропроцессора.
- 4) Составить структурную схему регистров типового микропроцессора.
- 5) Разработать алгоритм работы процессора.
- 6) Составить блок-схему модулей процессора Pentium II.

Повышенный уровень:

- 7) Составить блок-схему модуля загрузки/декодирования инструкций процессора Pentium II.
- 8) Составить блок-схему модуля диспетчеризации/исполнения инструкций процессора Pentium II.
- 9) Составить блок-схему процессора AMD-K6.
- 10) Составить блок-схему модуля декодирования процессора AMD-K6-2.
- 11) Составить блок-схему вычислительных модулей групп Register X и Register Y процессора AMD-K6-2.
- 12) Выполнить работу по извлечению процессора из системной платы учебной ПЭВМ.
- 13) Выполнить работу по установке процессора и проверке его работоспособности.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Обсуждена и одобрена на заседании кафедры ОТЗИ Протокол №__от____2014г.

Тема 6.

ОСНОВЫ СИСТЕМЫ МАШИННЫХ КОМАНД И ЯЗЫКА
АССЕМБЛЕРА

Практическое занятие № 6.

Время – 3 часа.

УЧЕБНЫЕ ВОПРОСЫ:

1. Принципы построения и работы накопителей на жестких магнитных дисках.

СОДЕРЖАНИЕ ЗАНЯТИЯ

Накопитель на жестких магнитных дисках - (Hard Disk Drive, **HDD**, винчестер, НЖМД, жесткий диск, "винт", "хард") - это устройство, предназначенное для длительного хранения операционных систем, программ и данных. По способу записи и чтения информации винчестеры относятся к магнитным накопителям.

Все файлы, размещенные на HDD, будут сохраняться без каких-либо потерь независимо от того, включен ПК или нет. Любые файлы могут быть скопированы, а программы проинсталлированы на HDD.

В начале 70-х годов фирмой IBM был разработан первый накопитель на жестких магнитных дисках (14-дюймовый). Диск позволял записать 30 дорожек по 30 секторов в каждой из них (30/30) и мог хранить до 16 Кбайт информации. Вначале ему присвоили название 30/30. Но по аналогии с американскими автоматическими винтовками "Winchester", имеющими калибр 30/30, дисковые устройства с несъемными дисками (жесткие диски) стали называться винчестерами.

В 1973 году фирма IBM создала первый HDD с несколькими дисками емкостью 140Мб, который продавался по цене \$8600.

Развитие HDD-технологий можно разбить на пять этапов:

1. Первый (до 1979 года) - использование "классических" индуктивных головок записи/воспроизведения.
2. Второй этап (1979-1991гг.) - применение тонкопленочных головок.
3. Третий (1991-1995гг.) - применение магниторезисторных (MR, Magneto-Resistive) головок.
4. Четвертый (1995-2000гг.) - применение супермагниторезистивных головок (GMR, Giant Magneto-Resistive): уменьшение магнитного зазора в записывающей головке и повышение чувствительности головки чтения за счет использования материалов с аномально высоким коэффициентом магниточувствительности.
5. Пятый (с 2000 года) - появление моделей с новым типом магнитного покрытия — с антиферромагнитной связью (AFC) при сохранении параметров магнитных головок.

Относительно корпуса ПК различают **внутренние** и **внешние** винчестеры.

Внутренние HDD - дешевле, но их максимальное количество ограничивается числом свободных отсеков корпуса, мощностью и количеством соответствующих разъемов блока питания. Установка и замена внутренних HDD требует выключения ПК. Внутренние HDD с возможностью "горячей" замены (Hot Swap) представляют собой те же винчестеры, но установленные в специальные кассеты с разъемами. Кассеты вставляются в специальные отсеки со стороны лицевой панели корпуса, конструкция позволяет вынимать и вставлять накопители при включенном питании. Для стандартных корпусов существуют недорогие приспособления (Mobile Rack), обеспечивающие оперативную съемность стандартных винчестеров.

Внешние HDD имеют собственные корпуса и блоки питания, их максимальное количество определяется возможностями интерфейса. Обслуживание внешних накопителей может производиться и при работающем ПК (критично для серверов), хотя и может требовать прекращения доступа к части дисков.

Для больших объемов хранимых данных применяются блоки внешних HDD - дисковые массивы и стойки - сложные устройства с собственными интеллектуальными контроллерами, обеспечивающими (кроме обычных режимов работы), диагностику и тестирование своих накопителей.

Самые сложные и надежные устройства хранения состоят из множества HDD и называются RAID-массивами.

Жесткий диск имеет восемь основных параметров:

1. Протокол передачи данных. Есть винчестеры со следующими интерфейсами: **IDE/SCSI/FC-AL/IEEE/USB**. Первые винчестеры в PC XT имели интерфейс ST412/ST506; так как он ориентирован на метод записи MFM, его часто называют MFM-интерфейсом.

2. Среднее время доступа (Average Seek Time) - процесс позиционирования головки записи/чтения на нужное место HDD. Бывает время при чтении и время при записи. Состоит из:

- времени перемещения головки с текущего трека на трек с нужным сектором (Track-to-Track Seek Time);

- времени ожидания, пока диск повернется так, что нужный сектор окажется под головкой записи/чтения;

Время измеряется в миллисекундах (мс) и сегодня составляет 3,6-11,5 мс.

3. Скорость вращения (Spindle Speed) шпинделя - это скорость, с которой вращаются диски. Измеряется в оборотах в минуту (rpm). Она влияет:

- на скорость чтения с поверхности диска. Чем быстрее диск крутится, тем больше информации считывается за единицу времени;

- на время доступа к нужной информации. Информация в HDD записывается по кольцевым дорожкам, а каждая дорожка разбита на сектора. Время поиска информации определяется временем выбора нужной дорожки (не зависит от скорости вращения диска) и временем, необходимым для того, чтобы диск провернулся так, чтобы под головкой оказался нужный сектор. Чем скорость вращения выше, тем меньше это время. Скорость вращения 3600 - 15000 об/мин.

Для увеличения плотности записи зазор между поверхностью диска и головкой необходимо уменьшить до минимума. В современных винчестерах эта задача решается с использованием аэродинамической подъемной силы, создаваемой потоком воздуха, который увлекает за собой вращающаяся рабочая поверхность диска. Для возникновения подъемной силы рабочим поверхностям головок придают специальную форму в виде крыла. Для того чтобы головка не «улетала» далеко от поверхности диска, она закрепляется на пружинящем поводке.

Поскольку величина подъемной силы определяется плотностью воздуха, которая зависит от атмосферного давления, то винчестеры общего применения имеют ограничения по максимальной высоте подъема над уровнем моря (приблизительно до 2000...3000 м).

В современных накопителях скорость вращения пакета дисков может достигать 15 000 об/мин. Однако высокие скорости вращения порождают проблемы, связанные с его балансировкой, гироскопическим эффектом и аэродинамикой головок. Во время работы головки ни в коем случае не должны механически соприкасаться с рабочими поверхностями – случайное касание поверхности практически всегда приводит к полному или частичному повреждению соответствующей дорожки рабочей поверхности и очень часто к обрыву самой головки.

4. Объем. Измеряется в гигабайтах (Gb). На самих HDD раньше писали емкость в миллионах байт и указывалась неформатированная емкость (реальная - на 10-15% меньше). Бывает, что Bios'ы выдают емкость не в Gb, а Mb или даже в млн.байт. Сегодня в продаже

- HDD емкостью 10-80Gb, максимальный объем дисков постоянно растет и пока равен 320Gb (MaXLine от Maxtor).

5. Плотность записи. Измеряется в гигабайтах на пластину. Внутри HDD находится один или несколько дисков. Она влияет:

— на скорость: чем больше плотность записи, тем больше информации помещается на одну дорожку, и, соответственно, больше скорость считывания этой информации при одинаковой скорости вращения диска;

— на охлаждение: меньшее число пластин уменьшает тепловыделение (диск меньше греется).

До 5Gb на пластину - старые винчестеры; HDD в продаже - с плотностью записи 10Gb/пл.(устар.), 15Gb/пл., 20Gb/пл., 30Gb/пл.; максимальная плотность пока равна 125Gb/пл. (винчестеры от Seagate Technology).

В большой степени **максимальная плотность записи** зависит от конструкции и характеристик головок записи/чтения. Раньше в винчестерах использовались **магнитные головки**, представляющие собой миниатюрные катушки индуктивности, намотанные на магнитный сердечник.

Позднее стали использовать **тонкопленочные магнитные головки**, а в современных винчестерах используются высокочувствительные **магниторезистивные головки (MRH - Magneto-Resistive Heads)** чтения (представляет собой резистор, сопротивление которого изменяется в зависимости от напряженности магнитного поля, причем амплитуда уже практически не зависит от скорости изменения поля. Это позволяет намного более надежно считывать информацию с диска и, как следствие, значительно повысить предельную плотность записи. MR-головки используются только для считывания; запись по-прежнему выполняется индуктивными головками), конструктивно объединенные с тонкопленочными головками записи. Головки собираются в блок.

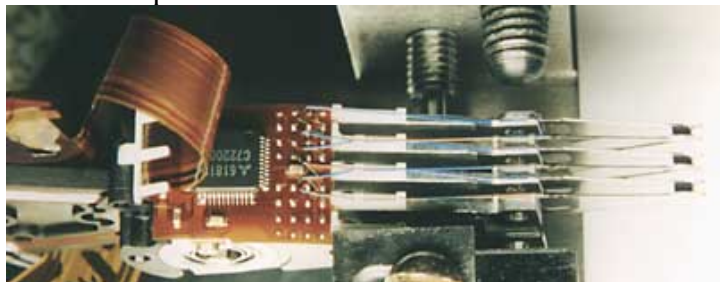


Рисунок 1 - Внешний вид блока головок

В современных винчестерах используется система позиционирования блока головок с поворотной подвижной катушкой, помещенной в зазоре мощного постоянного магнита, которая и является исполнительным элементом системы позиционирования.

В основе этой системы лежит предварительная (произведенная при изготовлении винчестера) запись специальных цифровых последовательностей, которые называются **сервометками**, в специально отведенные для этого на каждой дорожке сектора. Во время работы контроллер винчестера ориентируется на эти сервометки, вырабатывая управляющие сигналы, подаваемые в подвижную катушку, и поворачивает головку таким образом, чтобы она установилась точно над дорожкой, а затем удерживает ее на этой дорожке до поступления команды о переводе головки в новое положение.

6. Объем кэша (мульти сегментного - Multisegmented Cache, Cache memory). Учитывается, что следующей командой винчестеру потребуются считать данные из секторов, следующих за текущим. Поэтому идет чтение данных из оставшихся секторов на треке, которые записываются во внутреннюю память дисководов ("кэш"). Измеряется в килобайтах (мегабайтах). Ранее Cache составлял 128-1.024 Кбайт, сегодня 2-8 Мбайт. Некоторые производители (напр. Quantum), используют часть кэша под свое программное обеспечение. У других (напр. Western Digital) для хранения firmware используются специально отведенные сектора на диске, невидимые для любых операционных систем. По

включению питания эта программа загружается в обычную память.

7. Потокосая скорость передачи данных (Sustained Transfer Rate). При размере считываемой информации во много раз превышающих размер выделенного для него кэша идет непрерывное Cache-считывание секторов. Измеряется в мегабайтах в секунду и сегодня составляет до 80Мбайт/с.

8. MTBF (Mean Time Between Failures, среднее время наработки на отказ). Это надежность винчестера и измеряется в часах работы. MTBF - величина усредненная (по партии), но MBFT=900т.час лучше MBFT=300т.час. Современные HDD имеют от 500,000 до 1,000,000 часов. Т.е. это 20-40 лет (при 8-часовой работе). Лидер пока SCSI-винчестер Cheetah с 1,200,000 часов.

Кроме основных параметров, важны:

— Перегрузка от удара в рабочем/нерабочем состоянии (Operating/Nonoperating Shock), G - параметр, характеризующий устойчивость винчестера к механическим воздействиям.

— Рабочая температура (Operating temperature), °C - параметр, по которому можно судить о "жаростойкости" винчестера.

— Потребляемая мощность (Power Management), Вт - параметр, о том, насколько винчестер будет нагреваться.

— Срок гарантии - от 6 месяцев до 5 лет.

— Фирма-производитель.

Разделы HDD и подключение дисков. Винчестер "физический" можно разделить на несколько "логических" (т.е. содержит logical область). Вы можете создать любую конфигурацию разделов.

Разделы могут быть четырех типов:

1. Master Boot Record (главная загрузочная запись, MBR). Здесь (в первом блоке HDD) хранится информация о разбиении диска и там можно разместить **Boot Manager**;

2. Primary (основной). Это раздел, в котором всегда устанавливается операционная система. Многие "простые" OS (напр. DOS, Windows) инсталлируются только в **primary**;

3. Extended (расширенный). Это раздел для программ пользователя, к которому OS имеет доступ. Extended может использоваться целиком (как единый логический диск) или же разбит на несколько логических дисков (см. рис);

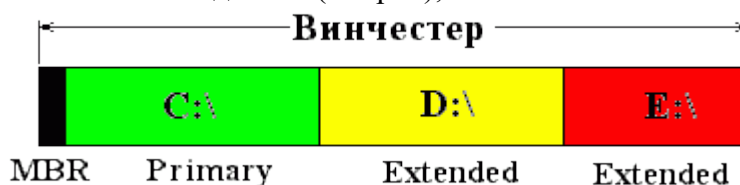


Рисунок 2 – Разделы HDD

4. Other (иной) раздел. Это Extended-раздел, выделяемое для установки другой OS, отличной от установленной в primary;

При разделении HDD всегда получается только один **primary**-раздел и один или несколько **extended**-разделов. Размер любого HDD-раздела имеет верхний предел. Максимальное число логических дисков для файловых систем FATxx составляет 26.

Из-за более низкой стоимости IDE-дисков (по сравнению с SCSI-дисками и учитывая неразвитость USB-дисков) фактически они и преобладают. На одном IDE-кабеле могут работать до двух IDE-устройств: **Master (MA)** - основной (первый) и **Slave (SL)** - дополнительный (второй).

Установка Master/Slave производится HDD-Jumper-ами. Если устройство на кабеле одно, его устанавливают в режим Master, однако у некоторых HDD есть отдельный режим **Single**. Напрямую не допускается работа устройства в режиме Slave при отсутствии Master-устройства, но некоторые новые модели HDD могут так работать в этом режиме при условии соответствующего Bios-а или драйвера. Это необходимо, т.к. многие драйверы,

обнаружив отсутствие Master-устройства, прекращают дальнейшую работу с данным контроллером.

Существует режим, в котором HDD само устанавливается в режим Master/Slave в зависимости от типа разъема на интерфейсном кабеле - **Cable Select** (CS, CSel, выбор по разъему кабеля).

Два примера установки жестких дисков:

primary				secondary			
master		slave		master		slave	
HDD		---		CD		---	

primary		secondary	
master		slave	
HDD 1	2	HDD	CD-RW/DVD

Есть вариант и увеличения максимального количества подключенных устройств IDE-устройств (стандарт - не более 4-х штук). Для этого нужен свободный **PCI-слот m/b**. По внешнему виду это карта с двумя (или четырьмя) IDE-контроллерами, установленная в PCI-разъем материнской платы. Для активации контроллера необходима настройка **Bios**-а карты.

Анатомия винчестера

HDD состоит из **гермоблока** и **платы электроники**. В гермоблоке размещены ("запечатаны") все механические части и предусилитель, на плате - почти вся управляющая электроника.



Рисунок 3 - Гермоблок

Внутренний объем гермоблока не изолирован от внешней среды – обязательно предусматривается возможность перетока воздуха снаружи в камеру и наоборот. Это необходимо для выравнивания давления внутри камеры с внешним давлением для предотвращения деформаций корпуса.



Рисунок 4 - Плата электроники

Достигается это с помощью так называемого **барометрического фильтра**, размещаемого внутри камеры. Фильтр способен задерживать частицы, размер которых превышает величину рабочего зазора между головкой и поверхностью диска. Так что под герметичностью камеры подразумевается только невозможность проникновения внутрь посторонних частиц, способных при попадании в рабочий зазор повредить рабочую поверхность и головку.

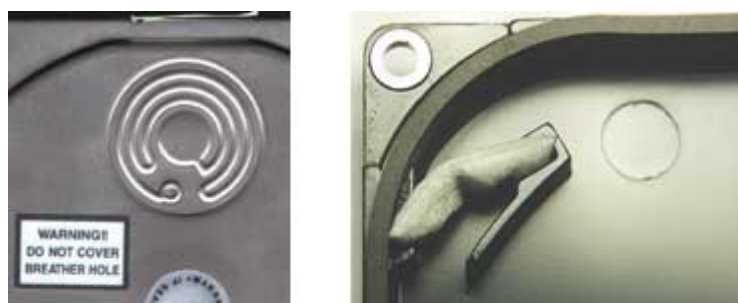


Рисунок 5 - Барометрический фильтр и фильтр рециркуляции

Кроме того, в камере винчестера обязательно размещается **фильтр рециркуляции**, предназначенный для улавливания частиц, которые могут возникать внутри самой камеры, например за счет осыпания поверхности дисков при «взлетах» и «посадках» головок в зоне парковки, или проникать внутрь камеры через барометрический фильтр. Место расположения фильтра рециркуляции выбирается с учетом движения воздушного потока и возможных траекторий движения частиц таким образом, чтобы обеспечить максимальную степень очистки воздушного потока внутри камеры.

Так как попадание посторонних частиц внутрь камеры абсолютно недопустимо, сборка винчестеров производится только в специальных «чистых помещениях», оборудованных дорогостоящими фильтровентиляционными установками тонкой очистки воздуха – в кубическом футе воздуха может быть не более 100 частиц (пылинок) размером более 0,5 мкм.

Для вращения дисков применяется специальный электродвигатель (**шпиндель**), чем-то похожий на двигатель флоппи-дисковогода: неподвижный якорь с обмотками и вращающийся постоянный магнит. Основное отличие его состоит в более высокой

точности изготовления и наличии специальных подшипников, которые могут быть как обычными шариковыми, так и более совершенными - жидкостными (вместо шариков в них используется специальное масло, поглощающее ударные нагрузки, что увеличивает долговечность двигателя). Жидкостные подшипники имеют более низкий уровень шума и почти не выделяют тепло во время работы. Кроме того, некоторые современные винчестеры имеют двигатель, целиком погруженный в герметичный сосуд с маслом, что способствует эффективному отводу тепла от обмоток.

Магнитные диски представляет собой пластины из алюминия, керамики или стекла, поверхность которых обработана по высочайшему классу точности. На диски нанесен тонкий слой высококачественного ферромагнетика - на основе окиси хрома (ранее - окиси железа и бариевых ферритов). Количество дисков - одного до трех (как правило), но в некоторых моделях достигает 10. Под дисками находится двигатель, вращающий их.

Ближе к разъемам, с левой или правой стороны от шпинделя, находится **поворотный позиционер** (head positioner) - с одной стороны - несущие **магнитных головок**, а с другой - короткий и более массивный хвостовик с обмоткой электромагнитного привода. Магнитная головка также представляет собой сложную конструкцию, состоящую из десятков деталей. Эти детали настолько малы, что изготавливаются методом фотолитографии так же, как и современные микросхемы. Рабочая поверхность керамического корпуса головки отполирована с такой же высокой точностью, как и диск. Привод головок (**позиционер**) представляет собой плоскую катушку-соленоид из медной проволоки, помещенную между полюсами постоянного магнита и закрепленную на конце рычага, вращающегося на подшипнике. Встречаются поворотные и линейные позиционеры.

При поворотном приводе головки перемещаются по дуге, как в обычном электропроигрывателе. Такие приводы обеспечивают меньшую инертность и более быстрое позиционирование головок.

Линейный привод обеспечивает перемещение головок по радиусу диска. Преимущество линейного привода заключается в том, что зазор магнитной головки всегда перпендикулярен дорожке и расстояние между дорожками сохраняется постоянным.

Данные с поверхности диска считываются непосредственно магнитной головкой. При записи головка создает магнитное поле, намагничивая тем самым участок диска - при считывании же, наоборот, поле диска возбуждает сигнал в головке. Современные приводы содержат несколько магнитных головок - как правило, по одной на каждую сторону каждого диска.

При вращении дисков внутри корпуса возникает воздушный поток, который и приподнимает головки над поверхностью - головки "посадили" на воздушную подушку. Зазор между головкой и поверхностью диска в современных винчестерах составляет 0,1 мкм, что в 500 раз меньше толщины человеческого волоса. .

Но эта конструкция требует парковки головок - перемещения их за пределы рабочей области диска (landing zone) во время выключения компьютера. В современных винчестерах операция вывода головок в зону парковки (находится вблизи центра дисков, головки прижаты к сторонам пластин легкими пружинами) выполняется автоматически при снижении скорости вращения двигателя ниже номинальной или при пропадании напряжения питания, а вывод головок в рабочую зону разрешается только после достижения номинальной скорости вращения дисков. Управляет всем этим позиционер.

В нерабочем состоянии накопителя головки находятся вблизи центра дисков, в "зоне парковки" и прижаты к сторонам пластин легкими пружинами. Но стоит дискам начать вращение - и поток воздуха приподнимает головки над поверхностью блинов, преодолевая усилие пружин. Головки "всплывают" и с этого момента находятся над диском, совершенно не касаясь его.

Плата электроники - съемная, подключается к гермоблоку через один-два разъема различной конструкции. В состав контроллера входят следующие функциональные узлы:

схема управления двигателем, схема управления позиционированием головок, канал чтения-записи, цифровой сигнальный процессор, микропроцессор управления, буфер памяти накопителя и интерфейсная логика.

Микропроцессор управления представляет собой очень быструю специализированную микро-ЭВМ, имеющую свою оперативную память, постоянную энергонезависимую память и программное обеспечение, состоящее из нескольких модулей. Оно образует специализированную операционную систему. Некоторые из ее компонентов могут располагаться в микросхеме ПЗУ на плате электроники, а другие записаны непосредственно на диск в служебной области.

При включении питания первым "просыпается" микропроцессор управления и тестирует электронику винчестера. Если все в порядке, подается команда на включение электродвигателя. Это самый сложный момент в работе накопителя, так как при этом головки соприкасаются с диском в зоне парковки и изнашиваются. Кроме того, двигатель в момент разгона работает в форсированном режиме, что сопровождается большим потреблением тока и повышенной нагрузкой на электронику.

После "всплытия" головок осуществляется процесс их распарковки: в обмотку соленоида подается импульс тока, перемещающий головки в информационную зону дисков. Начинается поиск сервометок, которые, в данном случае, используются для определения скорости вращения. Убедившись в том, что блины крутятся с нужной скоростью, микропроцессор перемещает головки в зону, где записана служебная информация, и считывает с диска в свою память микропрограмму, которая анализирует конфигурационные параметры и таблицу дефектных секторов.

Затем выполняется еще несколько внутренних тестов, термокалибровка, чтение таблицы S.M.A.R.T.-параметров (о которой мы поговорим чуть ниже), тестирование правильности позиционирования головок путем чтения нескольких дорожек, расположенных в разных местах диска.

В процессе работы винчестера через обмотки двигателя и катушку позиционирования текут очень большие импульсные токи, поэтому процессор управляет ими не напрямую, а через микросхемы усилителей тока. В современных накопителях данные читаются и записываются на диск не в цифровой, а в аналоговой форме методом частотной модуляции, поэтому в канале чтения-записи применяется цифровой сигнальный процессор, включающий в себя АЦП и ЦАП, преобразующие прочитанные головками ультразвуковые сигналы в "цифру" и наоборот.

Микропроцессор винчестера функционирует все время, пока на него подано питание. Под его контролем все системы накопителя работают дружно, образуя несколько замкнутых систем авторегулирования, поддерживающих постоянную скорость вращения дисков и обеспечивающих точное попадание головок на дорожки и доступ к любому сектору независимо от физического износа механики и внешних ударных или тепловых воздействий.

Для питания накопителей настольных компьютеров обычно используется два напряжения: +5 В (для схем усиления и обработки сигналов) и +12 В (для силовых цепей). Это позволяет уменьшить помехи от двигателей и упростить схему. Обычно требования к стабильности источника +5 В гораздо выше, чем к +12 В. Это справедливо и для многих других устройств.

При внезапном выключении питания, электроника винчестера продолжает некоторое время работать, получая энергию от двигателя, который, вращаясь по инерции, вырабатывает электрический ток, достаточный для успешной парковки головок. Некоторые накопители умеют сами скрывать вновь образующиеся дефекты поверхности.

В связи с тем, что длина внешних и внутренних дорожек на дисках отличается, то и секторов на них помещается разное количество. Когда винчестер работает, его микропроцессор производит пересчет физических параметров о числе головок, числе секторов в дорожке и количестве цилиндров в вид, воспринимаемый внешними

устройствами. Этот параметр называется геометрией накопителя, а процесс пересчета - трансляцией, и служит для удобства работы внешних устройств.

Именно эти "стандартные" параметры и указываются на корпусе винчестера (например, 16 головок и 63 сектора в дорожке, хотя на самом деле головок может быть всего 2). Емкость винчестера в байтах можно подсчитать, перемножив число головок, число секторов в дорожке, число цилиндров и размер сектора, который равен 512 байт. Например, $16 \cdot 63 \cdot 39714 \cdot 512 = 20,4 \text{ Гб}$ (конечно, имеются в виду "неправильные" гигабайты производителей - по миллиарду байт).

После успешного завершения всех внутренних тестов микропроцессор производит разблокировку интерфейса, сообщая об этом материнской плате компьютера.

На одних винчестерах программа процессора полностью хранится в ПЗУ, на других определенная ее часть записана в служебной области диска. На диске также записаны параметры HDD (производитель, модель, серийный номер и т.п.). Некоторые винчестеры хранят эту информацию в электрически репрограммируемом ПЗУ (EEPROM).

Многие винчестеры имеют на плате электроники специальный технологический интерфейс с разъемом, через который при помощи стендового оборудования можно выполнять различные сервисные операции с накопителем - тестирование, форматирование, переназначение дефектных участков и т.п.

Размещение информации на диске

Всю информацию, хранящуюся на диске, условно делят на служебную и пользовательскую. Первая обеспечивает нормальную работу и изначально присутствует в любом HDD - ее записывает завод-изготовитель.

Поверхность диска никогда не используется для записи произвольным образом. Данные всегда записываются в виде концентрических окружностей, называемых дорожками, состоящих из нескольких меньших отрезков - секторов. Каждой дорожке и каждому сектору на каждой из сторон диска присваивается свой порядковый номер. Расположенные одна над другой несколько дорожек с одинаковыми номерами называются цилиндрами.

Такое деление дискового пространства на участки называется форматом нижнего уровня и выполняется на заводе - изготовителе винчестера.

В процессе низкоуровневого форматирования дисков может выясниться, что на поверхности пластин имеется один или несколько маленьких участков, чтение или запись в которые сопровождается ошибками (так называемые сбойные секторы, или бэд-блоки).

Однако из-за этого диск не выбрасывают и не считают его испорченным, а всего лишь помечают эти секторы особым образом, и они в дальнейшем игнорируются. Чтобы пользователь не видел этого безобразия, винчестер содержит некоторое количество запасных дорожек, которыми электроника накопителя "на лету" подменяет дефектные участки поверхности, делая их абсолютно прозрачными для операционной системы и таких программ, как, например, дисковые редакторы, ScanDisk и Norton Disk Doctor.

Но не вся область диска отведена для записи данных. Часть информационной поверхности используется накопителем для собственных нужд. Это область служебной, как ее еще иногда называют, инженерной информации. Она скрыта от пользователей и становится доступной при переводе винчестера в специальный технологический режим, осуществляемый при помощи стендового оборудования и особых утилит

Служебная информация.

Служебную информацию можно разделить на несколько типов:

- сервометки, предназначенные для стабилизации скорости вращения дисков, поиска секторов и точной установки головок на дорожки;
- информация, служащая для адресации секторов с данными пользователя и контроля целостности этих данных;
- рабочие программы (микрокод), предназначенные для управления работой всех систем накопителя;
- паспорт винчестера, в котором записана информация о количестве дисков,

головок, название фирмы-производителя и модели накопителя, дата его изготовления, страна изготовитель, номер конвейера, номер рабочей смены и многое другое; здесь же хранится и уникальный серийный номер винчестера;

— таблица дефектных секторов, служащая для аппаратной подмены сбойных участков поверхности из резерва. Эта информация используется электроникой винчестера в процессе работы и является важнейшей его частью, без которой физически полностью исправный накопитель был бы бесполезным куском железа.

Каждый HDD разделен на зоны (notches), в каждую из которых входит обычно от 20 до 30 цилиндров с одинаковым количеством секторов. Секторов может уместиться от 17 до 150 (как правило) на одной дорожке. Их нумерация начинается с 1, тогда как нумерация головок и цилиндров начинается с 0. Количество секторов на дорожке не равно. Чем дальше дорожка от центра, тем больше число секторов на диске.

Области размещения информации на диске с FATxx:

PT состоит из четырёх элементов описывающих разделы диска. DOS и Windows используют только первые два элемента. Описание раздела диска содержит информацию о первых и последних головках, дорожках, секторах раздела, общем количестве секторов в разделе, типе файловой системы и признак того, что раздел является загрузочным.

MBR находится в том же секторе что и PT. Данные в MBR представляют собой код процессора, необходимый для дальнейшей загрузки операционной системы. В последних двух байтах MBR находится сигнатура 55AAh указывающая на то, что данные в MBR необходимо использовать для загрузки. Если эта сигнатура отсутствует, данные MBR не будут использованы. PT и MBR расположены на самом первом секторе HDD.

BR содержит массу данных и служит для описания параметров файловой системы. В отличие от диска, минимальным адресуемым блоком данных для операционной системы служит кластер, состоящий из одного или нескольких секторов. Нужны данные: размер кластера, размер и количество копий FAT.

FAT состоит из 12, 16 или 32 битных элементов, количество которых равно количеству кластеров на диске. Нужны эти элементы для связи кластеров в цепочки соответствующие файлам.

ROOT - это корневой каталог диска. Содержит записи описывающие файлы (дескрипторы файлов) в корневом каталоге. Запись описывает имя, тип, дату создания, размер, атрибуты файла, а также содержит указатель на первый кластер файла. Каталоги представляют собой файлы, идентичные по структуре корневому каталогу. Каталог, кроме записей описывающих файлы, содержит 2 записи, первая из которых содержит указатель на первый кластер самого каталога, вторая - на первый кластер родительского каталога.

Методы записи информации на магнитные диски:

Метод MFM (Modified Frequency Modulation - модифицированная частотная модуляция) используется для записи на гибкие диски, а также - в ранних винчестерах для PC XT. При использовании этого метода на одну дорожку винчестера записывается 17 секторов по 512 байт каждый.

Метод RLL (Run Length Limited - ограниченная длина серии) использует более плотную упаковку данных при записи, повышая объем информации на дорожке примерно на 50%. Кодирование производится таким образом, чтобы длина серии нулей не выходила за пределы заданных параметров; обычно минимум равен двум, а максимум - семи. Соответственно, метод часто обозначается как RLL (2,7). На дорожку записывается до 27 секторов.

Метод ARLL (Advanced RLL - улучшенный RLL) - дальнейшее развитие RLL в сторону повышения плотности упаковки. Обычно применяется с параметрами (1,7) и (3,9). На дорожку записывается 34 и более сектора. Большинство современных винчестеров использует методы RLL или ARLL.

ZBR (Zoned Bit Recording - зональная запись битов) - метод упаковки данных на дорожках диска. В отличие от перечисленных выше методов физической записи, ZBR

является более высокоуровневым методом и используется в комбинации с одним из них. Благодаря тому, что линейная скорость поверхности относительно головки на внешних цилиндрах выше, чем на внутренних, биты на внешних цилиндрах записываются с большей частотой (следовательно - плотностью), нежели внутри. Обычно на поверхности организуется до десятка и более зон, внутри которых плотность записи одинакова. При использовании ZBR геометрия диска становится неоднородной - внешние цилиндры содержат больше секторов, чем внутренние; поэтому на таких дисках используется так называемая условная, или логическая геометрия, когда адреса логических секторов преобразуются в физические внутренним контроллером диска при помощи специальных таблиц.

Т.к. технология производства винчестеров пока не позволяет избавиться от битых секторов на 100%, в каждом винчестере существует таблица перераспределения запарченных секторов (участок дорожки). При каждом включении HDD считывает таблицу и просто "не замечает" битых частей. Но в процессе эксплуатации появляются новые bad-секторы - те, которые не помечены в заводской таблице. Обращаясь к такому сектору, магнитная головка многократно повторяет попытку чтения или записи, при этом возможно разрушение "здоровой" поверхности диска. Это влечет за собой дальнейшее "размножение" запарченных секторов. Таким образом винт постепенно приходит в негодность. Во многих винчестерах есть функция autoremap. Она предназначена для замены сбойных секторов на нормальные из резервной области на аппаратном уровне. Однако она не всегда срабатывает. Но можно прогнать дисковую **утилиту** (напр. HDDSpeed в режиме теста записи) - после этого bad-блоки пропадают (срабатывает autoremap).

Все диски на заводе проходят первичную разметку (низкоуровневую, Low Level Formatting) на специальном высокоточном технологическом стенде. При разметке на диски записываются служебные метки (сервометки), а также формируются дорожки и секторы. Записываются их префиксы и суффиксы. Высокоуровневое форматирование делает пользователь при помощи утилиты FORMAT. В каждый раздел диска записывается **VBS** (volume boot sector - загрузочный сектор тома), **FAT**, корневой каталог (root directory), проверяется диск на наличие ошибок.

Есть система звукоподавления (Sound Barrier Technology), которая обеспечивает низкий уровень шума во время работы диска (напр. разработанная Seagate SBT-технология).

Режимы обмена информацией с HDD

Режимы программного ввода/вывода (**PIO** - Programmed Input/Output) и прямого доступа к памяти (**DMA** - Direct Memory Access) на винчестерах стандарта IDE/EIDE. Программный ввод/вывод - обычный метод обмена с IDE-винчестером, когда процессор при помощи команд ввода/вывода считывает или записывает данные в буфер винчестера, что отнимает какую-то часть процессорного времени. Ввод/вывод путем прямого доступа к памяти идет под управлением самого винчестера или его контроллера в паузах между обращениями процессора к памяти, что экономит процессорное время, но несколько снижает максимальную скорость обмена.

В однозадачных системах более предпочтителен режим PIO, в многозадачных - режим DMA. Однако для реализации режима DMA необходимы специальные контроллеры и драйверы, тогда как режим PIO поддерживается всеми без исключения системами.

Каждый из режимов PIO и DMA имеет несколько разновидностей, характеризующих способ обмена и длительность цикла передачи одного слова, от которых зависит скорость передачи:

PIO	Время цикла (нс)	Максимальная скорость обмена (Мб/с)
0	600	3.3
1	383	5.2
2	240	8.3

3	180	11.1
4	120	16.6

Режимы 0..2 относятся к обычным IDE (стандарт ATA), 3..4 - к EIDE (ATA-2). В некоторых источниках упоминается режим 5, однако распространения он не получил и стандартным не является.

За один цикл передается слово (два байта), поэтому скорость вычисляется так:

$$2 \text{ байта} / 180 \text{ нс} = 11\,111\,110 \text{ байт/с}$$

PIO 3 и выше требует использования сигнала IORDY.

Режимы DMA делятся на однословные (single word) и многословные (multiword) в зависимости от количества слов (циклов обмена), передаваемых за один сеанс работы с шиной.

DMA	Время цикла (нс)	Максимальная скорость обмена (Мб/с)
Single word		
0	960	2.1
1	480	4.2
2	240	8.3
Multiword		
0	480	4.2
1	150	13.3
2	120	16.6
Ultra DMA-33	60	33.3

Block Mode - режим блочного обмена с IDE-винчестером. Обычный обмен делается посекторно: например, при чтении пяти секторов выдается команда чтения, ожидается готовность первого сектора, он считывается из буфера винчестера, затем ожидается готовность второго и т.п.

При блочном чтении винчестеру вначале сообщается количество секторов, обрабатываемых за одну операцию, он считывает их все во внутренний буфер, и затем процессор забирает все секторы сразу. Различные винчестеры имеют разный размер внутреннего буфера и разное максимальное количество секторов на операцию.

Наибольший выигрыш от блочного режима получается тогда, когда основная работа идет с фрагментами данных, не меньшими, чем Blocking Factor (количество секторов на операцию), и наименьший, или совсем никакого при преобладании работы с мелкими фрагментами, когда обмен идет одиночными секторами.

Для работы в блочном режиме необходим винчестер, поддерживающий этот режим, и BIOS или драйвер, умеющий им управлять. Никакой поддержки со стороны системной платы или внешнего контроллера не требуется.

В винчестерах последнего поколения используются технологии **PRML** (Partial Response, Maximum Likelihood - максимальное правдоподобие при неполном отклике) и **S.M.A.R.T.** (Self Monitoring Analysis and Report Technology - технология самостоятельного следящего анализа и отчетности).

Когда работает накопитель, его микропроцессор ведет подсчет циклов включения-выключения, количество отработанных часов, фиксируется время раскрутки двигателя до номинальной скорости, число ошибок чтения, число вновь появившихся сбойных секторов и многое другое. Кроме того, с помощью специальных датчиков определяется температура устройства, количество полученных ударов и т. д.

Все данные автоматически, без участия пользователя, заносятся в специальную таблицу на диске и периодически обновляются. Еще они постоянно сравниваются с

предельно допустимыми значениями, превышение (или наоборот) которых указывает на серьезные неполадки накопителя. Эта таблица называется таблицей SMART-параметров и может быть просмотрена пользователем в любое время, для чего существует специальная утилита. Например, HDD Speed или SMARTUDM (www.sysinfolab.com/files/smartudm.zip)

Эти программы бесплатны и имеют описание на русском языке. Запускать их следует из MS-DOS, воспользовавшись системной дискетой, загрузочным CD-ROM или нажав F5 при загрузке Windows 98. Следует обратить особое внимание на то, что некоторые значения приведены в шестнадцатеричной системе и, чтобы определить, например число включений, нужно перевести их в десятичную (это можно сделать калькулятором Windows).

Существуют подобные программы и для Windows, например S.M.A.R.T. Vision, однако многие из них работают неправильно с некоторыми накопителями и внешними контроллерами, поэтому всерьез воспринимать их не стоит.

Геометрия диска.

Классический способ адресации секторов - **CHS** - по номеру цилиндра, головки и сектора (Cylinder/Head/Sector). Разработчики первого ПК определили количество разрядов, с помощью которых адресовались данные. Под номер цилиндра было отведено 16 разрядов, под номер головки - 4 и сектора - 8, что давало максимальную емкость винчестера в 128 Гб.

Normal. Но Dos и Bios с самого начала ограничивали количество секторов до 63, а цилиндров - до 1024, что в итоге дало максимум - 528Мб. Когда же появились жесткие диски емкостью более 528Мб, ПК перестали "видеть" диск полностью.

Производители **Bios** срочно выпустили поддержку режима **LBA** (Logical Block Addressing). Он использовал сквозную нумерацию секторов и адрес CHS преобразуется в одно линейное 28-битовое число абсолютного номера сектора (для DOS по-прежнему остается ограничение в 8,4Гб), используемое для нумерации секторов (LBA-адрес) и преобразуемого винчестером. Для работы в режиме LBA необходима поддержка винчестера, Bios-a, драйвера OS. Схема адресации с использованием LBA была впервые применена фирмой Western Digital в конце 1993 года.

Режим **Large** (Large Block Addressing) предназначен для винчестеров емкостью до 1Гб, не поддерживающих режима LBA. В Large количество логических головок увеличивается до 32, а количество логических цилиндров уменьшается вдвое. При этом обращения к логическим головкам 0..F транслируются в четные физические цилиндры, а обращения к головкам 10..1F - в нечетные. Винчестер, размеченный в режиме LBA, несовместим с режимом Large, и наоборот.

Но сегодня это все в прошлом (с нынешними Гб-ными HDD). Те параметры диска, которые Вы видите в разделе SETUP Standart CMOS Setup, как правило, ничего общего не имеют с реальными параметрами диска. HDD ныне работают напрямую через драйвера.

Кластер - минимальный размер места на HDD, выделяемый **файловой системой** для хранения одного файла. Проще: кластер - ячейка размещения данных. Все доступное пространство винчестера разделено на разделы - от одного до множества. Разделы делятся на кластеры, причем каждый кластер может или быть незанятым (доступным для использования файлом) или дефектным (непригодным для использования). На одном жестком диске может быть много разделов (диск C, диск D, диск E, диск F, диск G, диск H, диск I, диск J, диск K, etc.). За основание системы исчисления размеров кластеров принят 512-байтный сектор диска. Кластер должен иметь размер, равный основанию (512 байт), умноженному на 2 в степени n. Размер кластера определяется автоматически, в зависимости от объема созданного раздела и/или файловой системы. Исключение - только системный раздел: если он меньше 2048Мб, размер кластера всегда 512 байт. 16-разрядная FAT может поддерживать только 65.526 кластеров.

Влияние размера кластера на потери - эффективность использования дискового пространства - можно оценить по формуле:

$$\text{Eff} = [\text{Size} / (\text{Size} + \text{Overhang})] \times 100\%$$

где:

- **Eff** - эффективность использования дискового пространства, выраженная в процентах от 0 до 100;
- **Size** - суммарный размер всех файлов в накопителе;
- **Overhang** - суммарная остаточная избыточность кластеров.

Сумма величин **Size** и **Overhang** дает общий объем кластеров, занятых всеми файлами в накопителе. Чем выше отношение, тем более эффективно используется дисковое пространство. Обычное **Eff** составляет от 51% до 98%. Например, для раздела FAT-а в 1Гб с 10.000 файлов потери составят 160 Мб!

Грубо можно считать, что каждый файл занимает свой последний кластер примерно наполовину - при этом Ваши потери (места на HDD) будут равны количеству файлов, умноженному на половину размера кластера. Способы борьбы с потерями пространства:

- хранение больших наборов редко используемых файлов в виде архивов;
- разбиение винчестера на **логические** диски.

Размер кластера может выбрать и пользователь (вручную при форматировании). Делается это так: "**format d: /A:size**", где **size** это размер кластера в байтах. Но существуют правила, которых следует придерживаться: размер кластера должен быть кратен размеру физического сектора, то есть 512 байтам в подавляющем большинстве случаев (во-первых); есть ограничения по количеству кластеров на разделе (во-вторых).

RAID-массивы (Redundant Array of Inexpensive Disks, избыточный набор недорогих дисков). Raid - способ организации больших хранилищ информации, увеличения скорости обмена и надежности хранения данных. RAID-система представляет собой группу из нескольких обычных (недорогих) винчестеров, работающих под управлением простого контроллера и видимую извне, как одно устройство суммарной емкости и высокой скорости или надежности.

Технология RAID базируется на трех основных методах:

1. **Поочередное размещение данных по дискам** с определенной циклической очередностью. Поочередное размещение предполагает запись первого сегмента данных на первый диск, второго — на второй и т. д. В этом случае производительность массива повышается, поскольку компьютер начинает записывать очередной сегмент данных (на следующий диск) до того, как закончил запись предыдущего сегмента. Дальнейшее повышение производительности дисковых систем обеспечивается за счет подключения разных групп дисков к отдельным контроллерам;

2. **Зеркальное отражение дисков.** Резервное копирование данных (ежедневно или несколько раз в неделю) не обеспечивает быстрое восстановление информации и оперативную защиту новых данных, созданных после последнего сеанса копирования. Эти задачи решаются с помощью зеркального отражения дисков, при котором все, что записывается на первый диск, дублируется на второй. В случае поломки первого диска (или записи данных в испорченный сектор его дискового пространства), они будут считаны с второго ("зеркального") диска.

3. **Вычисление контрольных сумм.** Контроль четности работает так: все информационные биты в байте складываются по модулю 2 и если число единиц в нем четное - контрольный бит устанавливается в ноль, а если нечетное — в единицу. При считывании данных информационные разряды снова суммируются и полученный результат сравнивается со значением контрольного бита. Если они совпадают - данные верны, а если нет - значения одного или нескольких разрядов ошибочны.

Компании (Adaptec, CMD и другие) выпускают специальные контроллеры, предназначенные для организации массивов RAID.

Такой массив можно реализовать и на основе обычного контроллера SCSI или Fibre Channel - с помощью программы, распределяющей сегменты данных по дискам. Такое программное решение дешевле, чем основанное на специальном контроллере, но оно (как

правило) поддерживает только RAID-уровни 0 и 1.

Место рождения RAID-технологии - Калифорнийский университет, г.Беркли, USA. В 1987г. его специалисты (Петтерсон, Гибсон и Катц) опубликовали статью с описанием принципов объединения многочисленных дисковых накопителей.

Первоначально было определено шесть уровней (levels) RAID 0—5, но по мере развития технологии появились дополнительные уровни (еще пять).

Raid 0: распределение данных (data striping). Информация разбивается на куски (фиксированные объемы данных, обычно именуемые блоками) и эти куски записываются на диски и считываются с них в параллель. Два дисковых блока по 512 байт образуют сегмент.

Контроллер массива				
Диск 1	Диск 2	Диск 3	Диск 4	Диск 5
Сегмент 1	Сегмент 2	Сегмент 3	Сегмент 4	Сегмент 5
Сегмент 6	Сегмент 7	Сегмент 8	Сегмент 9	Сегмент 10

Raid 0 не является отказоустойчивой, но этот RAID-уровень используется гораздо чаще других уровней RAID. Преимущества Raid 0 (с точки зрения производительности):

- повышается пропускная способность последовательного ввода/вывода за счет одновременной загрузки нескольких интерфейсов;
- снижается латентность случайного доступа - несколько запросов к различным небольшим сегментам информации могут выполняться одновременно;

Raid 1: Зеркальные диски (disk mirroring). Копия каждого блока информации хранится отдельно. Обычно каждый (используемый) диск имеет "двойника", который хранит точную копию этого диска. Если происходит сбой одного из основных дисков, он замещается своим "двойником". Производительность улучшают, настраивая систему так, чтобы для чтения информации использовался тот "двойник", головка которого расположена ближе к требуемому блоку.

Диск 1	Диск 2	Диск 3	Диск 4	Диск 5
Сегмент 1	Сегмент 1	Сегмент 2	Сегмент 2	---
Сегмент 3	Сегмент 3	Сегмент 4	Сегмент 4	---
Данные X	Копия диска 1	Данные Y	Копия диска 3	Свободный

Один из наиболее дорогостоящих уровней, т.к. все диски дублируются и при каждой записи информация записывается еще и на проверочный диск. Часто для нормальной работы RAID 1-го уровня требуются HDD одинаковой емкости, выпущенные одним и тем же производителем. К недостаткам Raid 1 относится самая высокая избыточность, а при программной реализации - проблемы с "горячей" заменой вышедшего из строя HDD.

Raid 2: матрица с поразрядным расслоением. В этой технологии предусмотрена защита данных с помощью корректирующей ошибки кода Хэминга. Записываемые данные распределяются по нескольким дискам, а затем контрольные суммы ECC (Error-Correction Code) записываются на отдельный диск или на несколько отдельных дисков. Коммерческие реализации RAID 2-го уровня практически отсутствуют.

Raid 3: аппаратное обнаружение ошибок и четность. Данные распределяются по информационным дискам и для каждой "полосы" данных (совокупности сегментов данных, расположенных в одних и тех же секторах на разных физических дисках) определяется контрольная сумма (или код четности), которая записывается на отдельный диск.

Диск 1	Диск 2	Диск 3	Диск 4	Диск 5
--------	--------	--------	--------	--------

Байт 1	Байт 2	Байт 3	Байт 4	Байт четности
Байт 5	Байт 6	Байт 7	Байт 8	Байт четности
Данные	Данные	Данные	Данные	Информация четности

RAID 3-го уровня довольно сложен и реализуется только аппаратным способом. Как минимум нужны три диска.

Raid 4: внутригрупповой параллелизм. В отличие от Raid 3 происходит поочередное распределение не коротких сегментов данных, а информационных блоков значительного размера. Это дает возможность выполнять несколько разных запросов на чтение одновременно. Т.к. вся контрольная информация сосредоточена на одном (последнем) диске, данный массив не может осуществлять несколько операций записи одновременно. Как минимум нужны три диска. Raid 4 встречается крайне редко.

Raid 5: четность вращения для распараллеливания записей. На дисках системы RAID уровня 5 поочередно размещаются большие блоки данных, но в отличие от Raid 4 контрольная информация распределяется по всем дискам массива. Для первой “полосы” сегментов данных код четности может быть записан на последнем диске массива, для второй — на предпоследнем и т. д. Это позволяет выполнять несколько операций записи одновременно.

Диск 1	Диск 2	Диск 3	Диск 4	Диск 5
Сегмент четности	Сегмент 1	Сегмент 2	Сегмент 3	Сегмент 4
Сегмент 5	Сегмент четности	Сегмент 6	Сегмент 7	Сегмент 8
Сегмент 9	Сегмент 10	Сегмент четности	11	12

Один из наиболее часто применяемых на практике и самый сложный из первых шести уровней. Как минимум нужны три диска.

Raid 6: Двумерная четность. это расширенный вариант RAID-уровня 5, в котором предусмотрен двойной контроль четности хранимой информации для обеспечения большей надежности. Только для хранения контрольной информации требуется два HDD. RAID 6-го уровня разработан для критически важных приложений и имеет очень низкую производительность записи в связи с необходимостью расчета дополнительных контрольных сумм.

Raid 7. Уникальная технология компании Storage Computer Corporation. Предполагает асинхронность работы своих компонентов (включая канал связи с хост-машиной) и независимость управления ими. В массивах используется встроенная операционная система реального времени для кэширования данных и расчета контрольной информации. Причем эта самая информация передается по специальной X-шине. Данные распределяются по обычным дискам, а контрольная информация хранится на отдельном диске. С целью повышения производительности операции чтения и записи централизованно кэшируются. Очень высокая производительность и надежность хранения данных, однако высока и цена системы, оборудованной таким массивом. RAID 7 является торговой маркой.

Raid 10/1+0. Массивы этого уровня представляют собой сочетание принципов, применяемых в массивах нулевого и первого уровня. То есть, "стриппинг" в сочетании с зеркалированием. Т.е. сначала создаются два массива RAID 0 и затем зеркалируются, что требует, как минимум, четыре диска в минимальной конфигурации - очень дорого. Цена такого массива начинает быстро расти, когда начинается расширение.

Raid 50. Массив, сочетающий в себе принципы массивов нулевого и пятого уровня. Т.е. если например контроллер получает команду записать на HDD 256Кб данных, то эти данные по принципам RAID 0 разбиваются на два куска по 128Кб и затем каждый из них по принципам уже массивов пятого уровня разбивается на кусочки по 32Кб и записываются

физически одновременно на все диски массива. Цель применения - повышение скорости работы дисковой подсистемы при сохранении высочайшей надежности хранения данных.

Raid 53. Правильнее назвать RAID-уровнем 03, так как в нем комбинируются архитектуры RAID уровней 0 и 3. Для реализации такого дискового массива нужно не менее пяти HDD. В этой конфигурации система RAID уровня 53 поочередно записывает небольшие сегменты данных на первые два HDD, а информацию о четности — на третий HDD. Последние два диска (четвертый и пятый) содержат те же самые данные, поочередно записанные большими блоками без контроля четности, как это делается в системе RAID уровня 0.

Обозначения любого винчестера легко расшифровать - они обычно буквенно-цифровые и строятся по схожим принципам: вначале - обозначение производителя и модели, затем объем в миллионах байтов, и в конце - суффиксы, уточняющие исполнение, конкретные характеристики и т.п. Например:

WD	A	C	2	635	0	0	F
1	2	3	4	5	6	7	8

1 - Western Digital

2 - интерфейс:

A - IDE,

S - SCSI,

C - PCMCIA-IDE

3 - модель:

C - Caviar,

P - Piranha,

L - Lite,

U - Ultralite

4 - количество физических дисков

5 - емкость в миллионах байт

6 - светодиодный индикатор:

0 - нет,

1 - красный,

2 - зеленый

7 - передняя панель:

0 - нет,

1 - черная,

2 - серая

8 - объем буфера:

S - 8 кб,

M - 32 кб,

F - 64 кб,

H - 128 кб.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

18) Персональный компьютер – не менее 1-го на двух обучающихся.

19) Учебные системные блоки ПЭВМ.

20) Стенд основных составных частей системного блока.

21) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

1) Составить структурную схему накопителя на жестких магнитных дисках.

- 2) Составить блок-схему блока электроники накопителя на жестких магнитных дисках.
- 3) Произвести расшифровку типа и характеристик накопителя на жестких магнитных дисках по указанной маркировке.
- 4) Определите тип интерфейса подключенного к накопителю на жестких магнитных дисках в учебном системном блоке ПЭВМ.
- 5) Выполнить работу по извлечению накопителя на жестких магнитных дисках из учебного системного блока ПЭВМ.
- 6) Выполнить работу по установке накопителя на жестких магнитных дисках на прежнее место в учебном системном блоке ПЭВМ и проверке его работоспособности.
- 7) Выполнить работу по замене шлейфов подключения накопителя на жестких магнитных дисках к системной плате и блоку питания, проверке работоспособности накопителя.

Повышенный уровень:

- 8) Выполнить работу по подключению двух накопителей на жестких магнитных дисках одновременно, произвести коммутацию перемычек на системной плате для установки первого накопителя в режим «Master», а второго – в режим «Slave».
- 9) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо дисководов, и произвести проверку его работоспособности.
- 10) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо CD/DVD привода, и произвести проверку его работоспособности.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Время – 3 часа.

Формируемые компетенции: ОПК-2

УЧЕБНЫЕ ВОПРОСЫ:

1. Принципы построения и работы струйных и лазерных принтеров.

СОДЕРЖАНИЕ ЗАНЯТИЯ

1. СТРУЙНЫЕ ПРИНТЕРЫ

Струйная технология впервые была разработана в начале 60-х гг. годов учеными Стенфордского университета (США). Широко внедряться в печатающие устройства она стала только с конца 70-х гг. Первопроходцами в доведении научных разработок до коммерческого использования были фирмы IBM и Siemens AG. В настоящее время производится множество таких устройств, различающихся как принципом печати, так и техническими характеристиками.

Струйная технология печати, абстрагируясь от деталей, состоит в том, что изображение наносится на бумагу путем "выстреливания" (под давлением) красителя из крохотного сопла. Одно или несколько сопел устанавливаются на печатающей головке, которая аналогично точечно-матричным принтерам в процессе работы устройства перемещается относительно бумаги.

Различают два основных типа струйных принтеров:

- с **непрерывной** подачей красителя;
- с **капельным** микродозатором.

В устройствах **первого типа** формируется непрерывный поток из маленьких капель, которые заряжаются и, пролетая через электрическое поле, отклоняются в вертикальной плоскости пропорционально их заряду. Горизонтальное отклонение обеспечивается перемещением печатающей головки. Капли, которые не должны делать точку на бумаге, отклоняются в специальный желоб, по которому краска возвращается в резервуар для последующего использования. Отклонение капель может быть бинарным, при котором капля попадает либо в определенную точку по вертикали на бумаге, либо в желоб возврата. Такой принцип используется для печатающих головок с несколькими вертикально расположенными соплами. Имеются и устройства с мультиотклонением, используемым при недостаточном количестве сопел, в частности, когда печатающая головка имеет единственное сопло.

Принтеры **второго типа** (с капельным микро-дозатором) содержат матрицу или столбец вертикально расположенных сопел, и принцип формирования изображений в них аналогичен точечно-матричным печатающим устройствам. При горизонтальном движении печатающей головки из сопел в нужные моменты времени "выстреливаются" капли, которые попадают на бумагу. В этом случае отпадает необходимость отклонять поток капель.

Общий принцип действия струйной печати. Цилиндрический пьезоэлектрический кристалл плотно надет на резиновую трубку, заканчивающуюся соплом. При подаче напряжения на кристалл трубка обжимается и выбрасывает каплю чернил в сопло. Дроссель служит для того, чтобы при обжатии трубки чернила выбрасывались только в сопло, а не в резервуар с чернилами. Частота работы сопел составляет до 900 герц.

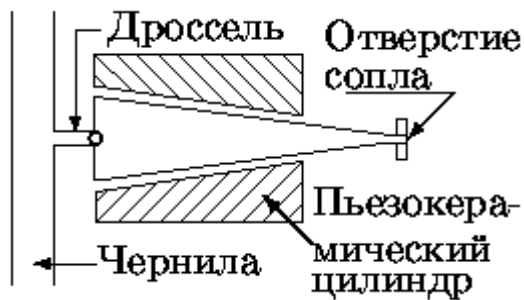


Рисунок 1 - Схема устройства отдельного сопла в струйном принтере

В струйных черно/белых принтерах **фирмы HP** используется и другой способ формирования капелек. На изолирующую подложку нанесены токоподводящие проводники. На небольшом расстоянии от подложки находится пленка с отверстиями сопел. Напротив каждого сопла в разрыве токоподводящего проводника размещена высокоомная площадка. Между подложкой и пленкой с соплами образован капилляр для подвода специальных чернил. При пропускании импульса тока около 1 А высокоомная площадка быстро разогревается, под действием теплового удара формируется волна, выбрасывающая капельку чернил из сопла.



Рисунок 2 - Схема образования капель в струйном принтере фирмы HP

Фирма **Seiko Epson Corporation** разработала новую технологию струйной печати (Micro Piezo, Micro Dot и Micro Wave), отличительным свойством которой является управление мениском чернил в сопле. Технология позволяет управлять размером и формой чернильных пятен, повысить скорость выстреливания капель, увеличить количество оттенков до шести, включая полутона, и устранить зернистость. Технология позволяет получить разрешение до 1440 точек на дюйм (57 точек на мм).

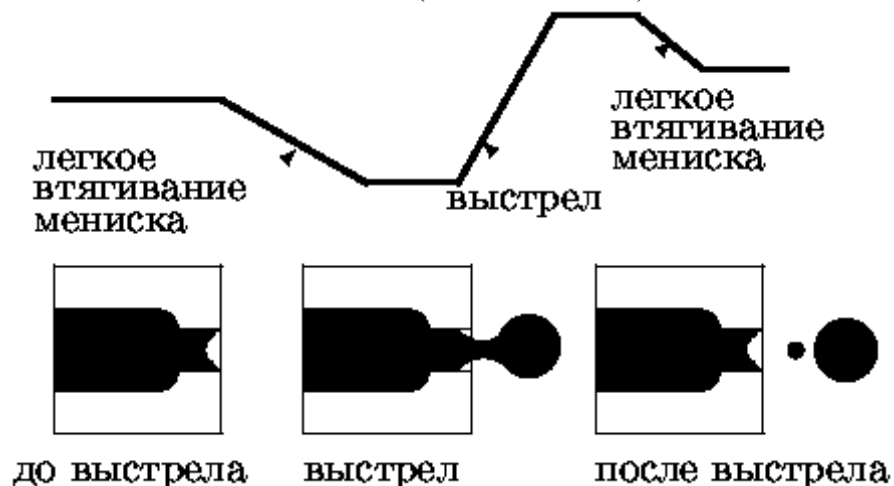


Рисунок 3 - Управление формой и полетом капель в новых принтерах Stylus

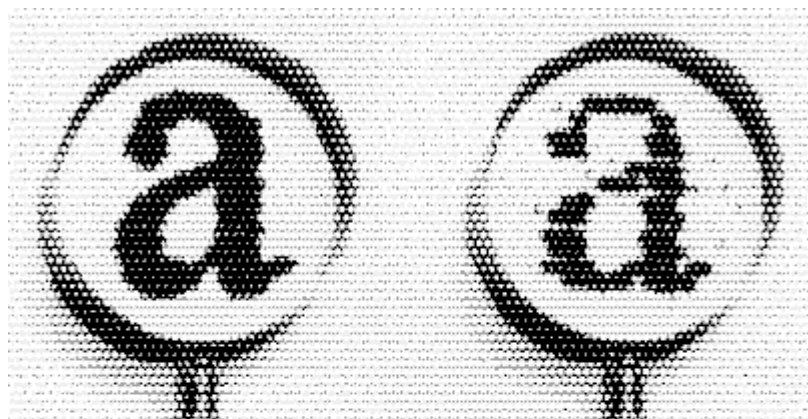


Рисунок 4 - Струйная печать по технологиям Micro Dot и традиционной

Количество сопел одного цвета, требуемое разрешением и скоростью печати, вертикально размещается в печатающей головке. Для цветной печати обычно используется три цвета - желтый, голубой, малиновый. Часто добавляется дополнительный черный цвет.

Типы печатающих головок.

Термические головки принтеров

Капелька чернил разогревается до температуры порядка 550 градусов по Цельсию в тончайшем канале, заканчивающемся дюзой (соплом), и под действием давления, вызванного нагревом, “выстреливается” на бумагу. На кончике дюзы поверхность чернил имеет форму пузырька, который под давлением лопается. Чернила, попадающие на бумагу, составляют до отрыва оболочку пузырька. После отключения нагревательного элемента, газ быстро конденсируется, уменьшаясь в объеме и втягивая в капилляр новую порцию чернил.

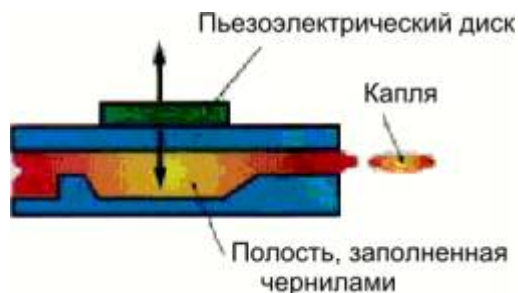


Рисунок 5 - Пьезоэлектрические головки принтеров

Второй тип головок - пьезоэлектрические. В струйных принтерах Epson чернила вытесняются на бумагу давлением, возникающим без воздействия нагрева. Источником давления служит мембрана, приводимая в колебательное движение пьезоэлектрическим способом. Если пьезоэлемент выгибается наружу, в трубочку втягивается краска, если он вгибается - часть краски выходит наружу из сопла, а часть возвращается обратно в картридж.

Отсутствие тепла создает ряд преимуществ. Простой и хорошо управляемый электрический процесс позволяет более прицельно “стрелять” чернилами. В частности, мениск на поверхности чернильной капли не имеет формы пузырька, как в термоголовке, а остается практически плоским, отчего “выстрел” протекает более детерминированно и без лишних брызг. Чернила не должны быть теплостойкими. Наконец, отпадает проблема охлаждения головки, и значительно возрастает ее жизнестойкость. Фактически такая головка рассчитана на весь срок службы принтера, в то время как термоголовки приходится делать сменными (при замене головки пользователем, разумеется, трудно ожидать ее точной юстировки, не говоря о прочих неудобствах).



Рисунок 6 - Многослойная пьезоэлектрическая головка

На двух верхних рисунках показан процесс выброса капли пьезоэлектрической головкой. Управляемый мениск позволяет воздействовать на размер капли. При ее выбросе не образуется шлейф из "спутников".

На нижнем рисунке изображен процесс печати термической головкой. Размер капли не регулируется, при ее выбросе возникает паразитный шлейф из мельчайших капелек чернил, ухудшающий качество печати.

Однако пьезоголовки, применявшиеся в прежних принтерах Epson и изделиях некоторых других фирм, имели недостатки, которые стали тормозить рост технических характеристик принтеров с такими головками по сравнению с принтерами, где используется термический принцип. Пьезоголовки были громоздкими сами по себе и требовали для работы ток большой мощности и напряжения, что влияло на габариты блока питания и других элементов электросистемы. Конструкторы фирмы Epson нашли решение проблемы, создав новую многослойную пьезоэлектрическую головку.

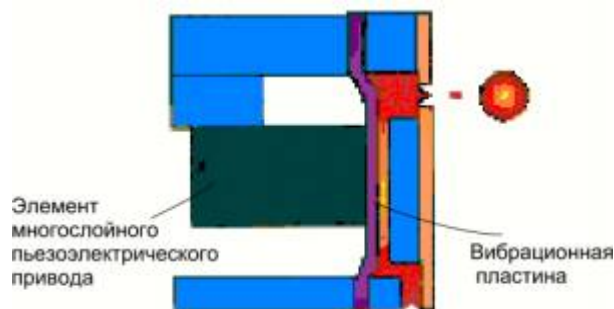


Рисунок 7 - Многослойная пьезоэлектрическая головка

Вместо одного громоздкого пьезоэлемента головка содержит множество тонкослойных пьезоэлементов, включенных в многослойную керамическую конструкцию. Каждый такой элемент имеет толщину всего 20 мк.

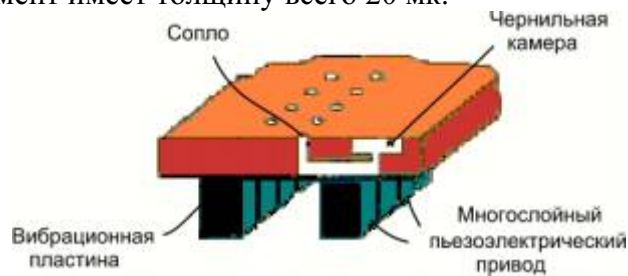


Рисунок 9 - Устройство многослойной печатающей головки

Новая головка развивает гораздо большее давление на чернильную каплю, поэтому сама капля может быть меньше, а процесс ее выбрасывания — быстрее и, соответственно, точнее. Кроме того, для работы головки достаточно напряжения 20 В вместо прежних 100, что сказывается на габаритах электросистемы. Многослойная пьезоголовка, впервые изготовленная в 1989 году, потребовала определенного времени для наладки технологии массового производства.

Проблемы струйной печати

Струйная технология печати порождает и ряд проблем, среди которых основной является проблема предотвращения засыхания чернил в соплах и одновременно с этим обеспечения быстрого их высыхания при попадании на бумагу. Она решается либо путем погружения сопел в резервуар с красителем, либо автоматизацией очистки сопел, либо благодаря использованию красителя, расплавляющегося при нагревании и затвердевающего при остывании. Последний способ решения проблемы представляется наиболее перспективным. Для его реализации достаточно подогреть сопла и, возможно, резервуар с красителем.

Для цветной печати, как правило, используются красители: *желтый, голубой, малиновый и черный цвет*. Попарное их смешение до нанесения капель на бумагу дает еще три цвета. Чтобы выйти за семицветное ограничение, струйные принтеры используют прием, известный как подмешивание: печать смежных (возможно, с наложением) точек разными цветами, которые глаз воспринимает как одноцветный блок. Однако из-за того, что подмешивание заменяет одну точку определенного цвета несколькими точками разных цветов, изображения, напечатанные методом подмешивания, получаются несколько размытыми.

Характеристики принтеров

Обычная разрешающая способность по горизонтали до 150 точек на дюйм (6 точек/мм) по горизонтали и до 100 точек на дюйм по вертикали (4 точки/мм). Достижения современной технологии изготовления головок позволяют разместить до 50 сопел на 1/6 дюйма, чем обеспечивается вертикальное разрешение до 300 точек на дюйм (12 точек/мм).

Суммарная скорость печати в целом невысока - от 20 до 50 символов в секунду и порядка 90 секунд на лист формата А4 в графическом режиме.

Достоинством устройств струйной печати является малое энергопотребление и практически бесшумная работа.

Стандартом для струйных принтеров является протокол принтеров фирмы **Epson**, ряд принтеров эмулирует язык **HPGL**, разработанный фирмой Хьюлетт-Паккард для графопостроителей.

2. ЛАЗЕРНЫЕ ПРИНТЕРЫ

Лазерные принтеры используют ксерографический (электрофотографический) метод печати, который также применяется в большинстве аппаратов копирования. В целом лазерный принтер - монохромное устройство. В настоящее время имеются и цветные лазерные принтеры, по сути представляющие собой конструктивное объединение нескольких лазерных принтеров.

Черно-белый лазерный принтер

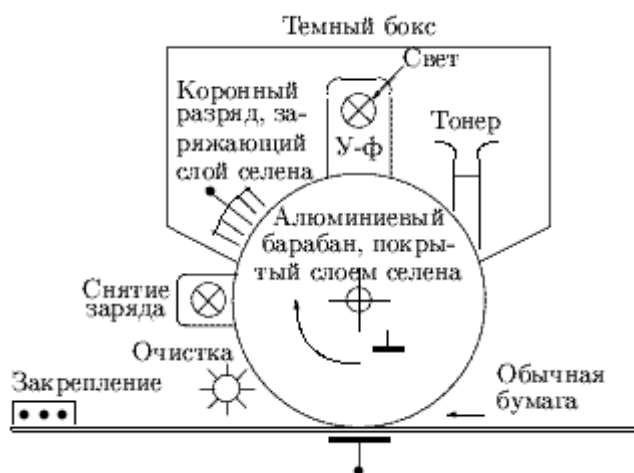


Рисунок 10 - Схема устройства монохромного лазерного принтера

Слой **фоточувствительного селена**, нанесенный на *алюминиевый* барабан, в темном боксе аппарата получает равномерный положительный поверхностный заряд с помощью коронного разряда - напряжением 900 вольт со знаком "минус".. Этот фоточувствительный слой является изолятором в темноте и полупроводником при освещении.

Заряженный слой облучается микромощным **полупроводниковым лазером**, генерирующим тонкий световой луч, который, отражаясь от вращающегося зеркала, формирует электронное изображение на светочувствительном фотоприемном барабане, которому предварительно сообщается некий статический заряд. Для получения изображения лазер должен включаться и выключаться, что обеспечивается специальной управляющей электроникой принтера. **Вращающееся зеркало** служит для разворота луча лазера на новую строку, формируемую на поверхности печатающего барабана.

Когда луч лазера попадает на предварительно заряженный барабан, заряд "стекает" с освещенной поверхности, статический потенциал возрастает до -200 (был -900). Таким образом, освещаемые и не освещаемые лазером участки барабана имеют разный заряд. После формирования каждой строки специальный прецизионный шаговый двигатель поворачивает барабан так, чтобы можно было формировать следующую строку. Это смещение равно разрешающей способности принтера и может составлять, например, 1/300, 1/600 или 1/1200 дюйма.

Когда изображение на барабане построено, он осыпается **тонером**. Для этого используется так называемый *барабан-девелопер* - полый внутри дюралевый цилиндр с ферромагнитным сердечником. Частишки тонера, обладая слабо выраженными магнитными свойствами, прилипают к цилиндру очень тонким слоем. Цилиндр прокатывается по фотобарабану, в результате чего на нем, в местах повышенного статического потенциала

(там, где побывал луч лазера), остаются частички тонера.

Синхронно с вращением барабана, при помощи блока подающих валиков, внутрь принтера перемещается обычная бумага. Ей сообщается равномерный заряд, в результате чего, при прокатке через фотобарабан, на ней оседает абсолютное большинство частиц тонера, находившихся ранее на барабане. Таким образом, на бумаге появилось изображение - пока еще не закрепленное, поскольку частицы тонера держатся на листе только лишь благодаря заряду.

Для закрепления изображения используется так называемый *фузор*, в народе именуемый "печкой". Он представляет собой совокупность двух роликов: верхний выполнен из металла, имеет внутри нагревательный элемент, а сверху покрыт тефлоном - чтобы тонер не прилипал. Нижний изготавливается из термостойкой резины. Во время прокатывания листа между этим валиками, нанесенный ранее тонер плавится и получает надежное сцепление с бумагой. Очевидно, что далеко не все частицы, попавшие на фотобарабан, переносятся на бумагу. Оставшиеся удаляются специальным роликом очистки.

Картинка формируется лазерным лучом на фоточувствительном слое в виде узора точек. Типовая разрешающая способность современных лазерных принтеров 600 точек/дюйм (24 точки/мм, точнее 23.6 точек/мм). Это обеспечивает очень высокое качество для текста и любой графики. Трудности возникают лишь при выводе больших черных поверхностей. В современных принтерах плотность печати доведена до 1200 точек/дюйм, что превышает качество типографской печати. Ограничение в разрешающей способности в обычных лазерных принтерах с одним отклоняющимся лучом связано с различной формой пятна в центре барабана (круг) и на краях (эллипс).

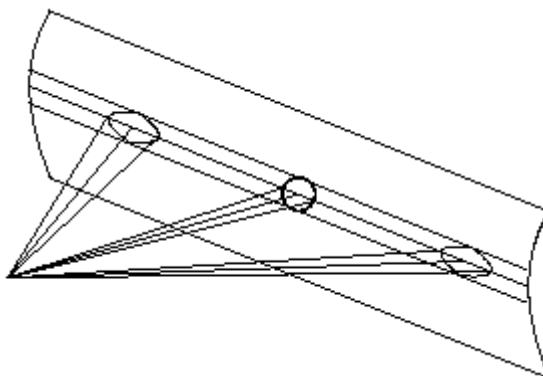


Рисунок 11 - Изменение формы пятна в лазерном принтере

Лазерный принтер - страничное устройство. Максимальная скорость составляет порядка 150 страниц в минуту.

Цветной лазерный принтер

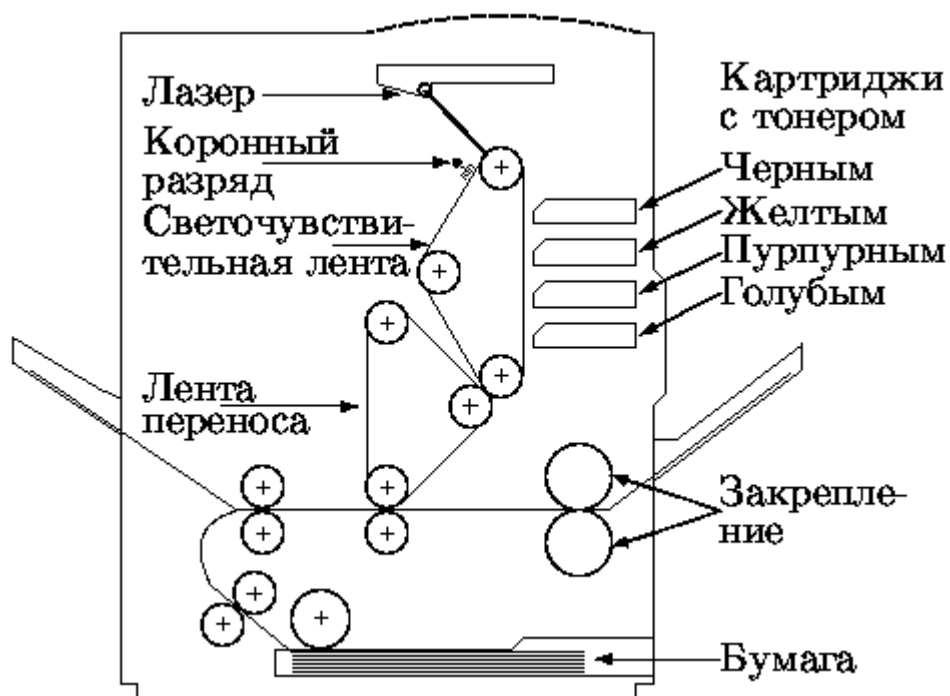


Рисунок 12 - Схема устройства цветного лазерного принтера

Как видно из рисунка цветной лазерный принтер подобен черно-белому. Для печати за один проход по бумаге используются гибкая светочувствительная лента, покрытая слоем селена, и лента переноса, на которой формируются изображения для всех четырех цветов.

Изображение, сформированное на ленте переноса, переносится на бумагу и затем закрепляется нагреванием.

Кроме лазерных существуют так называемые **LED-принтеры** (Light Emitting Diode), которые получили свое название из-за того, что полупроводниковый лазер в них был заменен "гребенкой" мельчайших светодиодов. В данном случае не требуется сложной оптической системы вращающихся зеркал и линз. Изображение одной строки на светочувствительном барабане формируется одновременно.

Параметры лазерных принтеров.

Лазерные принтеры отличаются высокими быстродействием, разрешающей способностью и соответственно качеством печати, а также великолепными графическими возможностями и низким уровнем шума. Низкоскоростные устройства обеспечивают печать со скоростью 6-8 страница/мин., а высокоскоростные - 20 и более страница/мин. Обеспечивается автоматическая подача бумаги.

К наиболее важным функциональным возможностям принтеров относятся такие, как поддержка технологии повышения разрешающей способности, наличие масштабируемых шрифтов (PostScript, TrueType), объем оперативной памяти и т.п.

Под **разрешающей** способностью понимается количество воспроизводимых точек, приходящихся на единицу длины, например 300 точек на дюйм. Для лазерных принтеров обычно различают разрешение, обеспечиваемое механикой (приводом), и программное (алгоритмическое) разрешение. Кроме того, используются различные технологии улучшения разрешающей способности.

Например, с 1990 года все лазерные принтеры Hewlett-Packard, начиная с LaserJet III, используют так называемую **REt-технология**. Ее суть заключается в изменении размера точек, которые принтер ставит на бумагу без фактического изменения разрешения. С помощью модуляции лазерного луча в процессе построения изображения удастся дозированно удалять заряд на светочувствительном барабане, в результате чего изменяется размер участка, к которому прилипает тонер. Это позволяет, в частности, заострить углы засечек у букв и избежать скопления тонера в местах пересечения линий.

Первый принтер с действительным разрешением 1200x1200 dpi выпустила фирма **Lexmark**. Как известно, производители принтеров обычно указывают, что их изделия обеспечивают так называемое **алгоритмическое** разрешение 1200 точек на дюйм. А это означает, что разрешение составляет все-таки 1200 на 600 точек на дюйм, то-есть шаг вращения барабана остается равным 1/600 дюйма.

Алгоритмическое разрешение достигается за счет того, что механизм подобных принтеров позволяет слегка изменять положение луча по вертикали (напомним, что развертка луча бывает, как правило, только горизонтальной). В результате темная точка на бумаге появляется либо в верхней, либо в нижней части прямоугольника высотой 1/600 дюйма. Хотя подобная технология действительно позволяет сделать края изображения более гладкими, тем не менее понятно, что в столбике высотой один дюйм чисто физически не может быть больше 600 точек.

Во всех лазерных принтерах передача полутоновых изображений основана на **технологии растривания**. В этом случае изображение разбивается на так называемые грау-пиксели. Например, для принтеров с разрешением 300 на 300 точек часто применяется ячейка из 25 точек размером 0,42 на 0,42 мм. то есть с длиной стороны 1/60 дюйма. Причем стороны данной ячейки наклонены на 45 градусов по вертикали. Отношение черных точек к белым определяет уровень серого цвета. Таким образом, в этом случае возможна передача 26 оттенков серого цвета — от 0 до 25 черных точек в ячейке.

В самых современных лазерных принтерах Lexmark (Optra) ячейка состоит уже из **128** точек. При разрешении 1200 на 1200 точек размер ячейки составляет всего 0,25 на 0,25 мм. Качество изображения улучшается не только потому, что размер ячейки меньше, но и из-за увеличения числа оттенков серого цвета — 129.

В отличие от технологии, используемой языком PostScript, когда все темные точки сосредоточиваются в центре ячейки, **технология PictureGrade**, также разработанная фирмой Lexmark, более изощренна. В ячейке одновременно используются четыре центра закрашки. благодаря чему ее эффективный размер для наблюдателя как бы уменьшается еще в четыре раза. В результате качество получаемого изображения приближается к фотографическому.

Для лазерных принтеров **объем памяти** составляет 0,5 или 1 Мбайт и может расширяться до десятков мегабайт. Память обычно служит для хранения данных об изображении и шрифтах. Напомним, что шрифты для печатающих устройств подразделяются на **резидентные** (хранятся в выделенном для этого постоянном запоминающем устройстве), **загружаемые** (использующие для своего хранения часть RAM) и шрифты, **запомненные** в ROM специальной кассеты — картриджа, который вставляется в соответствующий слот принтера.

Расширяется память принтеров либо специальными платами, либо стандартными модулями SIMM (Single In-line Memory Module), используемыми в персональных компьютерах (обычно 72-контактными).

Протоколы лазерных принтеров

Стандартом де-факто для лазерных принтеров является система команд **PCL** (язык команд принтера) лазерных принтеров **HP LaserJet Plus** фирмы Hewlett Packard.

Широкое распространение получают различные языки описания страниц (**PDL** - Page Description Language). Каждый язык описания страниц - это "настоящий" язык программирования, с переменными, подпрограммами, операторами, управляющими структурами. Языки включают графические операции, обеспечивающие создание изображений, и каждый имеет возможности по работе со шрифтами. Наиболее развитыми PDL являются Interpress фирмы Xerox, DDL фирмы Imagen, PostScript фирмы Adobe. Хотя эти языки и очень похожи, стандартом де-факто стал **язык PostScript**.

Основные отличия, с точки зрения подготовки шрифтов, между PCL и PostScript состоят в том, что шрифты в PCL готовятся в виде битовой карты, поэтому для разных масштабов нужны различные версии одного и того же шрифта. В языке же PostScript

описание шрифта - схема его символов, изменяемая программным путем, поэтому легко реализуются не только различные масштабы, но печать по различным направлениям, например, вдоль контура фигуры, изменение наклона букв и т.д.

Многие лазерные принтеры имеют как систему команд PCL, так и аппаратные интерпретаторы PostScript. В целом данные для печати в PCL во много раз короче, чем данные, представленные в PostScript, соответственно несравненно меньше и время передачи данных на принтер. Особенно эти проблемы заметны при программной обработке, например, на принтер, поддерживающий только PostScript, выдаются данные из системы TeX для авторской подготовки статей. Зачастую при этом менее 10 Кбайт текста преобразуется более чем в 100 Кбайт данных на языке PostScript.

Основная область использования PostScript - настольные издательские системы. Такого сорта системы, без его использования требуют подготовки нескольких сотен шрифтов.

Связь принтера и компьютера.

Связь между ПК и принтером может осуществляться **через порт компьютера** при помощи кабеля. Это, собственно, наиболее распространенный вариант - дешево и надежно, удовлетворяет всем запросам пользователя.

Можно **подключить его к любой рабочей станции в сети** и расширить доступ, но у такого решения есть много минусов: расположение принтера ограничено радиусом 2-3 метра от машины, к которой он подключен, его работоспособность будет напрямую зависеть от того, включен ли компьютер или нет. Также, при печати, будет загружаться CPU машины, к которой подключен принтер.

В последнее время все большую популярность приобретают так называемые **сетевые принтеры**, оборудованные собственной сетевой картой, позволяющие напрямую подключаться к ethernet сети при помощи стандартного разъема RJ-45, которым обжимается витая пара. В этом случае, после соответствующих настроек, принтер будет виден в сети как сетевой и будет возможна печать на нем с любой рабочей станции, подключенной к сети.

Обмен информацией между ПК и принтером

Компьютер кодирует печатаемый документ в соответствии с "языком" установленного принтера. Следует пояснить, что в современных моделях принтеров при печати текста пересылаемые данные имеют довольно высокий логический уровень - это не информация о месторасположении каждой точки, а нечто более глобальное - имя, размер и наклон шрифта, размеры полей и т.п. Эти данные передаются принтеру. После получения этих данных, принтеру необходимо их расшифровать - перевести уже в более низкоуровневую форму, в конечную информацию о месторасположении точек.

Для этого используются три устройства: **ROM (Read Only Memory), оперативная память и процессор.**

ROM представляет собой микросхему, которая не позволяет менять записанную в нее информацию - этого, впрочем и не требуется, поскольку в ней хранится алгоритм дешифровки полученных от компьютера бит, некоторый язык, совокупность правил, который с годами почти не устаревает.

Оперативная память используется для временного хранения в ней обрабатываемой и уже обработанной, но еще не распечатанной информации. В принтере используется модуль памяти SIMM - и не надо только кричать, что это давным-давно устаревший стандарт - учитывая специфику технологий печати, производительность принтеров ограничена отнюдь не быстродействием памяти. Следует заметить, что особенно критичны к объему памяти сетевые принтеры, поскольку им часто приходится хранить в очереди печати сразу несколько документов.

Процессор считывает из ROM правила декодирования высокоуровневой информации и записывает их в оперативную память. Далее, используя эти правила, получает из входной

последовательности бит выходную, очевидно, большую по объему. Таким образом, фактически, связка ROM-CPU-DRAM, является аппаратной реализацией универсальной машины Тьюринга.

Итак, после обработки полученных данных, в ОЗУ имеется некоторая последовательность бит, в которой находится информация о печатаемом изображении. Тут в работу включается другой процессор, руководящий непосредственно процессом печати, взаимодействием с пользователем (управлением LCD-дисплеем, перемещением по менюшкам и т.п.) Этот процессор, в зависимости от читаемых из RAM данных, выполняет действия по управлению лазером, движениями отражающего зеркала, втягиванием бумаги и ее движением внутри принтера. Так же он осуществляет управление кулером, фюзером, зарядными и коронными контактами, сенсорами неисправностей и LCD-дисплеем.

Производители лазерных принтеров.

Пионером в области производства лазерных принтеров является фирма Херох. В 1984 г. фирма Canon USA (США) предложила лазерный принтер LBP-CX, имеющий радикально новую конструкцию. Основное новшество состояло в размещении всего того, что подлежит частой замене, в сменной кассете. Дополнительно к этому была усовершенствована оптика. Стоило данное устройство существенно дешевле, но и имело заметно худшие характеристики по сравнению с изделиями фирмы Херох. Именно принтер LBP-CX был первым лазерным принтером, доступным для ПЭВМ. Его конструкция легла в основу популярных ныне печатающих устройств LaserJet фирмы HP, LaserWriter компании Apple Computer и 8/300 фирмы Imagen.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 22) Персональный компьютер – не менее 1-го на двух обучающихся.
- 23) Учебные системные блоки ПЭВМ.
- 24) Учебные принтеры.
- 25) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Составить блок-схему струйного принтера.
- 2) Составить блок-схему лазерного принтера.
- 3) Составить алгоритм работы струйного принтера.
- 4) Составить алгоритм работы лазерного принтера.
- 5) Подключить струйный принтер к ПЭВМ и установить его драйвер.
- 6) Подключить лазерный принтер к ПЭВМ и установить его драйвер.
- 7) Составить алгоритм работы струйного принтера.
- 8) Составить алгоритм работы лазерного принтера.
- 9) Проверить работоспособность струйного принтера.
- 10) Проверить работоспособность лазерного принтера.
- 11) Произвести замену картриджа струйного принтера, проверить его работоспособность.
- 12) Произвести замену картриджа лазерного принтера, проверить его работоспособность.

Повышенный уровень:

- 13) Подключить струйный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.
- 14) Подключить лазерный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Практическое занятие № 8.

Тема 8.

ХАРАКТЕРИСТИКА ПЕРИФЕРИЙНЫХ УСТРОЙСТВ ЭВМ

Время – 3 часа.

Формируемые компетенции: ОПК-2

УЧЕБНЫЕ ВОПРОСЫ:

2. Организация межкомпьютерной связи.

СОДЕРЖАНИЕ ЗАНЯТИЯ

Часто при организации связи между двумя компьютерами за одним компьютером закрепляется роль поставщика ресурсов (программ, данных и т.д.), а за другим — роль пользователя этих ресурсов. В этом случае первый компьютер называется **сервером**, а второй — **клиентом** или рабочей станцией. Работать можно только на компьютере-клиенте под управлением специального программного обеспечения.



Рисунок 1 - Сетевой сервер HP LD PRO

Сервер (англ. serve — обслуживать) — это высокопроизводительный компьютер с большим объемом внешней памяти, который обеспечивает обслуживание других компьютеров путем управления распределением дорогостоящих ресурсов совместного пользования (программ, данных и периферийного оборудования).

Примерами серверов могут служить:

- сервер телекоммуникаций, обеспечивающий услуги по связи данной локальной сети с внешним миром;
- вычислительный сервер, дающий возможность производить вычисления, которые невозможно выполнить на рабочих станциях;
- дисковый сервер, обладающий расширенными ресурсами внешней памяти и предоставляющий их в использование рабочим станциями и, возможно, другим серверам;
- файловый сервер, поддерживающий общее хранилище файлов для всех рабочих станций;
- сервер баз данных фактически обычная СУБД, принимающая запросы по

локальной сети и возвращающая результаты.

Сервер локальной сети предоставляет ресурсы (услуги) рабочим станциям и/или другим серверам.

Клиент (иначе, рабочая станция) — любой компьютер, имеющий доступ к услугам сервера.

Клиентом также называют прикладную программу, которая от имени пользователя получает услуги сервера. Соответственно, программное обеспечение, которое позволяет компьютеру предоставлять услуги другому компьютеру, называют сервером — так же, как и сам компьютер. Для преодоления несовместимости интерфейсов отдельных компьютеров вырабатывают специальные стандарты, называемые протоколами коммуникации. Итак, клиентом принято называть компонент локальной сети, запрашивающий услуги у некоторого сервера и сервером - компонент локальной сети, оказывающий услуги некоторым клиентам.

Для работы с сетью необходимо наличие специального сетевого программного обеспечения, которое обеспечивает передачу данных в соответствии с заданным протоколом.

Протокол коммуникации — это согласованный набор конкретных правил обмена информацией между разными устройствами передачи данных. Имеются протоколы для скорости передачи, форматов данных, контроля ошибок и др.

Протоколы коммуникации предписывают разбить весь объём передаваемых данных на пакеты — отдельные блоки фиксированного размера. Пакеты нумеруются, чтобы их затем можно было собрать в правильной последовательности.

К данным, содержащимся в пакете, добавляется дополнительная информация примерно такого формата:

Адрес получателя	Адрес отправителя	Длина	Данные	Поле контрольной суммы
---------------------	----------------------	-------	--------	------------------------------

Контрольная сумма данных пакета содержит информацию, необходимую для контроля ошибок. Первый раз она вычисляется передающим компьютером. После того, как пакет будет передан, контрольная сумма повторно вычисляется принимающим компьютером. Если значения не совпадают, это означает, что данные пакета были повреждены при передаче. Такой пакет отбрасывается, и автоматически направляется запрос повторно передать пакет.

При установлении связи устройства обмениваются сигналами для согласования коммуникационных каналов и протоколов. Этот процесс называется подтверждением установления связи (англ. HandShake — рукопожатие).

Что такое компьютерная сеть

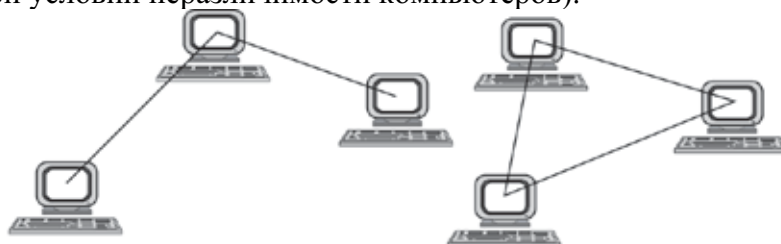
Компьютерная сеть (англ. Computer NetWork, от net — сеть и work — работа) — совокупность компьютеров, соединенных с помощью каналов связи и средств коммутации в единую систему для обмена сообщениями и доступа пользователей к программным, техническим, информационным и организационным ресурсам сети.

Компьютерную сеть представляют как совокупность узлов (компьютеров и сетевого оборудования) и соединяющих их ветвей (каналов связи). Ветвь сети — это путь, соединяющий два смежных узла. Различают узлы оконечные, расположенные в конце только одной ветви, промежуточные, расположенные на концах более чем одной ветви, и смежные — такие узлы соединены по крайней мере одним путём, не содержащим никаких других узлов. Компьютеры могут объединяться в сеть разными способами.

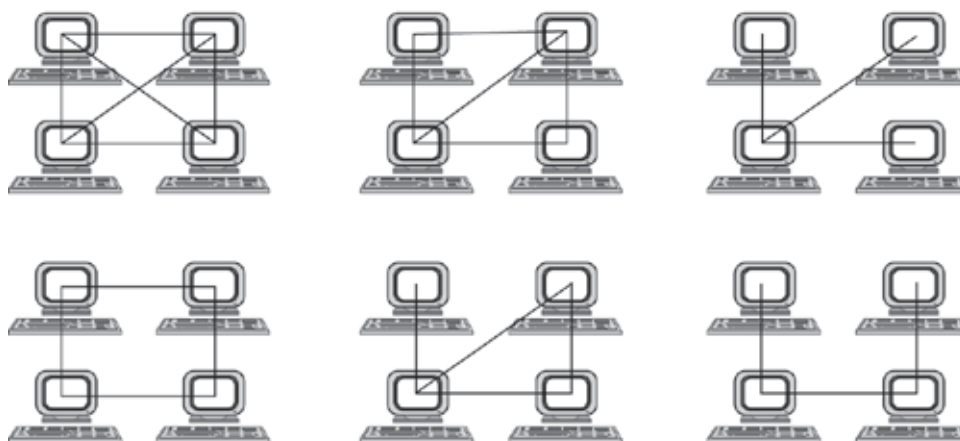
Логический и физический способы соединения компьютеров, кабелей и других компонентов, в целом составляющих сеть, называется ее **топологией**. Топология характеризует свойства сетей, не зависящие от их размеров. При этом не учитывается производительность и принцип работы этих объектов, их типы, длины каналов, хотя при проектировании эти факторы очень важны.

Как только компьютеров становится больше двух, возникает проблема выбора **конфигурации физических связей** или **топологии**. Под топологией сети понимается конфигурация графа, вершинам которого соответствуют конечные узлы сети (например, компьютеры) и коммуникационное оборудование (например, маршрутизаторы), а ребрам — электрические и информационные связи между ними.

Число возможных конфигураций резко возрастает при увеличении числа связываемых устройств. Так, если три компьютера мы можем связать двумя способами, то для четырех компьютеров можно предложить уже шесть топологически различных конфигураций (при условии неразличимости компьютеров).



а) вариант связи трех компьютеров



а) вариант связи четырех компьютеров

Рисунок 2 - Варианты связи компьютеров

Можно соединять каждый компьютер с каждым или же связывать их последовательно, предполагая, что они будут общаться, передавая друг другу сообщения "транзитом". При этом транзитные узлы должны быть оснащены специальными средствами, позволяющими выполнять эту специфическую посредническую операцию. В роли транзитного узла может выступать как универсальный компьютер, так и специализированное устройство.

От выбора топологии связей зависят многие характеристики сети. Например, наличие между узлами нескольких путей повышает надежность сети и делает возможной балансировку загрузки отдельных каналов. Простота присоединения новых узлов, свойственная некоторым топологиям, делает сеть легко расширяемой. Экономические соображения часто приводят к выбору топологий, для которых характерна минимальная суммарная длина линий связи.

Среди множества возможных конфигураций различают **полносвязные** и

неполносвязные:



Рисунок 3 - типы возможных конфигураций

Полносвязная топология соответствует сети, в которой каждый компьютер непосредственно связан со всеми остальными.

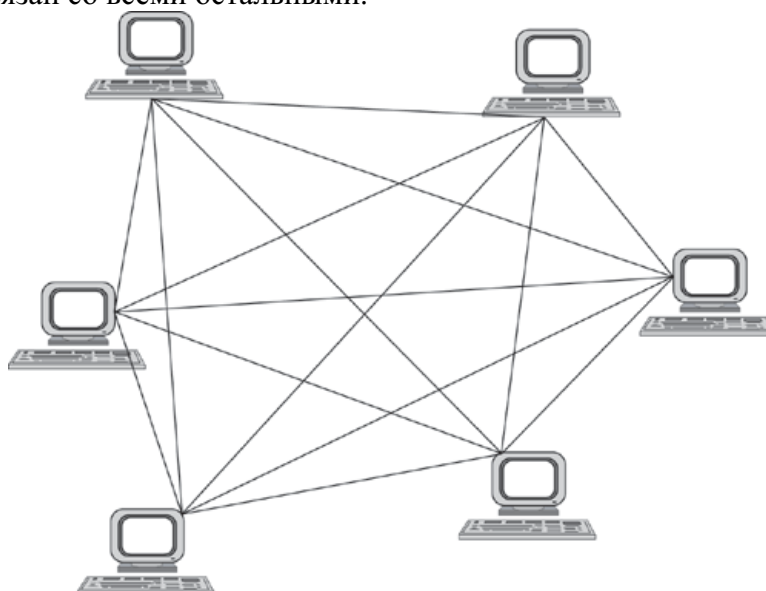


Рисунок 4 - Полносвязная конфигурация

Несмотря на логическую простоту, это вариант громоздкий и неэффективный. Действительно, каждый компьютер в сети должен иметь большое количество коммуникационных портов, достаточное для связи с каждым из остальных компьютеров. Для каждой пары компьютеров должна быть выделена отдельная физическая линия связи. (В некоторых случаях даже две, если невозможно использование этой линии для двусторонней передачи.) Полносвязные топологии в крупных сетях применяются редко, так как для связи N узлов требуется $N(N-1)/2$ физических дуплексных линий связи, т.е. имеет место квадратическая зависимость. Чаще этот вид топологии используется в многомашинных комплексах или в сетях, объединяющих небольшое количество компьютеров.

Все другие варианты основаны на неполносвязных топологиях, когда для обмена данными между двумя компьютерами может потребоваться промежуточная передача данных через другие узлы сети.

Ячеистая топология (mesh) получается из полносвязной путем удаления некоторых возможных связей. Ячеистая топология допускает соединение большого количества компьютеров и характерна для крупных сетей.

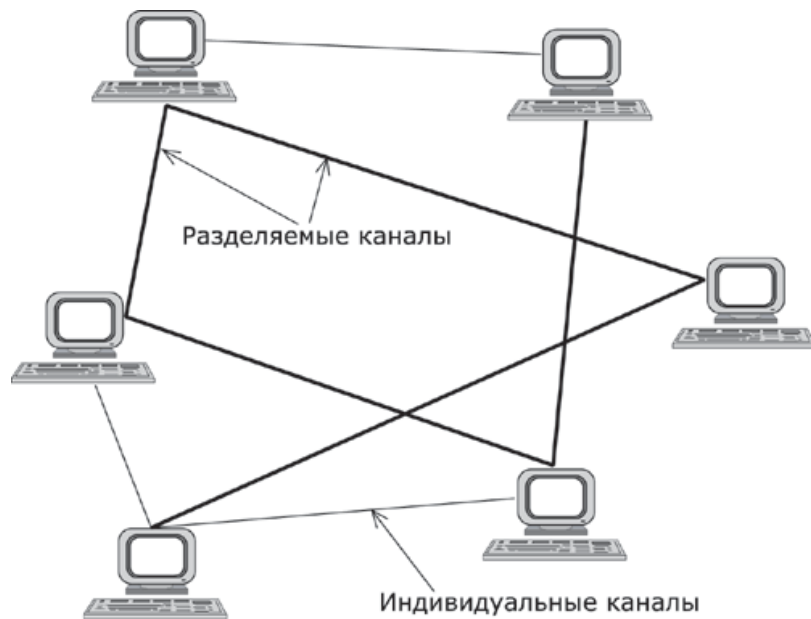


Рисунок 5 - Ячеистая топология

В сетях с **кольцевой конфигурацией** данные передаются по кольцу от одного компьютера к другому.

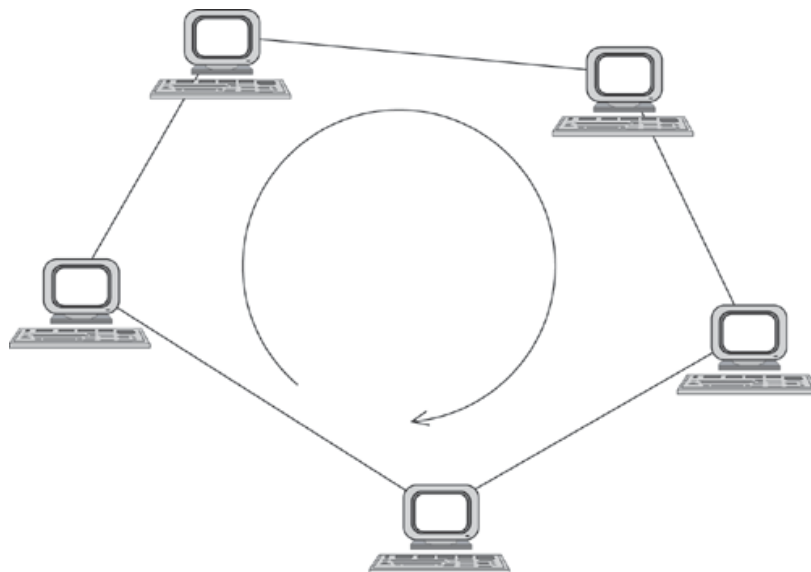


Рисунок 6 - Топология "кольцо"

Главное достоинство "кольца" в том, что оно по своей природе обладает свойством резервирования связей. Действительно, любая пара узлов соединена здесь двумя путями — по часовой стрелке и против. "Кольцо" представляет собой очень удобную конфигурацию и для организации обратной связи — данные, сделав полный оборот, возвращаются к узлу-источнику. Поэтому отправитель в данном случае может контролировать процесс доставки данных адресату. Часто это свойство "кольца" используется для тестирования связности сети и поиска узла, работающего некорректно. В то же время в сетях с кольцевой топологией необходимо принимать специальные меры, чтобы в случае выхода из строя или отключения какой-либо станции не прерывался канал связи между остальными станциями "кольца".

Топология **"звезда"** (рис.4.5) образуется в том случае, когда каждый компьютер с

помощью отдельного кабеля подключается к общему центральному устройству, называемому концентратором.

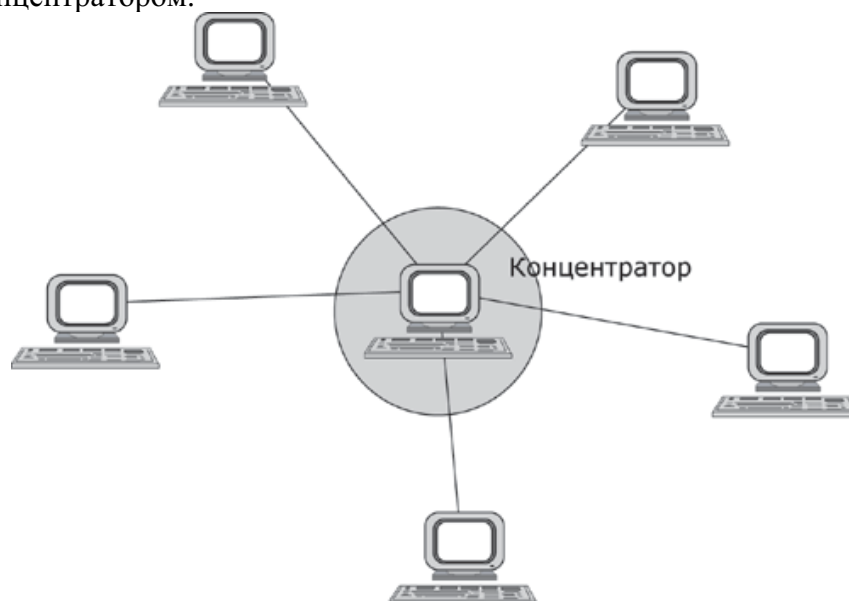


Рисунок 7 - Топология "звезда"

В функции концентратора входит направление передаваемой компьютером информации одному или всем остальным компьютерам сети. В роли концентратора может выступать как компьютер, так и специализированное устройство, такое как многоходовый повторитель, коммутатор или маршрутизатор. К недостаткам топологии типа "звезда" относится более высокая стоимость сетевого оборудования, связанная с необходимостью приобретения специализированного центрального устройства. Кроме того, возможности наращивания количества узлов в сети ограничиваются количеством портов концентратора.

Иногда имеет смысл строить сеть с использованием нескольких концентраторов, иерархически соединенных между собой связями типа "звезда". Получаемую в результате структуру называют также **деревом**. В настоящее время дерево является самым распространенным типом топологии связей, как в локальных, так и в глобальных сетях.

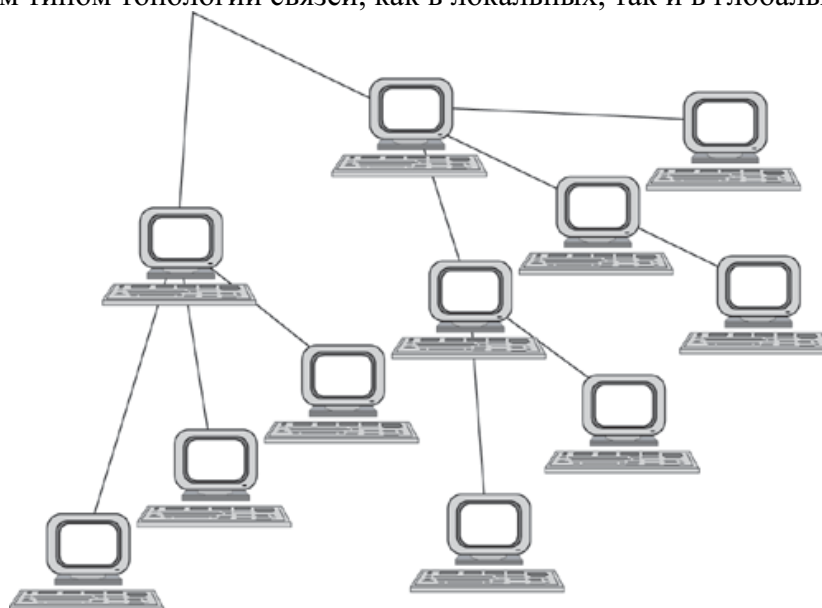


Рисунок 8 - Топология "иерархическая звезда" или "дерево"

Особым частным случаем конфигурации звезда является конфигурация **"общая**

шина" (рис. 4.7). Здесь в роли центрального элемента выступает пассивный кабель, к которому по схеме "монтажного ИЛИ" подключается несколько компьютеров (такую же топологию имеют многие сети, использующие беспроводную связь — роль общей шины здесь играет общая радиосреда). Передаваемая информация распространяется по кабелю и доступна одновременно всем присоединенным к нему компьютерам.



Рисунок 9 - Топология "общая шина"

Основными преимуществами такой схемы являются низкая стоимость и простота наращивания, т.е. присоединения новых узлов к сети.

Самым серьезным недостатком "общей шины" является ее недостаточная надежность: любой дефект кабеля или какого-нибудь из многочисленных разъемов полностью парализует всю сеть. Другой недостаток "общей шины" — невысокая производительность, так как при таком способе подключения в каждый момент времени только один компьютер может передавать данные по сети, поэтому пропускная способность канала связи всегда делится между всеми узлами сети. До недавнего времени "общая шина" являлась одной из самых популярных топологий для локальных сетей.

В то время как небольшие сети, как правило, имеют типовую топологию — "звезда", "кольцо" или "общая шина", для крупных сетей характерно наличие произвольных связей между компьютерами. В таких сетях можно выделить отдельные произвольно связанные фрагменты (подсети), имеющие типовую топологию, поэтому их называют сетями со смешанной топологией.

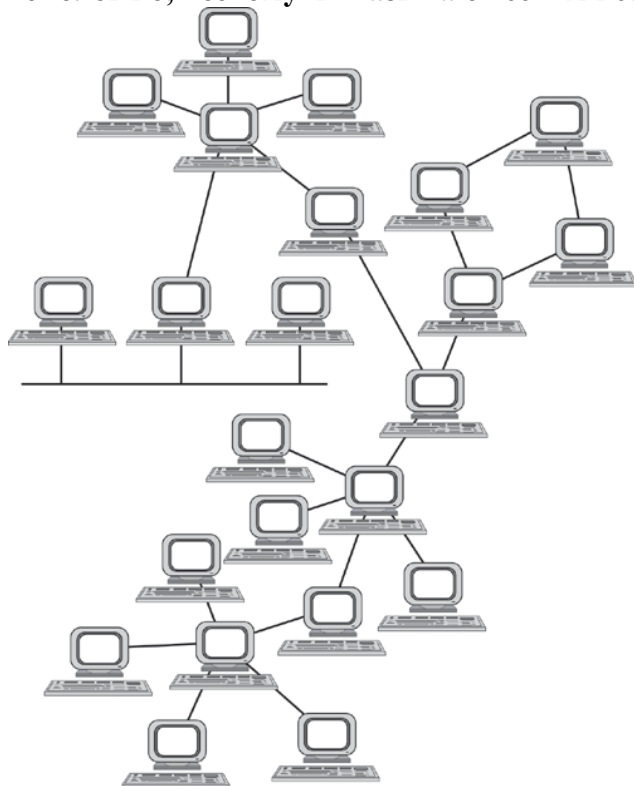


Рисунок 10 - Смешанная топология

Архитектура сети

Важнейшая характеристика компьютерной сети — её **архитектура**.

Архитектура сети — это реализованная структура сети передачи данных, определяющая её топологию, состав устройств и правила их взаимодействия в сети. В рамках архитектуры сети рассматриваются вопросы кодирования информации, её адресации и передачи, управления потоком сообщений, контроля ошибок и анализа работы сети в аварийных ситуациях и при ухудшении характеристик.

Наиболее распространённые архитектуры:

— **Ethernet** (англ. ether — эфир) — широковещательная сеть. Это значит, что все станции сети могут принимать все сообщения. Топология — линейная или звездообразная. Скорость передачи данных 10 или 100 Мбит/сек.

— **Arcnet** (Attached Resource Computer Network — компьютерная сеть соединённых ресурсов) — широковещательная сеть. Физическая топология — дерево. Скорость передачи данных 2,5 Мбит/сек.

— **Token Ring** (эстафетная кольцевая сеть, сеть с передачей маркера) — кольцевая сеть, в которой принцип передачи данных основан на том, что каждый узел кольца ожидает прибытия некоторой короткой уникальной последовательности битов — маркера — из смежного предыдущего узла. Поступление маркера указывает на то, что можно передавать сообщение из данного узла дальше по ходу потока. Скорость передачи данных 4 или 16 Мбит/сек.

— **FDDI** (Fiber Distributed Data Interface) — сетевая архитектура высокоскоростной

передачи данных по оптоволоконным линиям. Скорость передачи — 100 Мбит/сек. Топология — двойное кольцо или смешанная (с включением звездообразных или древовидных подсетей). Максимальное количество станций в сети — 1000. Очень высокая стоимость оборудования.

— **АТМ** (Asynchronous Transfer Mode) — перспективная, пока ещё очень дорогая архитектура, обеспечивает передачу цифровых данных, видеоинформации и голоса по одним и тем же линиям. Скорость передачи до 2,5 Гбит/сек. Линии связи оптические.

Соединение устройств сети между собой

Для этого используется специальное оборудование:



Рисунок 11 - Сетевой интерфейсный адаптер

Сетевые интерфейсные адаптеры (Network Interface Card, NIC) — это периферийное устройство компьютера, непосредственно взаимодействующее со средой передачи данных, которая прямо или через другое коммуникационное оборудование связывает его с другими компьютерами. Это устройство решает задачи надежного обмена двоичными данными, представленными соответствующими электромагнитными сигналами, по внешним линиям связи. Как и любой контроллер компьютера, сетевой адаптер работает под управлением драйвера операционной системы и распределение функций между сетевым адаптером и драйвером может изменяться от реализации к реализации.. В соответствии с определённым протоколом управляют доступом к среде передачи данных. Размещаются в системных блоках компьютеров, подключенных к сети.

Сетевые адаптеры различаются по типу и разрядности используемой в компьютере внутренней шины данных - ISA, EISA, PCI, MCA.

Сетевые адаптеры различаются также по типу принятой в сети сетевой технологии — Ethernet, Token Ring, FDDI и т.п. Как правило, конкретная модель сетевого адаптера работает по определенной сетевой технологии (например, Ethernet). В связи с тем, что для каждой технологии сейчас имеется возможность использования различных сред передачи данных (тот же Ethernet поддерживает коаксиальный кабель, неэкранированную витую пару и оптоволоконный кабель), сетевой адаптер может поддерживать как одну, так и одновременно несколько сред.

Сетевые кабели (коаксиальные, состоящие из двух изолированных между собой концентрических проводников, из которых внешний имеет вид трубки; оптоволоконные; кабели на витых парах, образованные двумя переплетёнными друг с другом проводами, и др.).

Для построения локальных связей в вычислительных сетях в настоящее время

используются различные виды кабелей - коаксиальный кабель, кабель на основе экранированной и неэкранированной витой пары и оптоволоконный кабель. Наиболее популярным видом среды передачи данных на небольшие расстояния (до 100 м) становится неэкранированная витая пара, которая включена практически во все современные стандарты и технологии локальных сетей и обеспечивает пропускную способность до 100 Мб/с. Оптоволоконный кабель широко применяется как для построения локальных связей, так и для образования магистралей глобальных сетей. Оптоволоконный кабель может обеспечить очень высокую пропускную способность канала (до нескольких Гб/с) и передачу на значительные расстояния (до нескольких десятков километров без промежуточного усиления сигнала).

В качестве среды передачи данных в вычислительных сетях используются также электромагнитные волны различных частот - КВ, УКВ, СВЧ. Однако, пока в локальных сетях радиосвязь используется только в тех случаях, когда оказывается невозможной прокладка кабеля, например, в зданиях, являющихся памятниками архитектуры. Это объясняется прежде всего недостаточной надежностью сетевых технологий, построенных на использовании электромагнитного излучения.

Кабель на основе скрученных пар (витая пара, TP)

Витая пара (Twisted Pair — TP) состоит из четырех пар цельных или витых изолированных проводников. Из них используются только две пары — одна для приема, другая для передачи данных. При использовании защитной экранизации кабеля он маркируется как STP (Shielded TP), без экранизации — как UTP (Unshielded TP). Есть несколько различных категорий этого вида кабелей, для прокладки 100-мегабитных сетей рекомендуется использовать кабели категорий 5 и 5е.

Скорость передачи данных при использовании сетевых интерфейсов (сетевых карт) типа 10Base-T составляет 10 Мбит/с, а для 100Base-TX — 100 Мбит/с.

Максимальная длина сегмента сети на витой паре без повторителей 100 м. Используя витую пару, можно соединить два компьютера напрямую, без дополнительных сетевых устройств. Для этого используется кабель, в котором перекрестно соединены пары передающих и принимающих контактов сетевых интерфейсов.

Коаксиальный кабель

Состоит из центрального проводника (сплошного или многожильного), покрытого слоем полимерного изолятора, поверх которого расположен другой проводник (экран). Экран представляет собой оплетку из медного провода вокруг изолятора или обернутую вокруг изолятора фольгу. В высококачественных кабелях присутствуют и оплетка и фольга. Коаксиальный кабель обеспечивает более высокую помехоустойчивость по сравнению с витой парой, но он дороже. Существуют различные виды коаксиальных кабелей. При установке сети следует выбирать кабель в точном соответствии со спецификацией.

Оптический кабель

Состоит из одного или нескольких "кварцевых волокон (иногда полимерных), покрытых защитной оболочкой. Оболочка, как правило, состоит из нескольких слоев для обеспечения лучшей защиты волокон.

Коннекторы (соединители) для подключения кабелей к компьютеру; разъёмы для соединения отрезков кабеля. К разъёмам адаптеров подключается сетевой кабель.

Трансиверы повышают уровень качества передачи данных по кабелю, отвечают за приём сигналов из сети и обнаружение конфликтов.

Хабы (концентраторы) и коммутирующие хабы (коммутаторы) расширяют топологические, функциональные и скоростные возможности компьютерных сетей. Хаб с набором разнотипных портов позволяет объединять сегменты сетей с различными кабельными системами. К порту хаба можно подключать как отдельный узел сети, так и другой хаб или сегмент кабеля.

Повторители (репитеры) усиливают сигналы, передаваемые по кабелю при его большой длине.



Рисунок 12 - Повторитель

Классификация компьютерных сетей по степени географического распространения

По степени географического распространения сети делятся на локальные, городские, корпоративные, глобальные и др.

Локальная сеть (ЛВС или LAN — Local Area NetWork) — сеть, связывающая ряд компьютеров в зоне, ограниченной пределами одной комнаты, здания или предприятия.

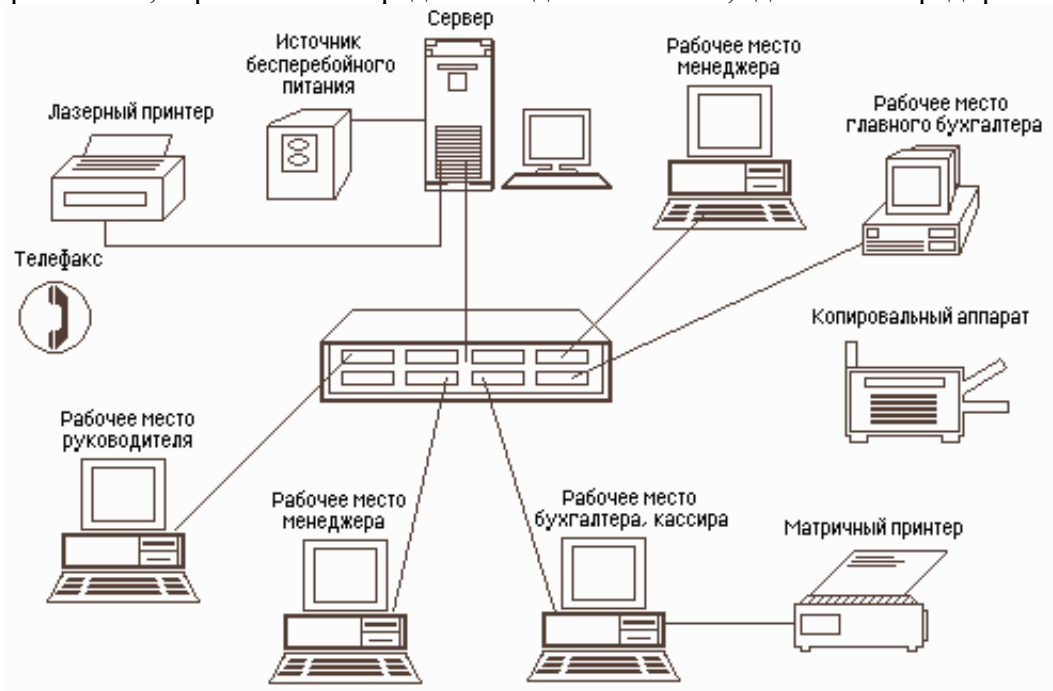


Рисунок 12 - Небольшая офисная локальная сеть

Глобальная сеть (ГВС или WAN — World Area NetWork) — сеть, соединяющая компьютеры, удалённые географически на большие расстояния друг от друга. Отличается от локальной сети более протяженными коммуникациями (спутниковыми, кабельными и др.). Глобальная сеть объединяет локальные сети.

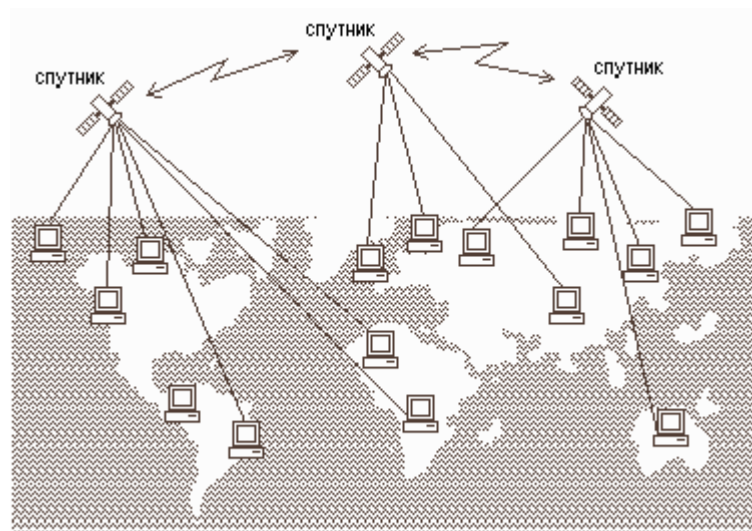


Рисунок 13 - Глобальная сеть

Городская сеть (MAN — Metropolitan Area NetWork) — сеть, которая обслуживает информационные потребности большого города.

Соединение между собой локальных сетей

Для соединения локальных сетей используются следующие устройства, которые различаются между собой по назначению и возможностям:

Мост (англ. Bridge) — связывает две локальные сети. Передаёт данные между сетями в пакетном виде, не производя в них никаких изменений. Ниже на рисунке показаны три локальные сети, соединённые двумя мостами.

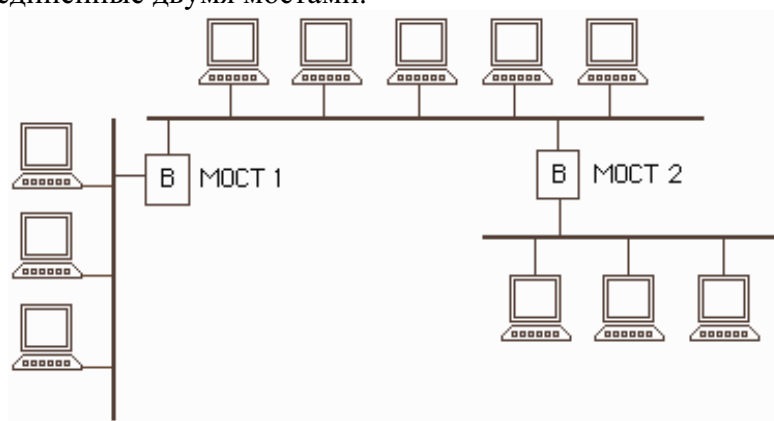


Рисунок 14 - Соединение локальных сетей посредством мостов

Здесь мосты создали расширенную сеть, которая обеспечивает своим пользователям доступ к прежде недоступным ресурсам. Кроме этого, мосты могут фильтровать пакеты, охраняя всю сеть от локальных потоков данных и пропуская наружу только те данные, которые предназначены для других сегментов сети.

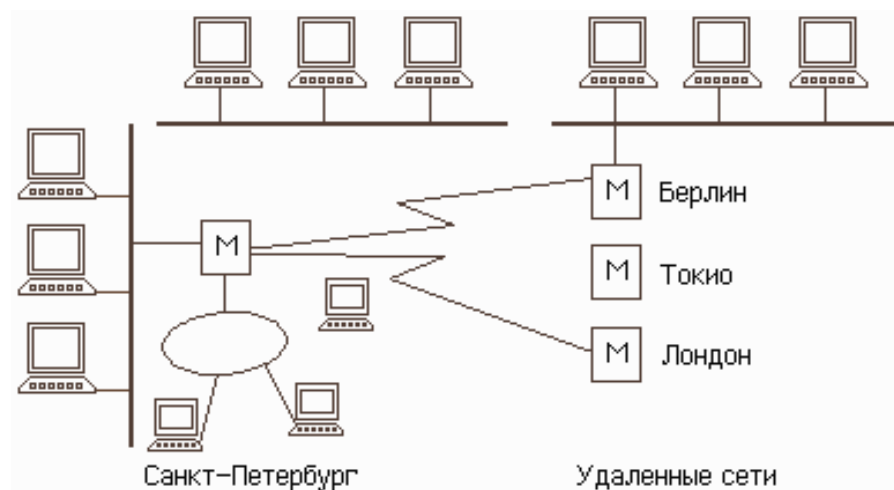


Рисунок 15 – Расширенная сеть

Маршрутизатор (англ. Router) объединяет сети с общим протоколом более эффективно, чем мост. Он позволяет, например, расщеплять большие сообщения на более мелкие куски, обеспечивая тем самым взаимодействие локальных сетей с разным размером пакета.

Маршрутизатор может пересылать пакеты на конкретный адрес (мосты только отфильтровывают ненужные пакеты), выбирать лучший путь для прохождения пакета и многое другое. Чем сложнее и больше сеть, тем больше выгода от использования маршрутизаторов.

Мостовой маршрутизатор (англ. Brouter) — это гибрид моста и маршрутизатора, который сначала пытается выполнить маршрутизацию, где это только возможно, а затем, в случае неудачи, переходит в режим моста.

Шлюз (англ. GateWay), в отличие от моста, применяется в случаях, когда соединяемые сети имеют различные сетевые протоколы. Поступившее в шлюз сообщение от одной сети преобразуется в другое сообщение, соответствующее требованиям следующей сети. Таким образом, шлюзы не просто соединяют сети, а позволяют им работать как единая сеть. С помощью шлюзов также локальные сети подсоединяются к мейнфреймам — универсальным мощным компьютерам.

Работа беспроводных сетей

Беспроводные сети используются там, где прокладка кабелей затруднена, нецелесообразна или просто невозможна. Например, в исторических зданиях, промышленных помещениях с металлическим или железобетонным полом, в офисах, полученных в краткосрочную аренду, на складах, выставках, конференциях и т.п.

В этих случаях сеть реализуется при помощи сетевых радио-адаптеров, снабжённых всенаправленными антеннами и использующих в качестве среды передачи информации радиоволны. Такая сеть реализуется топологией “Все-Со-Всеми” и работоспособна при дальности 50–200 м.

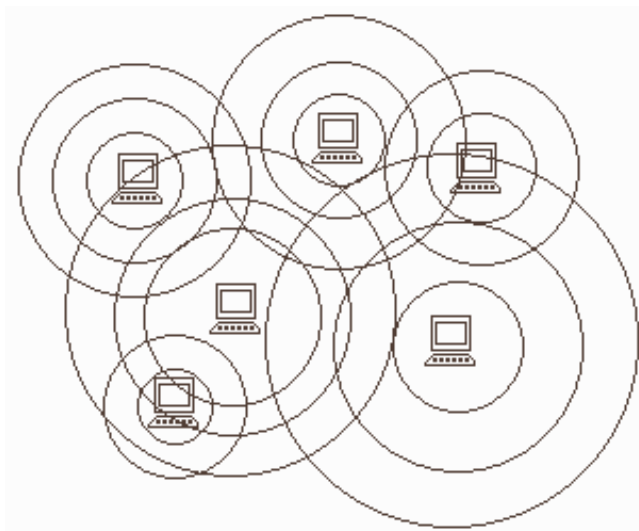


Рисунок 17 - Топология "Все-Со-Всеми"

Для связи между беспроводной и кабельной частями сети используется специальное устройство, называемое **точкой входа** (или **радиомостом**). Можно использовать и обычный компьютер, в котором установлены два сетевых адаптера — беспроводной и кабельный.

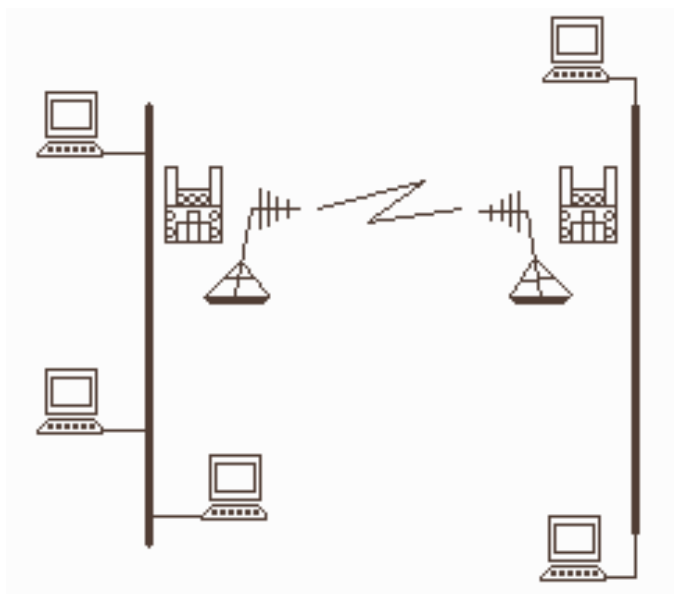


Рисунок 18 - Топология "точка-точка"

Другой важной областью применения беспроводных сетей является организация связи между удалёнными сегментами локальных сетей при отсутствии инфраструктуры передачи данных (кабельных сетей общего доступа, высококачественных телефонных линий и др.), что типично для нашей страны. В этом случае для наведения беспроводных мостов между двумя удалёнными сегментами используются радиомосты с антенной направленного типа.

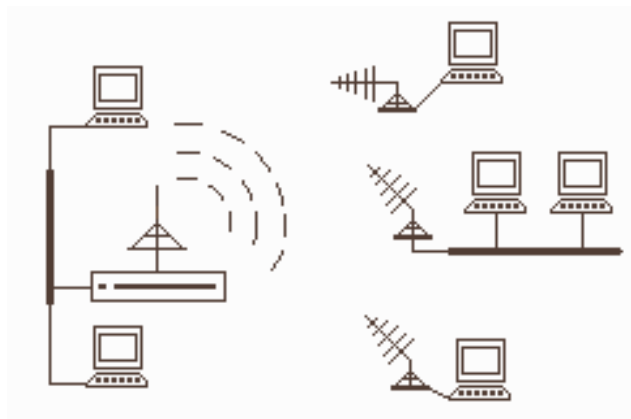


Рисунок 19 -Топология типа "звезда"

Если в сеть нужно объединить несколько сегментов, то используется топология типа “звезда”. При этом в центральном узле устанавливается всенаправленная антенна, а удалённых узлах — направленные. Сети звездообразной топологии могут образовывать сети разнообразной конфигурации.

Сетевая магистраль с беспроводным доступом позволяет отказаться от использования медленных модемов.

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 26) Персональный компьютер – не менее 1-го на двух обучающихся.
- 27) Учебные системные блоки ПЭВМ.
- 28) Компьютерный класс соединенный локальной сетью.
- 29) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Составить монтажную схему полносвязного соединения 4-х ПЭВМ.
- 2) Составить монтажную схему соединения 4-х ПЭВМ по топологии «кольцо».
- 3) Составить монтажную схему соединения 4-х ПЭВМ по топологии «звезда».
- 4) Составить монтажную схему соединения 4-х ПЭВМ по топологии «общая шина».
- 5) Составить блок-схему сетевого интерфейсного адаптера.
- 6) Составить алгоритм работы сетевого интерфейсного адаптера.
- 7) Составить монтажную схему соединения 2-х ПЭВМ через повторитель.
- 8) Составить монтажную схему соединения 2-х ПЭВМ через концентратор и коммутатор.
- 9) Составить блок-схему локальной сети компьютерной аудитории.
- 10) Составить блок-схему локальной сети компьютерной аудитории с выходом в глобальную сеть через мостовой маршрутизатор.
- 11) Составить блок-схему беспроводной локальной сети компьютерной аудитории с помощью Wi-Fi маршрутизатора.

Повышенный уровень:

- 12) Выполнить работы по монтажу витой пары и подключению ее к компьютеру и маршрутизатору.
- 13) Выполнить работы по организации связи между 2-мя ПЭВМ с помощью витой пары.
- 14) Выполнить работы по установке сетевой карты в учебный системный блок ПЭВМ.
- 15) Выполнить работы по замене сетевой карты в учебном системном блоке ПЭВМ

с установкой нового драйвера.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

Практическое занятие № 9.

Тема 9. СОВРЕМЕННЫЕ ТЕНДЕНЦИИ РАЗВИТИЯ АРХИТЕКТУРЫ КОМПЬЮТЕРА

Время – 3 часа.

Формируемые компетенции: ОПК-2

УЧЕБНЫЕ ВОПРОСЫ:

3. Многопроцессорные вычислительные системы.

СОДЕРЖАНИЕ ЗАНЯТИЯ

В настоящее время тенденция в развитии микропроцессоров и систем, построенных на их основе, направлена на все большее повышение их производительности. Вычислительные возможности любой системы достигают своей наивысшей производительности благодаря двум факторам:

использованию высокоскоростных элементов и параллельному выполнению большого числа операций. Направления, связанные с повышением производительности отдельных микропроцессоров, мы рассматривали в предыдущих лекциях, а в этой лекции остановимся на вопросах распараллеливания обработки информации.

Существует несколько вариантов классификации систем параллельной обработки данных. По-видимому, самой ранней и наиболее известной является классификация архитектур вычислительных систем, предложенная в 1966 году М. Флинном. Классификация базируется на понятии потока, под которым понимается последовательность элементов, команд или данных, обрабатываемая процессором. На основе числа потоков команд и потоков данных выделяются четыре класса архитектур: SISD, MISD, SIMD, MIMD.

SISD (sINgleINsTRuctionsTReam / sINgledatasTReam) - одиночный поток команд и одиночный поток данных. К этому классу относятся прежде всего классические последовательные машины, или, иначе, машины фон-неймановского типа. В таких машинах есть только один поток команд, все команды обрабатываются последовательно друг за другом и каждая команда инициирует одну операцию с одним потоком данных. Не имеет значения тот факт, что для увеличения скорости обработки команд и скорости выполнения арифметических операций процессор может использовать конвейерную обработку. В таком понимании машины данного класса фактически не относятся к параллельным системам.

SIMD (sINgleINsTRuctionsTReam / multiPledatasTReam) - одиночный поток команд и множественный поток данных. Применительно к одному микропроцессору этот подход реализован в MMX- и SSE- расширениях современных микропроцессоров.

Микропроцессорные системы типа SIMD состоят из большого числа идентичных процессорных элементов, имеющих собственную память. Все процессорные элементы в такой машине выполняют одну и ту же программу. Это позволяет выполнять одну арифметическую операцию сразу над многими данными - элементами вектора. Очевидно, что такая система, составленная из большого числа процессоров, может обеспечить существенное повышение производительности только на тех задачах, при решении которых все процессоры могут делать одну и ту же работу.

MISD (multiPeINsTRuctionsTReam / sINgledatasTReam) - множественный поток команд и одиночный поток данных. Определение подразумевает наличие в архитектуре многих процессоров, обрабатывающих один и тот же поток данных. Ряд исследователей к данному классу относят конвейерные машины.

MIMD (multiPeINsTRuctionsTReam / multiPledatasTReam) - множественный поток команд и множественный поток данных. Базовой моделью вычислений в этом случае является совокупность независимых процессов, эпизодически обращающихся к разделяемым данным. В такой системе каждый процессорный элемент выполняет свою программу достаточно независимо от других процессорных элементов. Архитектура MIMD дает большую гибкость: при наличии адекватной поддержки со стороны аппаратных средств и программного обеспечения MIMD может работать как однопользовательская система, обеспечивая высокопроизводительную обработку данных для одной прикладной задачи, как многопрограммная машина, выполняющая множество задач параллельно, и как некоторая комбинация этих возможностей. К тому же архитектура MIMD может использовать все преимущества современной микропроцессорной технологии на основе строгого учета соотношения стоимость/производительность. В действительности практически все современные многопроцессорные системы строятся на тех же микропроцессорах, которые можно найти в персональных компьютерах, рабочих станциях и небольших однопроцессорных серверах.

Как и любая другая, приведенная выше классификация несовершенна: существуют машины, прямо в нее не попадающие, имеются также важные признаки, которые в этой классификации не учтены. Рассмотрим классификацию многопроцессорных и многомашинных систем на основе другого признака - степени разделения вычислительных ресурсов системы.

В этом случае выделяют следующие 4 класса систем:

- системы с симметричной мультипроцессорной обработкой (symmeTRicmultIProcessINg), или SMP-системы;
- системы, построенные по технологии неоднородного доступа к памяти (non-unIFORMmemoryaccess), или NUMA-системы;
- кластеры;
- системы вычислений с массовым параллелизмом (massivelyparallelprocessor), или MPP-системы.

Самым высоким уровнем интеграции ресурсов обладает система с симметричной мультипроцессорной обработкой, или **SMP-система**.

В этой архитектуре все процессоры имеют равноправный доступ ко всему пространству оперативной памяти и ввода/вывода. Поэтому SMP-архитектура называется симметричной. Ее интерфейсы доступа к пространству ввода/вывода и ОП, система управления кэш-памятью, системное ПО и т. п. построены таким образом, чтобы обеспечить согласованный доступ к разделяемым ресурсам. Соответствующие механизмы блокировки заложены и в шинном интерфейсе, и в компонентах операционной системы, и при построении кэша.



Рис. 1. Система с симметричной мультипроцессорной обработкой

С точки зрения прикладной задачи, **SMP-система** представляет собой единый вычислительный комплекс с вычислительными ресурсами, пропорциональными количеству процессоров. Распараллеливание вычислений обеспечивается операционной системой, установленной на одном из процессоров. Вся система работает под управлением единой ОС (обычно UNIX-подобной, но для Intel-платформ поддерживается WINdows NT).

ОС автоматически в процессе работы распределяет процессы по процессорным ядрам, оптимизируя использование ресурсов. Ядра задействуются равномерно, и прикладные программы могут выполняться параллельно на всем множестве ядер. При этом достигается максимальное быстродействие системы. Важно, что для синхронизации приложений вместо сложных механизмов и протоколов межпроцессорной коммуникации применяются стандартные функции ОС. Таким образом, проще реализовать проекты с распараллеливанием программных потоков. Общая для совокупности ядер ОС позволяет с помощью служебных инструментов собирать статистику, единую для всей архитектуры. Соответственно, можно облегчить отладку и оптимизацию приложений на этапе разработки или масштабирования для других форм многопроцессорной обработки.

В общем случае приложение, написанное для однопроцессорной системы, не требует модификации при его переносе в мультипроцессорную среду. Однако для оптимальной работы программы или частей ОС они переписываются специально для работы в мультипроцессорной среде.

Сравнительно небольшое количество процессоров в таких машинах позволяет иметь одну централизованную общую память и объединить процессоры и память с помощью одной шины.

Сдерживающим фактором в подобных системах является пропускная способность магистрали, что приводит к их плохой масштабируемости. Причиной этого является то, что в каждый момент времени шина способна обрабатывать только одну транзакцию, вследствие чего возникают проблемы разрешения конфликтов при одновременном обращении нескольких процессоров к одним и тем же областям общей физической памяти. Вычислительные элементы начинают мешать друг другу. Когда произойдет такой конфликт, зависит от скорости связи и от количества вычислительных элементов. Кроме того, системная шина имеет ограниченное число слотов. Все это очевидно препятствует увеличению производительности при увеличении числа процессоров. В реальных системах можно задействовать не более 32 процессоров.

В современных микропроцессорах поддержка построения мультипроцессорной

системы закладывается на уровне аппаратной реализации МП, что делает многопроцессорные системы сравнительно недорогими.

Так, для обеспечения возможности работы на общую магистраль каждый микропроцессор фирмы Intel начиная с PentiumPro имеет встроенную поддержку двухразрядного идентификатора процессора - APIC (Advanced Programmable Interrupt Controller). По умолчанию CPU с самым высоким номером идентификатора становится процессором начальной загрузки. Такая идентификация облегчает арбитраж шины данных в **SMP-системе**. Подобные средства мы видели и в МП Power4, где на аппаратном уровне поддерживается создание микросхемного модуля MCM из 4 микропроцессоров, включающего в совокупности 8 процессорных ядер.

Сегодня SMP широко применяют в многопроцессорных суперкомпьютерах и серверных приложениях. Однако если необходимо детерминированное исполнение программ в реальном масштабе времени, например, при визуализации мультимедийных данных, возможности сугубо симметричной обработки весьма ограничены. Может возникнуть ситуация, когда приложения, выполняемые на различных ядрах, обращаются к одному ресурсу ОС. В этом случае доступ получит только одно из ядер.

Остальные будут простаивать до высвобождения критической области.

Естественно, при этом резко снижается производительность приложений реального времени.

Исчерпание производительности системной шины в **SMP-системах** при доступе большого числа процессоров к общему пространству оперативной памяти и принципиальные ограничения шинной технологии стали причиной сдерживания роста производительности **SMP-систем**. На данный момент эта проблема получила два решения. Первое - замена системной шины на высокопроизводительный коммутатор, обеспечивающий одновременный неблокирующий доступ к различным участкам памяти. Второе решение предлагает **технология NUMA**.

Система, построенная по **технологии NUMA**, представляет собой набор узлов, каждый из которых, по сути, является функционально законченным однопроцессорным или SMP-компьютером. Каждый имеет свое локальное пространство оперативной памяти и ввода/вывода. Но с помощью специальной логики каждый имеет доступ к пространству оперативной памяти и ввода/вывода любого другого узла (рис. 2). Физически отдельные устройства памяти могут адресоваться как логически единое адресное пространство - это означает, что любой процессор может выполнять обращения к любым ячейкам памяти, в предположении, что он имеет соответствующие права доступа. Поэтому иногда такие системы называются системами с распределенной разделяемой памятью (DSM - distributed shared memory).

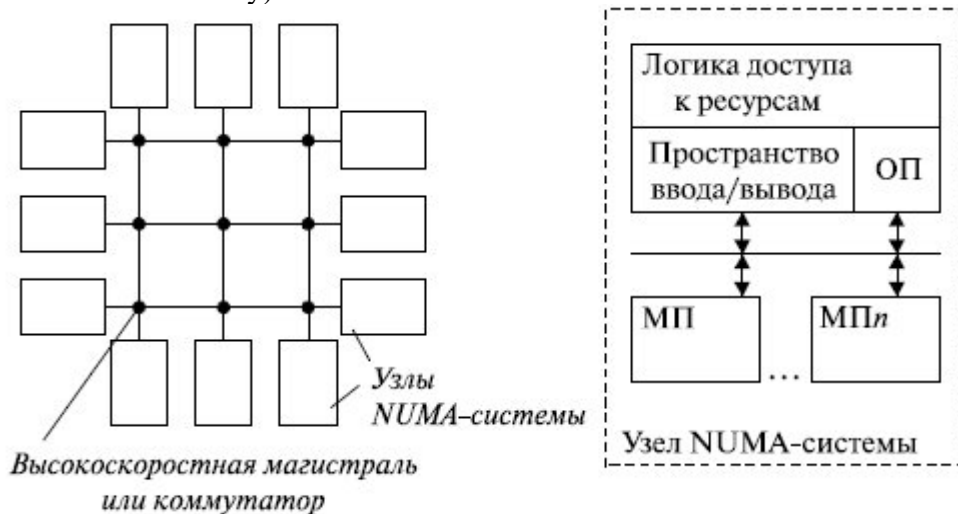


Рис. 2. Система, построенная по технологии неоднородного доступа к памяти

При такой организации память каждого узла системы имеет свою адресацию в адресном пространстве всей системы. Логика доступа к ресурсам определяет, к памяти какого узла относится выработанный процессором адрес. Если он не принадлежит памяти данного узла, организуется обращение к другому узлу согласно заложенной в логике доступа карте адресов. При этом доступ к локальной памяти осуществляется в несколько раз быстрее, чем к удаленной.

При использовании наиболее распространенного сейчас варианта **cc-NUMA** (**cache-coherentNUMA** - неоднородный доступ к памяти с согласованием содержимого кэш-памяти) обеспечивается кэширование данных оперативной памяти других узлов.

Обычно вся система работает под управлением единой ОС, как в **SMP**. Возможны также варианты динамического разделения системы, когда отдельные разделы системы работают под управлением разных ОС.

Довольно большое время доступа к оперативной памяти соседних узлов по сравнению с доступом к ОП своего узла в **NUMA-системах** на настоящий момент делает такое использование не вполне оптимальным.

Так что полной функциональностью **SMP-системNUMA-компьютеры** на сегодняшний день не обладают. Однако среди систем общего назначения **NUMA-системы** имеют один из наиболее высоких показателей по масштабируемости и, соответственно, по производительности. На сегодня максимальное число процессоров в **cc-NUMA-системах** может превышать 1000 (серия **OrigIN3000**). Один из наиболее производительных суперкомпьютеров - **Tera 10** - имеет производительностью 60 Тфлопс и состоит из 544 **SMP-узлов**, в каждом из которых находится от 8 до 16 процессоров **Itanium 2**.

Следующим уровнем в иерархии параллельных систем являются комплексы, также состоящие из отдельных машин, но лишь частично разделяющие некоторые ресурсы. Речь идет о **кластерах**.

Кластер представляет собой систему из нескольких компьютеров (в большинстве случаев серийно выпускаемых), имеющих общий разделяемый ресурс для хранения совместно обрабатываемых данных (обычно набор дисков или дисковых массивов) и объединенных высокоскоростной магистралью (рис.3).

В кластерной системе некоторое распределенное приложение параллельно на нескольких узлах обрабатывает общий набор данных, как правило, таким образом, чтобы у пользователя возникла иллюзия работы на одной машине.

Обычно в кластерных системах не обеспечивается единая операционная среда для работы общего набора приложений на всех узлах кластера. То есть каждый компьютер кластера - это автономная система с отдельным экземпляром ОС и своими, принадлежащими только ей системными ресурсами: набором заведенных пользователей, системными буферами, областью свопинга и т. п. Приложение, запущенное на нем, может видеть только общие диски или отдельные участки памяти. На узлах кластера работают специально написанные для такой конфигурации приложения, параллельно обрабатывающие общий набор данных. На каждой из машин они представлены рядом процессов, программ, взаимодействующих с помощью кластерного программного обеспечения. Таким образом, кластерное ПО - это лишь средство для взаимодействия узлов и синхронизации доступа к общим данным. Кластер как параллельная система формируется на прикладном уровне, а не на уровне операционной системы.

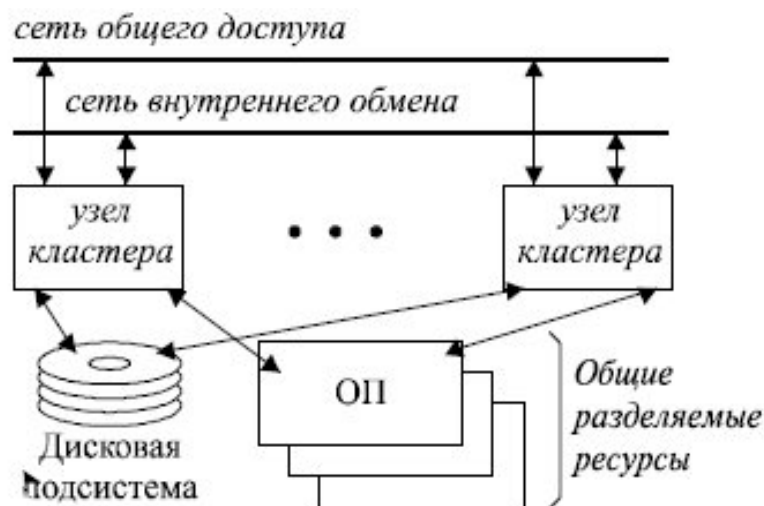


Рис. 3. Структура кластера

В настоящее время такие системы имеют две основные области применения: параллельные серверы баз данных и высоконадежные вычислительные комплексы. Рынок параллельных СУБД и есть фактически рынок кластеров приложений. Высоконадежные комплексы представляют собой группу узлов, на которых независимо друг от друга выполняются некоторые важные приложения, требующие постоянной, непрерывной работы. То есть в такой системе на аппаратном уровне фактически поддерживается основной механизм повышения надежности - резервирование. Причем узлы находятся в так называемом "горячем" резерве, и каждый из них в любой момент готов продолжить вычисления при выходе из строя какого-либо узла. При этом все приложения с отказавшего узла автоматически переносятся на другие машины комплекса. Такая система также формально является кластером, хотя в ней отсутствует параллельная обработка общих данных. Эти данные обычно монополично используются выполняемыми в рамках кластера приложениями и должны быть доступны для всех узлов.

Если в кластере его узлы разделяют некоторые ресурсы, то параллельные системы другого класса - **системы вычислений с массовым параллелизмом (МРР)** - строятся из отдельных полностью независимых компьютеров, соединенных только высокоскоростной магистралью или коммуникационными каналами (рис. 4). Это могут быть либо просто несколько серийно выпускаемых UNIX-машин, соединенных с помощью высокопроизводительной сетевой среды, либо специально сконструированная система из отдельных функциональных блоков, объединенных коммутатором.

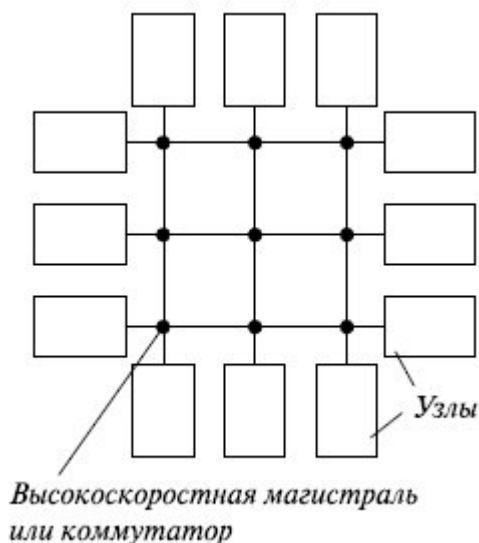


Рис. 4. Структура МРР-системы

В такой системе адресное пространство состоит из отдельных адресных пространств, которые логически не связаны между собой и доступ к которым не может быть осуществлен аппаратно другим процессором.

При этом для обмена данными используется механизм передачи сообщений между процессорами. Поэтому эти машины часто называют машинами с передачей сообщений. Пользователь может определить логический номер процессора, к которому он подключен, и организовать обмен сообщениями с другими процессорами.

На машинах MPP-архитектуры используются два варианта работы операционной системы. В одном из них полноценная операционная система работает только на управляющей машине (front-end); на каждом отдельном модуле функционирует сильно урезанный вариант ОС, обеспечивающий работу только расположенной в нем ветви параллельного приложения. Во втором варианте на каждом модуле работает полноценная, как правило, UNIX-подобная ОС, устанавливаемая отдельно.

Программирование в такой системе - достаточно сложная задача.

Она требует специального инструментария и особого системного программного обеспечения для работы параллельных приложений, которые ориентированы на функционирование параллельных процессов, распределенных по узлам MPP-системы, с обменом сообщениями между ними.

Повышение производительности машин с массовым параллелизмом путем увеличения в них числа процессоров имеет определенные ограничения. Чем большее число процессоров входит в состав MPP-системы, тем длиннее каналы передачи управления и данных, а значит, и тем меньше тактовая частота. Происшедшее возрастание нормы массивности для больших машин до 512 и даже 64K процессоров обусловлено не ростом размеров машины, а увеличением степени интеграции схем, позволившей за последние годы резко повысить плотность размещения элементов в устройствах. Топология сети межпроцессорного обмена в такого рода системах может быть различной.

Главным преимуществом MPP-систем является их хорошая масштабируемость: в отличие от SMP-систем, здесь каждый процессор имеет доступ только к своей локальной памяти, в связи с чем не возникает необходимости в потактовой синхронизации процессоров. Практически все рекорды по производительности на сегодня устанавливаются на машинах именно такой архитектуры, состоящих из нескольких тысяч процессоров.

Основными недостатками систем данного типа являются следующие:

- отсутствие общей памяти заметно снижает скорость межпроцессорного обмена, поскольку нет общей среды для хранения данных, предназначенных для обмена между процессорами;
- требуется специальная техника программирования для реализации обмена сообщениями между процессорами;
- каждый процессор может использовать только ограниченный объем локального банка памяти;
- вследствие указанных архитектурных недостатков требуются значительные усилия для того, чтобы максимально задействовать системные ресурсы, следствием чего является высокая цена программного обеспечения для MPP-систем с раздельной памятью.

Подведем некоторые итоги, касающиеся областей применимости систем параллельной обработки данных различных типов.

SMP-системы потенциально обладают достаточными возможностями для обеспечения необходимой для большинства применений производительности: вполне естественно увеличивать число процессоров, а не ставить рядом еще один компьютер. Добавление одного процессора гарантированно увеличивает производительность, а добавление, например, узла в кластер адекватного ускорения не даст. Более того, в некоторых случаях общая производительность системы может даже упасть, когда узлы

кластера начинают активно конкурировать за доступ к общим ресурсам, и взаимные блокировки сводят на нет преимущества параллельной обработки.

NUMA-системы создаются для вполне определенных целей - обеспечения масштабных расчетов. Системы, использующие эту архитектуру, прежде всего применяются для уникальных высококачественных и высокопроизводительных прикладных программ, требующих более восьми процессоров. Однако они имеют высокую стоимость и требуют уникального ПО (прикладные программы и ОС).

Для современных систем помимо вполне традиционных требований по производительности, масштабируемости, цене дополнительные высокие требования предъявляются к надежности их работы. Именно по этим соображениям вычислительные комплексы на основе кластеров или MPP-машин завоевывают все большую популярность.

MPP-системы обладают рядом преимуществ, главным из которых является лучшая среди всех рассмотренных архитектур масштабируемость. Именно поэтому MPP-компьютеры обычно используются при больших ресурсоемких вычислениях. Конечно, они применяются и при построении больших баз данных, и в отказоустойчивых вычислительных комплексах. Но здесь их использование довольно ограничено. Это отчасти связано с тем, что они все-таки дороже кластеров и имеют достаточно большую начальную цену. Кластер же можно построить из относительно дешевых машин произвольной конфигурации.

Приведенная классификация систем параллельной обработки данных достаточно условна. Разработчики вычислительных систем не проектируют машину какого-то специального класса, а стараются создать более производительную архитектуру. Кроме этого, сам пользователь может с использованием стандартных компонентов спроектировать комплекс, архитектурно и функционально наиболее подходящий для решения конкретной задачи.

Транспьютеры

Для построения многопроцессорных систем могут быть использованы специально разработанные процессоры, называемые транспьютерами. Они были созданы в середине 1980-х годов фирмой INMOS Ltd (ныне - подразделение STMicroelectronics).

Транспьютер - это микропроцессор со встроенными средствами межпроцессорной коммуникации, предназначенной для построения многопроцессорных систем. Его название происходит от слов TRansfer (передатчик) и computer (вычислитель).

Транспьютер включает в себя средства для выполнения вычислений (ЦП, АЛУ с плавающей точкой, внутрикристальную память) и 4 канала для связи (линка) с другими транспьютерами и/или другими устройствами. Каждый линк представляет собой 2 однонаправленных последовательных канала передачи информации. Встроенный интерфейс позволяет подключать внешнюю память емкостью до 4 Гбайт (рис. 5).

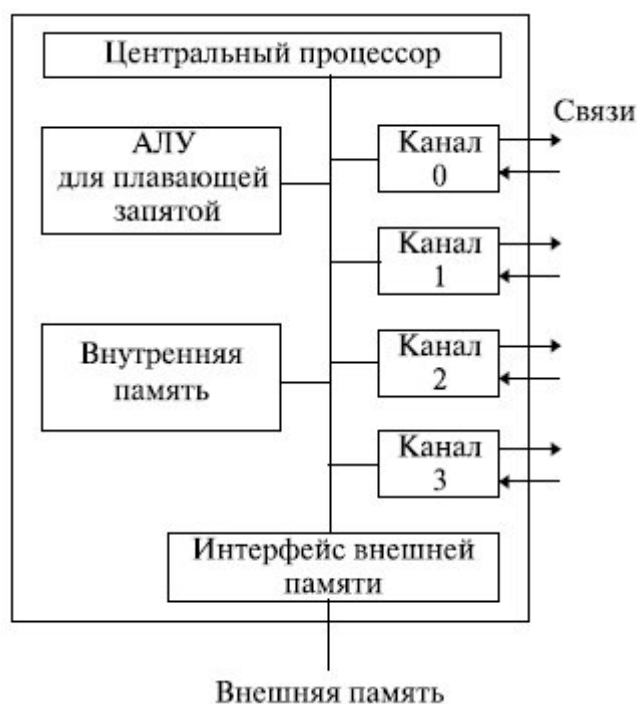


Рис. 5. Структура транспьютера

Многопроцессорная система может создаваться из набора транспьютеров, которые функционируют независимо и взаимодействуют через последовательные каналы связи (рис. 6).

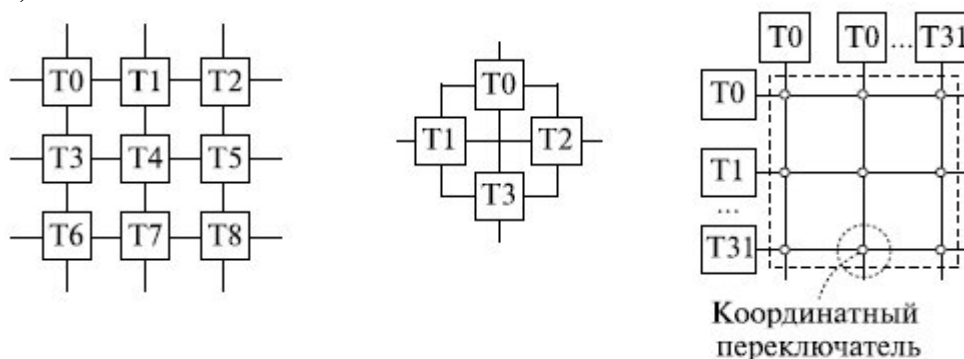


Рис. 6. Структуры многопроцессорных систем на базе транспьютеров

Организация транспьютеров и многопроцессорных систем на их основе базируется на языке Оссам, специально разработанном в начале 1980-х годов группой ученых из Оксфорда под руководством Дэвида Мэяпо заданию компании INMOS в рамках работ по созданию транспьютеров. Отметим основные характеристики этого языка с точки зрения его применения для программирования транспьютерных систем:

- выполнение задачи разбивается на процессы, которые могут выполняться параллельно;
- размещение процессов не привязано к конкретному оборудованию: необязательно каждому процессу должен ставиться в соответствие свой транспьютер - несколько процессов могут выполняться на одном транспьютере;
- язык позволяет описать размещение процессов по оборудованию;
- язык позволяет описать, как эти процессы обмениваются между собой данными (какой процесс принимает информацию, от какого процесса и в каком объеме).

При передаче данных в линк процесс должен исполнить команду вывода. Процесс, исполнивший такую команду, задерживается до тех пор, пока все данные не будут переданы. Аналогично, при приеме данных из линка процесс должен исполнить команду

ввода. При исполнении такой команды процесс блокируется до тех пор, пока буфер не будет заполнен данными. Взаимодействие с внешним устройством через линк позволяет транспьютеру синхронизовать свою деятельность с этими устройствами без использования механизма прерываний.

Использование такого подхода позволило организовать виртуальные каналы связи между процессами, которые могли размещаться как на единственном транспьютере, так и на нескольких транспьютерах, и виртуальные линки между процессами. Любой транспьютер может одновременно образовывать любое число параллельных процессов. Он имеет специальный планировщик, который производит распределение процессорного времени между этими процессами. Тем самым появляется возможность, имея всего лишь один транспьютер, написать параллельную программу, которая полностью выполняется на нем. Задача разбивается на ряд процессов, и все эти процессы параллельно протекают внутри одного транспьютера, периодически останавливаясь для получения данных друг от друга. Систему можно расширить другими транспьютерами и перенести на них ряд процессов. При этом нужно просто переопределить таблицу связей процессов, указав, на каком транспьютере теперь выполняется тот или иной процесс. Сама же программа изменений не претерпевает, а вычислительная мощность системы, естественно, увеличивается.

Помимо интересных возможностей, связанных с построением мультипроцессорных систем без привлечения дополнительного оборудования, в транспьютерах были реализованы идеи, направленные на повышение их вычислительной мощности. Среди них хотелось бы отметить то, что блок регистров транспьютера организован в виде стека. Это привело к использованию преимущественно безадресной системы команд, что обеспечило даже более высокую производительность, чем RISC-архитектура. Второй момент, который следует выделить, - это одновременное исполнение группы, в которую входило до 8 команд, что обеспечивало полную загрузку устройств процессора. И все это было реализовано в конце 1980-х годов, задолго до появления EPIC и Itanium.

На момент своего появления транспьютеры были самыми быстродействующими 32-разрядными микропроцессорами. В процессе своего недолгого развития их характеристики достигли следующих значений:

- производительность: 200 MIPS, 25 MFLOPS (на 64-разрядном процессоре с плавающей точкой);
- емкость внутрикристалльной памяти: 16 Кбайт;
- скорость обмена по линку: 100 Мбит/с.

В середине 1990-х, в эпоху расцвета микропроцессоров этого семейства, фирма INMOS помимо собственно транспьютеров поставляла широкий набор трэмов (TRem - TRansputerExtensionModule) - устройств ввода-вывода с линком в качестве интерфейса. В частности, поставлялись трэмы, позволявшие подключить к транспьютеру через линк адаптеры Ethernet или SCSI. В целях увеличения числа физических связей был разработан программируемый коммутатор, осуществляющий передачу сообщения с любого из 32 входов на любой из 32 выходов.

Транспьютеры успешно использовались в различных областях от встроенных систем до суперЭВМ. Однако технология транспьютеров серьезного развития не получила, так как начиная с PentiumPro в универсальные микропроцессоры введена возможность соединения процессоров в микропроцессорную систему, что обесценило главное преимущество транспьютеров - возможность построения многопроцессорных систем без дополнительных аппаратных затрат. В настоящее время транспьютеры не производятся, они вытеснены похожими разработками конкурентов, особенно TexasINsTRuments (TMS320) и Intel (80860).

Содержание практической работы, выполняемой студентами в ходе занятия

1. Описание лабораторного оборудования:

- 30) Персональный компьютер – не менее 1-го на двух обучающихся.
- 31) Учебные системные блоки ПЭВМ.
- 32) Стенд основных составных частей системного блока.
- 33) Программное обеспечение: операционная система Microsoft Windows XP/7.

2. Практические задания:

Базовый уровень:

- 1) Составить структурную схему многопроцессорной системы архитектуры класса MIMD.
- 2) Составить структурную схему многопроцессорной системы с симметричной мультипроцессорной обработкой (SMP-система).
- 3) Составить структурную схему многопроцессорной системы, построенной по технологии неоднородного доступа к памяти (NUMA).
- 4) Составить структурную схему кластерной многопроцессорной системы.
- 5) Составить структурную схему системы вычислений с массовым параллелизмом (MPP).
- 6) Составить структурную схему транспьютера.
- 7) Составить структурную схему многопроцессорных систем на базе транспьютеров.

3. Содержание отчета о работе

В отчете привести:

- перечень (алгоритм) действий по каждому практическому заданию;
- выводы о проделанной работе.

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

МЕТОДИЧЕСКИЕ РЕКОМЕНДАЦИИ
по организации самостоятельной работы обучающихся
по дисциплине «Аппаратные средства вычислительной техники»
для студентов направления подготовки
10.03.01 Информационная безопасность
Направленность (Профиль) «Организация и технологии защиты информации
(по отрасли или в сфере профессиональной деятельности)»

Ставрополь
2026

СОДЕРЖАНИЕ

Введение	154
1. Общая характеристика самостоятельной работы студента	154
2. Технологическая карта самостоятельной работы студента.....	155
3. Самостоятельное изучение тем лекций.....	181
4. Паспорт фонда оценочных средств для проверки самостоятельной работы	182
5. Список рекомендуемой литературы.....	175

Введение

Целью изучения дисциплины «Аппаратные средства вычислительной техники» является формирование набора общекультурных компетенций будущего бакалавра по направлению подготовки 10.03.01 Информационная безопасность. Формируемые в рамках дисциплины компетенции способствуют углубленной подготовке бакалавров к решению задач профессиональной деятельности с помощью средств вычислительной техники и компьютерных систем, а также приобретение набора общекультурных и общепрофессиональных компетенций будущего бакалавра по направлению подготовки 10.03.01 «Информационная безопасность».

Основными задачами изучения дисциплины являются:

1. Изучить основы обработки и передачи информации по различным каналам. формирование знаний, умений и навыков в области архитектуры ЭВМ и построения компьютерных систем;
2. Совершенствование умений и навыков работы с ПЭВМ как средством управления информацией для решения задач учебной и профессиональной деятельности;

1. Общая характеристика самостоятельной работы студента.

Основными видами учебной работы по достижению результатов освоения дисциплины являются лекции, практические работы и самостоятельная работа студентов (СРС).

На лекциях раскрываются основные положения и понятия курса, формируются знания в области аппаратных средств вычислительной техники. На практических работах формируются умения и навыки, необходимые для решения задач профессиональной деятельности.

Приступая к изучению учебной дисциплины, необходимо ознакомиться с учебной программой, получить в библиотеке рекомендованные учебные пособия, а также получить у ведущего преподавателя в электронном виде конспекты лекций, методические рекомендации к практическим работам и тестовые, завести новую тетрадь для конспектирования лекций и выполнения практических работ.

Для изучения дисциплины предлагается список основной и дополнительной литературы. Основная литература предназначена для обязательного изучения, дополнительная – поможет более глубоко освоить отдельные вопросы, подготовить исследовательские задания и выполнить задания для самостоятельной работы.

В ходе лекционных занятий студент обязан осуществлять конспектирование учебного материала, особое внимание, обращая на категории, формулировки, раскрывающие содержание тех или иных понятий, физических явлений, процессов, эффектов. В рабочих конспектах желательно оставлять поля, на которых следует делать пометки из рекомендованной литературы, дополнять материал прослушанной лекции, формулировать научные выводы и практические рекомендации. Студент имеет право задавать преподавателю уточняющие вопросы с целью уяснения теоретических положений, разрешения спорных ситуаций.

Самостоятельная работа студентов над материалом учебной дисциплины является неотъемлемой частью учебного процесса и должна предполагать углубление знания учебного материала, излагаемого на аудиторных занятиях, и приобретение дополнительных знаний по отдельным вопросам самостоятельно.

Основными видами самостоятельной работы курсантов по учебной дисциплине являются:

- самостоятельное изучение учебного материала по заданным темам;
- подготовка к Практическим занятиям, оформление отчета по выполненному практическому занятию и подготовка к собеседованию по результатам работы.

Основными методами самостоятельной работы студентов являются:

- 1) для овладения знаниями:

- чтение текста (конспекта лекций, учебника, дополнительной литературы) и конспектирование текста;
- работа с нормативными документами;
- поиск информации в Интернет;
- 2) для закрепления и систематизации знаний:
 - работа с конспектом лекции (обработка текста);
 - повторная работа над учебным материалом (учебника, дополнительной литературы, слайдами);
 - составление плана и тезисов ответа или графическое изображение структуры ответа;
 - составление таблиц для систематизации учебного материала;
 - изучение нормативных документов;
 - ответы на контрольные вопросы;
- 3) для формирования умений:
 - подготовка к практическим занятиям;
 - решение задач и практических заданий;
 - подготовка отчетов по практическим занятиям;
 - рефлексивный анализ профессиональных умений.

В случае пропуска учебного занятия студент может воспользоваться содержанием различных блоков учебно-методического комплекса (лекции, практические занятия, контрольные вопросы и тесты) для самоподготовки и освоения темы. Для самоконтроля необходимо использовать вопросы и задания, предлагаемые к практическим занятиям, а также варианты тестовых заданий.

2. Технологическая карта самостоятельной работы студента

Коды реализуемых компетенций, индикатора(ов)	Вид деятельности студентов	Средства и технологии оценки	Объем часов, в том числе		
			СРС	Контактная работа с преподавателем	Всего
4 семестр					
ИД-1 ОПК-2	Подготовка к практическому занятию	Собеседование	7.00	2.00	9.00
ИД-1 ОПК-2	Подготовка к лекции	Конспект	7.00	2.00	9.00
ИД-1 ОПК-2	Подготовка доклада	Доклад	7.00	2.00	9.00
ИД-1 ОПК-2	Самостоятельное изучение литературы	Конспект	7.00	2.00	9.00
Итого за семестр			28.00	8.00	36.00
Итого			28.00	8.00	36.00

3. Порядок выполнения самостоятельной работы

3.1 Методические рекомендации по изучению теоретического материала

Комплексное изучение предлагаемой студентам учебной дисциплины «Аппаратные

средства вычислительной техники» предполагает овладение материалами лекций, учебников, программы, творческую работу студентов в ходе проведения практических занятий, а также систематическое выполнение заданий для самостоятельной работы.

В ходе лекций раскрываются основные вопросы в рамках рассматриваемых тем, делаются акценты на наиболее сложные и интересные положения изучаемого материала, которые должны быть приняты студентами во внимание. Материалы лекций являются основой для подготовки студентов к практическим занятиям.

Работа с конспектом лекций

Просмотрите конспект сразу после занятий. Отметьте материал конспекта лекций, который вызывает затруднения для понимания. Попытайтесь найти ответы на затруднительные вопросы, используя предлагаемую литературу. Если самостоятельно не удалось разобраться в материале, сформулируйте вопросы и обратитесь на текущей консультации или на ближайшей лекции за помощью к преподавателю.

Каждую неделю отводите время для повторения пройденного материала, проверяя свои знания, умения и навыки по контрольным вопросам и тестам.

Выполнение практических занятий по дисциплине «Аппаратные средства вычислительной техники»

На первом занятии получите у преподавателя задания по курсу, планы подготовки к практическим занятиям. Обзаведитесь всем необходимым методическим обеспечением.

Перед практическими занятиями изучите теорию вопроса, предполагаемого к исследованию, ознакомьтесь с опытом других исследователей в этом направлении.

Целью практических занятий является:

- закрепление методов приложения теории к решению практических задач анализа и синтеза психологического знания;
- проверка уровня понимания студентами вопросов, рассмотренных на лекциях и по учебной литературе, степени и качества усвоения материала;
- обучение навыкам освоения методики эксперимента и работы с нормативно-справочной литературой;
- восполнение пробелов в пройденной теоретической части курса и оказание помощи в его усвоении.

3.2 Методические рекомендации по написанию и оформлению доклада

1. Общие положения

1.1. Доклад, как вид самостоятельной работы в учебном процессе, способствует формированию навыков исследовательской работы, расширяет познавательные интересы, учит критически мыслить.

1.2. При написании доклада по заданной теме студент составляет план, подбирает основные источники.

1.3. В процессе работы с источниками систематизирует полученные сведения, делает выводы и обобщения.

1.4. К докладу по крупной теме могут привлекать несколько студентов, между которыми распределяются вопросы выступления.

2. Выбор темы доклада

2.1. Тематика доклада обычно определяется преподавателем, но в определении темы инициативу может проявить и студент.

2.2. Прежде чем выбрать тему доклада, автору необходимо выявить свой интерес, определить, над какой проблемой он хотел бы поработать, более глубоко ее изучить.

3. Этапы работы над докладом

3.1. Формулирование темы, причем она должна быть не только актуальной по своему значению, но и оригинальной, интересной по содержанию.

3.2. Подбор и изучение основных источников по теме (как правильно, при разработке доклада используется не менее 8-10 различных источников).

3.3. Составление списка использованных источников.

3.4. Обработка и систематизация информации

3.5. Разработка плана доклада.

3.6. Написание доклада.

3.7. Публичное выступление с результатами исследования.

4. Структура доклада:

- титульный лист

- оглавление (в нем последовательно излагаются названия пунктов доклада, указываются страницы, с которых начинается каждый пункт);

- введение (формулирует суть исследуемой проблемы, обосновывается выбор темы, определяются ее значимость и актуальность, указываются цель и задачи доклада, дается характеристика используемой литературы);

- основная часть (каждый раздел ее, доказательно раскрывая отдельную проблему или одну из ее сторон, логически является продолжением предыдущего; в основной части могут быть представлены таблицы, графики, схемы);

- заключение (подводятся итоги или дается обобщенный вывод по теме доклада, предлагаются рекомендации);

- список использованных источников

5. Структура и содержание доклада

5.1. Введение - это вступительная часть научно-исследовательской работы. Автор должен приложить все усилия, чтобы в этом небольшом по объему разделе показать актуальность темы, раскрыть практическую значимость ее, определить цели и задачи эксперимента или его фрагмента.

5.2. Основная часть. В ней раскрывается содержание доклада. Как правило, основная часть состоит из теоретического и практического разделов. В теоретическом разделе раскрываются история и теория исследуемой проблемы, дается критический анализ литературы и показываются позиции автора. В практическом разделе излагаются методы, ход, и результаты самостоятельно проведенного эксперимента или фрагмента.

В основной части могут быть также представлены схемы, диаграммы, таблицы, рисунки и т.д.

5.3. В заключении содержатся итоги работы, выводы, к которым пришел автор, и рекомендации. Заключение должно быть кратким, обязательным и соответствовать поставленным задачам.

5.4. Список использованных источников представляет собой перечень использованных книг, статей, фамилии авторов приводятся в алфавитном порядке, при этом все источники даются под общей нумерацией литературы. В исходных данных источника указываются фамилия и инициалы автора, название работы, место и год издания.

5.5. Приложение к докладу оформляются на отдельных листах, причем каждое должно иметь свой тематический заголовок и номер, который пишется в правом верхнем углу, например: «Приложение 1»

6. Требования к оформлению доклада

6.1. Объем доклада может колебаться в пределах 5-15 печатных страниц; все приложения к работе не входят в ее объем.

6.2. Доклад должен быть выполнен грамотно, с соблюдением культуры изложения.

6.3. Обязательно должны иметься ссылки на используемую литературу.

6.4. Должна быть соблюдена последовательность написания библиографического аппарата.

7. Критерии оценки доклада

- актуальность темы исследования;

- соответствие содержания теме;

- глубина проработки материала; правильность и полнота использования источников;
- соответствие оформления доклада стандартам.

По усмотрению преподавателя доклады могут быть представлены на семинарах, научно-практических конференциях, а также использоваться как зачетные работы по пройденным темам.

3.3 Методические рекомендации по конспектированию первоисточников

Изучение и анализ литературных источников является обязательным видом самостоятельной работы студентов. Изучение литературы по избранной теме имеет своей задачей проследить характер постановки и решения определенной проблемы различными авторами, аргументацию их выводов и обобщений, провести анализ и систематизировать полученный материал на основе собственного осмысления с целью выяснения современного состояния вопроса.

Проработка отобранного материала обязательно должна идти с одновременным ведением записей прочитанного и своих замечаний. Запись может иметь как форму конспекта, так и выписок, а также картотеку положений, тезисов, идей, методик, что в дальнейшем облегчит классификацию и систематизацию полученного материала. Такого рода записи являются лучшим способом накопления и первичной обработки материал, одной из обязательных форм организации умственного труда.

Планом удобно пользоваться при подготовке к устному выступлению по выбранной теме. Каждый пункт плана должен раскрывать одну из сторон избранной темы, а весь план должен охватывать ее целиком.

Тезисы предполагают сжатое изложение основных положений текста в форме утверждения или отрицания. Они являются более совершенной формой записей и представляют основу для дискуссии. К тому же их легко запомнить.

Конспектирование – процесс мысленной переработки и письменной фиксации информации, в виде краткого изложения основного содержания, смысла какого-либо текста.

Результат конспектирования – запись, позволяющая конспектирующему немедленно или через некоторый срок с нужной полнотой восстановить полученную информацию. Конспект в переводе с латыни означает «обзор». По существу его и составлять надо как обзор, содержащий основные мысли текста без подробностей и второстепенных деталей. Конспект носит индивидуализированный характер: он рассчитан на самого автора и поэтому может оказаться малопонятным для других.

Для того чтобы осуществлять этот вид работы, в каждом конкретном случае необходимо грамотно решить следующие задачи:

1. Сориентироваться в общей композиции текста (уметь определить вступление, основную часть, заключение).
2. Увидеть логико-смысловую канву сообщения, понять систему изложения автором информации в целом, а также ход развития каждой отдельной мысли.
3. Выявить «ключевые» мысли, т. е. основные смысловые вехи, на которые «нанизано» все содержание текста.
4. Определить детализирующую информацию.
5. Лаконично сформулировать основную информацию, не перенося на письмо все целиком и дословно.

Во всяком научном тексте содержится информация 2-х видов: основная и вспомогательная. Основной является информация, имеющая наиболее существенное значение для раскрытия содержания темы или вопроса. К ней относятся: определения научных понятий, формулировки законов, теоретических принципов и т. д. Назначение вспомогательной информации – помочь читателю лучше усвоить предлагаемый материал. К этому типу информации относятся разного рода комментарии. Основную – записываем

как можно полнее, вспомогательную, как правило, опускаем. Содержание конспектирования составляет переработка основной информации в целях ее обобщения и сокращения. Обобщить – значит представить ее в более общей, схематической форме, в виде тезисов, выводов, отдельных заголовков, изложения основных результатов и т. п. Читая, мы интуитивно используем некоторые слова и фразы в качестве опорных. Такие опорные слова и фразы называются ключевыми. Ключевые слова и фразы несут основную смысловую и эмоциональную нагрузку содержания текста.

Выбор ключевых слов – это первый этап смыслового свертывания, смыслового сжатия материала.

Важными требованиями к конспекту являются наглядность и обозримость записей и такое их расположение, которое давало бы возможность уяснить логические связи и иерархию понятий.

По форме конспекты подразделяются на формализованные и графические.

1. Формализованные (все записи вносятся в заранее подготовленные таблицы).

Это удобно, во-первых, при конспектировании материалов, когда перечень характеристик описываемых предметов или явлений более или менее постоянен, во-вторых, при подготовке единого конспекта по нескольким источникам. Особенно если есть необходимость сравнения отдельных данных. Разновидностью формализованного конспекта является запись, составленная в форме ответов на заранее подготовленные вопросы, обеспечивающие исчерпывающие характеристики однотипных предметов или явлений.

2. Графические (элементы конспектируемой работы располагаются в таком виде, при котором видна иерархия понятий и взаимосвязь между ними).

По каждой работе может быть не один, а несколько графических конспектов, отображающих книгу в целом и отдельные ее части. Ведение графического конспекта – наиболее совершенный способ изображения внутренней структуры книги, а сам этот процесс помогает усвоению ее содержания.

Можно выделить следующие основные **типы конспектов: плановый, текстуальный, сводный, тематический.**

Плановый – легко получить с помощью предварительно сделанного плана произведения, каждому вопросу плана отвечает определенная часть конспекта:

а) вопросно-ответный (на пункты плана, выраженные в вопросительной форме, конспект дает точные ответы);

б) схематичный плановый конспект (отражает логическую структуру и взаимосвязь отдельных положений).

Текстуальный – это конспект, созданный в основном из цитат.

Сводный конспект – сочетает выписки, цитаты, иногда тезисы; часть его текста может быть снабжена планом.

Тематический – дает более или менее исчерпывающий ответ (в зависимости из числа привлеченных источников и другого материала, например, своих же записей) на поставленный вопрос – тему: обзорный; хронологический.

Роль конспекта – чисто учебная: он помогает зафиксировать основные понятия и положения первичного текста и в нужный момент их воспроизвести, например, при написании реферата или подготовке к экзамену.

Способы конспектирования.

- **Тезисы** – это кратко сформулированные основные мысли, положения изучаемого материала. Тезисы лаконично выражают суть читаемого, дают возможность раскрыть содержание. Приступая к освоению записи в виде тезисов, полезно в самом тексте отмечать места, наиболее четко формулирующие основную мысль, которую автор доказывает (если, конечно, это не библиотечная книга). Часто такой отбор облегчается шрифтовым выделением, сделанным в самом тексте.

- **Линейно-последовательная запись текста.** При конспектировании линейно –

последовательным способом целесообразно использование плакатно-оформительских средств, которые включают в себя следующие:

- сдвиг текста конспекта по горизонтали, по вертикали;
- выделение жирным (или другим) шрифтом особо значимых слов;
- использование различных цветов;
- подчеркивание;
- заключение в рамку главной информации.

- **Способ «вопросов – ответов».** Он заключается в том, что, поделив страницу тетради пополам вертикальной чертой, конспектирующий в левой части страницы самостоятельно формулирует вопросы или проблемы, затронутые в данном тексте, а в правой части дает ответы на них.

Одна из модификаций способа «вопросов – ответов» - таблица, где место вопроса занимает формулировка проблемы, поднятой автором (лектором), а место ответа – решение данной проблемы. Иногда в таблице могут появиться и дополнительные графы: например, «мое мнение» и т. п.

- **Схема с фрагментами** – способ конспектирования, позволяющий ярче выявить структуру текста, - при этом фрагменты текста (опорные слова, словосочетания, пояснения всякого рода) в сочетании с графикой помогают созданию рационально - лаконичного конспекта.

- **Простая схема** – способ конспектирования, близкий к схеме с фрагментами, объяснений к которой конспектирующий не пишет, но должен уметь давать их устно. Этот способ требует высокой квалификации конспектирующего. В противном случае такой конспект нельзя будет использовать.

- **Параллельный способ** конспектирования. Конспект оформляется на двух листах параллельно или один лист делится вертикальной чертой пополам и записи делаются в правой и в левой части листа.

Однако лучше использовать разные способы конспектирования для записи одного и того же материала.

Комбинированный конспект – вершина овладения рациональным конспектированием. При этом умело используются все перечисленные способы, сочетая их в одном конспекте (один из видов конспекта свободно перетекает в другой в зависимости от конспектируемого текста, от желания и умения конспектирующего). Именно при комбинированном конспекте более всего проявляется уровень подготовки и индивидуальность студента.

Принципы составления конспекта прочитанного.

1. Записать все выходные данные источника: автор, название, год и место издания. Если текст взят из периодического издания (газеты или журнала), то записать его название, год, месяц, номер, число, место издания.

2. Выделить поля слева или справа, можно с обеих сторон. Слева на полях отмечаются страницы оригинала, структурные разделы статьи или книги (названия параграфов, подзаголовки и т. п.), формулируются основные проблемы. Справа – способы фиксации прочитанной информации.

Один из видов чтения – углубленное – предполагает глубокое усвоение прочитанного и часто сохранение информации в целях последующего обращения к ней. Эффективность такого чтения повышается, если прочитанное зафиксировано не только в памяти, но и на бумаге. Психологи утверждают, что записанное лучше и полнее усваивается, прочнее откладывается в памяти. Установлено, что если прочитать 1000 слов и затем записать 50, подытоживающих прочитанное, то коэффициент усвоения будет выше, чем, если прочитать 10000 слов, не записав ни одного. Кроме того, при записи прочитанного формируется навык свертывания информации. И, наконец, чередование чтения и записывания уменьшает усталость, повышает работоспособность и производительность умственного труда.

1. Резюмирование.

Резюме – краткий итог прочитанного, содержащий его оценку. Резюме характеризует основные выводы книги, главные итоги.

Выбор языковых средств для построения резюме-выводов подчинен основной задаче свертывания информации: минимум языковых средств – максимум информации. Это обычно одно – три четких, кратких, выразительных предложения, раскрывающих, по мнению автора, самую суть описываемого объекта.

2. Аннотация.

Аннотация – краткая обобщенная характеристика печатной работы (книги, статьи), включающая иногда и его оценку. Это наикратчайшее изложение содержания первичного документа, дающее общее представление о теме.

Основное ее назначение – дать некоторое представление о книге (статье, научной работе) с тем, чтобы рекомендовать ее определенному кругу читателей или воспользоваться своими записями при выполнении работы исследовательского, реферативного характера. Поэтому аннотации не требуется изложения содержания произведения, в ней лишь перечисляются вопросы, которые освещены в первоисточнике (содержание этих вопросов не раскрывается). Аннотация отвечает на вопрос: «О чем говорится в первичном тексте?», дает представление только о главной теме и перечне вопросов, затрагиваемых в тексте первоисточника.

Текст аннотации не стандартизирован. В научной литературе можно встретить различные требования к составлению аннотаций. Например, текст справочной аннотации может включать следующие сведения:

- тип и название аннотируемого документа (монография, диссертация, сборник, статья и т. п.)
- задачи, поставленные автором аннотируемого документа
- метод, которым пользовался автор (эксперимент, сравнительный анализ, компиляция других источников)
- принадлежность автора к определенной научной школе или направлению
- структуру аннотируемого документа
- предмет и тему произведения, основные положения и выводы автора
- характеристику вспомогательных иллюстративных материалов, дополнений, приложений, справочного аппарата, включая указатели и библиографию.

Уметь, Владеть:

Задачи для проверки умений и навыков

1. Перевести заданные вещественные числа из десятичной системы счисления в двоичную систему, представив их в нормализованной форме в разрядной сетке числа с плавающей точкой одинарной точности (типа single), а затем перевести шестнадцатеричную систему, записав их во внутреннем представлении в памяти ЭВМ.
2. Перевести заданные вещественные числа из шестнадцатеричной системы счисления в двоичную систему, записав их в формате стандарта IEEE 754 с одинарной точностью, а затем преобразовать в десятичный код.
3. Произвести заданную арифметическую операцию с операндами в знаковой и беззнаковой формах для целых чисел и в формате стандарта IEEE 754.
4. Провести анализ функционирования заданного логического элемента с помощью программы схемотехнического моделирования EWB.
5. Синтезировать по заданной булевой функции логическое устройство с помощью программы схемотехнического моделирования EWB.
6. Синтезировать и исследовать логику функционирования, заданного

комбинационного функционального устройства (узла) ЭВМ с помощью инструментов программы EWB.

7. Синтезировать и исследовать логику функционирования накапливающего функционального устройства (узла) ЭВМ с помощью инструментов программы EWB.

8. Провести исследование логики функционирования выполнения заданных операций в арифметико-логическом устройстве с помощью инструментов программы EWB.

9. Провести исследование внутренней структуры и логики функционирования ячеек оперативной памяти заданного типа с помощью инструментов программы EWB.

10. Провести исследование внутренней структуры и логики функционирования порта устройства ввода-вывода с помощью инструментов программы EWB.

11. Провести исследование внутренней структуры и логики функционирования заданного шинного формирователя с помощью инструментов программы EWB.

12. Синтезировать устройство микропрограммного управления с помощью генератора слова программы EWB.

13. Определить конфигурацию персонального компьютера с помощью указанной утилиты операционной системы или тестовой программы.

14. Определить производительность персонального компьютера с помощью указанной утилиты операционной системы или тестовой программы.

15. Определить характеристики заданного центрального устройства персонального компьютера с помощью указанной тестовой программы.

16. Определить характеристики заданного периферийного устройства персонального компьютера с помощью указанной тестовой программы.

17. Провести исследование указанного способа адресации данных в эмуляторе микропроцессора.

18. Провести тестирование и диагностирование внешних запоминающих устройств ПЭВМ с помощью указанной программы.

19. Провести сканирование указанного жесткого диска или флеш-памяти на предмет наличия ошибок с помощью указанной утилиты.

20. Провести тестирования указанного видеоадаптера или монитора с помощью заданной программы (утилиты).

Повышенный уровень:

Знать:

1. Дешифратор.
2. Шифратор.
3. Мультиплексор.
4. Демультимплексор.
5. Сумматор.
6. Триггеры.
7. Регистры.
8. Счетчики.
9. Процессоры.
10. Оперативная память.
11. Постоянная память.
12. Материнская плата.
13. Последовательный интерфейс.
14. Параллельный интерфейс.
15. Контроллеры ввода-вывода.
16. Архитектура микропроцессорных систем.
17. Арифметико-логическое устройство.
18. Регистры микропроцессора.
19. Система и механизм прерываний микропроцессора.

20. Типы микропроцессорных систем.
21. Формат и типы команд.
22. Макросы ассемблера.
23. Процесс ассемблирования.
24. Процесс дизассемблирования.
25. Накопители на магнитных дисках.
26. Накопители на оптических дисках.
27. Принципы записи информации на магнитные диски.
28. Интерфейсы подключения накопителей к компьютеру.
29. Надежность хранения информации в ЭВМ.
30. Устройства ввода информации: сенсорные панели.
31. Устройства ввода информации: сканеры.
32. Устройства вывода информации: видеокарты.
33. Устройства вывода информации: мониторы.
34. Устройства вывода информации: принтеры.
35. Устройства вывода информации: плоттеры.

Уметь, Владеть:

Задачи для проверки умений и навыков

1. Провести исследование логики функционирования заданной интегральной микросхемы комбинационного типа с помощью инструментов программы EWB.
2. Провести исследование логики функционирования заданной интегральной микросхемы накапливающего типа с помощью инструментов программы EWB.
3. Синтезировать внутреннюю структуру и исследовать логику функционирования устройства ввода-вывода с помощью инструментов программы EWB.
4. Синтезировать внутреннюю структуру и исследовать логику функционирования одноразрядного цифрового компаратора с помощью инструментов программы EWB.
5. Провести исследование указанной машинной команды пересылки данных и ввода-вывода в эмуляторе микропроцессора.
6. Провести исследование указанной арифметической или логической операции машинных команд в эмуляторе микропроцессора.
7. Разработать программу на языке ассемблер, содержащую указанные машинные команды вызова и возврата подпрограмм.
8. Разработать и провести исследование программы временной задержки с помощью эмулятора микропроцессора.
9. Разработать и провести исследование программы ожидания простого события и формирования простого управления с помощью эмулятора микропроцессора.
10. Провести исследование программы выполнения операций сложения и вычитания целых чисел с помощью эмулятора микропроцессора.
11. Провести исследование программы выполнения операции умножения с помощью эмулятора микропроцессора.
12. Провести исследование программы выполнения операции деления с помощью эмулятора микропроцессора.
13. Провести исследование заданной программы вычисления специальных функций с помощью эмулятора микропроцессора.
14. Определить производительность заданного жесткого диска с помощью указанной программы.

4.2 Комплект разноуровневых задач и заданий

Тема 1. Шинная структура связи компьютера.

Типовые задачи:

Базовый уровень:

14) Составить принципиальную схему замещения стандартного выходного каскада цифровой микросхемы, пояснить принцип работы такого выходного каскада.

15) Составить принципиальную схему замещения выходного каскада с открытым коллектором для цифровой микросхемы, пояснить принцип работы такого выходного каскада.

16) Составить принципиальную схему замещения выходного каскада с тремя состояниями для цифровой микросхемы, пояснить принцип работы такого выходного каскада.

17) Составить структурные схемы мультиплексированной и двунаправленной линий шины, пояснить их принципы работы.

18) Составить структурную схему физического уровня шины PCI Express.

19) Разработать алгоритм преобразования данных на физическом уровне шины PCI Express при передаче и приеме.

20) Изобразить и пояснить временные диаграммы цикла передачи данных в интерфейсе Centronics.

21) Изобразить и пояснить формат передаваемых данных интерфейса RS-232C, уровни сигналов RS-232C на передающем и принимающем концах линии связи.

Повышенный уровень:

1) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с открытыми коллекторами, пояснить принцип работы такой мультиплексированной линии.

2) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с тремя состояниями, пояснить принцип работы такой мультиплексированной линии.

3) Изобразить и пояснить временные диаграммы мультиплексированной шины адреса/данные при синхронном и асинхронном обмене данными.

4) Составить таблицу со сравнительными характеристиками шин ISA, PCI, PCI Express.

5) Составить таблицу со сравнительными характеристиками для интерфейсов SCSI, IDE, EIDE.

Тема .2 Организация памяти ЭВМ.

Типовые задачи:

Базовый уровень:

16) Составить иерархическую структуру памяти ЭВМ.

17) Рассчитать физический адрес оперативной памяти ЭВМ по заданным адресам сегмента и смещения.

18) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80286.

19) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80386.

20) Составить спецификацию дополнительной памяти ЭВМ по стандарту XMS 3.0.

21) Определить тип корпуса и форм-факторы указанной на учебном стенде микросхемы памяти ЭВМ.

22) Произвести расшифровку модуля памяти типа DDR I по указанной маркировке.

23) Произвести расшифровку модуля памяти типа DDR II по указанной маркировке.

24) Произвести расшифровку модуля памяти типа DDR III по указанной маркировке.

25) Изобразить принципы записи и считывания в ячейку памяти на ферроэлектрическом конденсаторе.

Повышенный уровень:

- 1) Составить принципиальную схему одностранзисторной ячейки памяти 1Т FeRAM, пояснить ее принцип работы.
- 2) Составить принципиальную схему одноконденсаторной ячейки памяти 1С FeRAM, пояснить ее принцип работы.
- 3) Составить принципиальную схему транзисторно-конденсаторной ячейки памяти 1Т-1С FeRAM, пояснить ее принцип работы.
- 4) Составить принципиальную схему двойной транзисторно-конденсаторной ячейки памяти 2Т-2С FeRAM, пояснить ее принцип работы.
- 5) Выполнить работу по извлечению и (или) установке всех видов памяти используемых на стенде и проверка сохранения работоспособности после совершенных манипуляций.

Тема 3. Системная (материнская) плата компьютера.

Типовые задачи:

Базовый уровень:

- 12) Определить тип и форм-фактор материнской платы в учебном системном блоке ПЭВМ.
- 13) Определить название микросхем, размещенных на материнской плате в учебном системном блоке ПЭВМ.
- 14) Определить номиналы питания, подводимые к материнской плате в учебном системном блоке ПЭВМ.
- 15) Определить тип сокета или слота для процессора на материнской плате в учебном системном блоке ПЭВМ.
- 16) Определить тип чипсета материнской платы в учебном системном блоке ПЭВМ.
- 17) Найти и определить коммутационные элементы, имеющиеся процессора на материнской плате в учебном системном блоке ПЭВМ.

Определить тип северного моста и южного моста на материнской плате в учебном системном блоке ПЭВМ.

Повышенный уровень:

- 1) Выполнить работу по демонтажу всех навесных элементов на учебной материнской плате.
- 2) Выполнить работу по демонтажу и извлечению материнской платы из системного блока ПЭВМ.
- 3) Выполнить работу по установке и подключению материнской платы в системный блок ПЭВМ.
- 4) Выполнить работы по подключению всех навесных элементов на учебной материнской плате.

Тема 4, 5. Принципы построения и работы микропроцессоров.

Типовые задачи:

Базовый уровень:

- 1) Определить тип процессора, установленный в учебном системном блоке ПЭВМ, и его основные характеристики.
- 2) Составить таблицу со сравнительными характеристиками современных процессоров.
- 3) Составить блок-схему внутренней структуры типового микропроцессора.
- 4) Составить структурную схему регистров типового микропроцессора.
- 5) Разработать алгоритм работы процессора.
- 6) Составить блок-схему модулей процессора Pentium II.

Повышенный уровень:

- 1) Составить блок-схему модуля загрузки/декодирования инструкций процессора Pentium II.
- 2) Составить блок-схему модуля диспетчеризации/исполнения инструкций процессора Pentium II.
- 3) Составить блок-схему процессора AMD-K6.
- 4) Составить блок-схему модуля декодирования процессора AMD-K6-2.
- 5) Составить блок-схему вычислительных модулей групп Register X и Register Y процессора AMD-K6-2.
- 6) Выполнить работу по извлечению процессора из системной платы учебной ПЭВМ.
- 7) Выполнить работу по установке процессора и проверке его работоспособности.

Тема 6. Принципы построения и работы накопителей на жестких магнитных дисках.

Типовые задачи:

Базовый уровень:

- 1) Составить структурную схему накопителя на жестких магнитных дисках.
- 2) Составить блок-схему блока электроники накопителя на жестких магнитных дисках.
- 3) Произвести расшифровку типа и характеристик накопителя на жестких магнитных дисках по указанной маркировке.
- 4) Определите тип интерфейса, подключенного к накопителю на жестких магнитных дисках в учебном системном блоке ПЭВМ.
- 5) Выполнить работу по извлечению накопителя на жестких магнитных дисках из учебного системного блока ПЭВМ.
- 6) Выполнить работу по установке накопителя на жестких магнитных дисках на прежнее место в учебном системном блоке ПЭВМ и проверке его работоспособности.
- 7) Выполнить работу по замене шлейфов подключения накопителя на жестких магнитных дисках к системной плате и блоку питания, проверке работоспособности накопителя.

Повышенный уровень:

- 1) Выполнить работу по подключению двух накопителей на жестких магнитных дисках одновременно, произвести коммутацию переключателей на системной плате для установки первого накопителя в режим «Master», а второго – в режим «Slave».
- 2) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо дисководов, и произвести проверку его работоспособности.
- 3) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо CD/DVD привода, и произвести проверку его работоспособности.

Тема 7. Принципы построения и работы струйных и лазерных принтеров.

Типовые задачи:

Базовый уровень:

- 15) Составить блок-схему струйного принтера.
- 16) Составить блок-схему лазерного принтера.
- 17) Составить алгоритм работы струйного принтера.
- 18) Составить алгоритм работы лазерного принтера.
- 19) Подключить струйный принтер к ПЭВМ и установить его драйвер.
- 20) Подключить лазерный принтер к ПЭВМ и установить его драйвер.
- 21) Составить алгоритм работы струйного принтера.

- 22) Составить алгоритм работы лазерного принтера.
- 23) Проверить работоспособность струйного принтера.
- 24) Проверить работоспособность лазерного принтера.
- 25) Произвести замену картриджа струйного принтера, проверить его работоспособность.
- 26) Произвести замену картриджа лазерного принтера, проверить его работоспособность.

Повышенный уровень:

- 1) Подключить струйный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.
- 2) Подключить лазерный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.

Тема 8. Организация межкомпьютерной связи.

Типовые задачи:

Базовый уровень:

- 16) Составить монтажную схему полносвязного соединения 4-х ПЭВМ.
- 17) Составить монтажную схему соединения 4-х ПЭВМ по топологии «кольцо».
- 18) Составить монтажную схему соединения 4-х ПЭВМ по топологии «звезда».
- 19) Составить монтажную схему соединения 4-х ПЭВМ по топологии «общая шина».
- 20) Составить блок-схему сетевого интерфейсного адаптера.
- 21) Составить алгоритм работы сетевого интерфейсного адаптера.
- 22) Составить монтажную схему соединения 2-х ПЭВМ через повторитель.
- 23) Составить монтажную схему соединения 2-х ПЭВМ через концентратор и коммутатор.
- 24) Составить блок-схему локальной сети компьютерной аудитории.
- 25) Составить блок-схему локальной сети компьютерной аудитории с выходом в глобальную сеть через мостовой маршрутизатор.
- 26) Составить блок-схему беспроводной локальной сети компьютерной аудитории с помощью Wi-Fi маршрутизатора.

Повышенный уровень:

- 1) Выполнить работы по монтажу витой пары и подключению ее к компьютеру и маршрутизатору.
- 2) Выполнить работы по организации связи между 2-мя ПЭВМ с помощью витой пары.
- 3) Выполнить работы по установке сетевой карты в учебный системный блок ПЭВМ.
- 4) Выполнить работы по замене сетевой карты в учебном системном блоке ПЭВМ с установкой нового драйвера.

Тема 9. Многопроцессорные вычислительные системы.

Типовые задачи:

Базовый уровень:

- 8) Составить структурную схему многопроцессорной системы архитектуры класса MIMD.
- 9) Составить структурную схему многопроцессорной системы с симметричной мультипроцессорной обработкой (SMP-система).
- 10) Составить структурную схему многопроцессорной системы, построенной по технологии неоднородного доступа к памяти (NUMA).
- 11) Составить структурную схему кластерной многопроцессорной системы.

- 12) Составить структурную схему системы вычислений с массовым параллелизмом (MPP).

Повышенный уровень:

- 1) Составить структурную схему транспьютера.
- 2) Составить структурную схему многопроцессорных систем на базе транспьютеров.

4.3 Вопросы для собеседования по Практическим занятиям

Практическое занятие 1-2. Исследование арифметических основ и внутреннего представления чисел в ЭВМ.

Базовый уровень:

1. Определение системы счисления.
2. Общие правила вычисления во всех позиционных системах счисления.
3. Правило записи произвольного числа в Р-ичной позиционной системе счисления.
4. Порядок перевода чисел из одной позиционной системы счисления в другую.
5. Алгоритм перевода двоичного числа в другую систему счисления, основанием которой является степень двойки.
6. Алгоритм перевода чисел из системы счисления с основанием Р в десятичную систему счисления.
7. Принципы внутреннего представления целых чисел в памяти ЭВМ.
8. Порядок использования дополнительных и обратных кодов.
9. Алгоритм получения дополнительного двоичного кода.
10. Принципы внутреннего представления в памяти ЭВМ вещественных чисел.
11. Типы представления вещественных чисел в ЭВМ.
12. Принципы внутреннего представления вещественных чисел по стандарту IEEE-754.
13. Порядок преобразования чисел формата IEEE 754 в десятичное число.
14. Характеристика особых случаев во внутреннем представлении чисел с плавающей точкой.
15. Формулы расчета нормализованных и денормализованных чисел.
16. Характеристика диапазона чисел формата одинарной точности (32 бита), представленных по стандарту IEEE 754.
17. Порядок определения границ диапазона для чисел одинарной точности стандарта IEEE 754.
18. Правила применения таблиц сложения и умножения для двоичной, восьмеричной и шестнадцатеричной системы счисления.
19. Порядок сложения (вычитания) целых чисел в знаковой форме.
20. Порядок сложения (вычитания) целых чисел в дополнительном коде.

Повышенный уровень:

1. Порядок процедуры сложения (вычитания) операндов нормализованных двоичных чисел.
2. Порядок умножения целых двоичных чисел.
3. Порядок деления целых двоичных чисел.
4. Порядок процедуры умножения (деления) операндов нормализованных двоичных чисел.

Практическое занятие 3-6. Моделирование и исследование принципов построения и работы основных функциональных элементов и узлов ЭВМ.

Базовый уровень:

1. Сравнительная характеристика комбинационных и последовательностных (накапливающих) цифровых устройств.
2. Принцип работы электронного ключа (вентиля).
3. Характеристика простейших логических операций.
4. Аксиомы и законы булевой алгебры.
5. Условно-графическое обозначение и таблицы истинности базовых логических элементов.
6. Краткая характеристика и порядок моделирования сем с помощью программы схемотехнического моделирования Electronics Workbench.
7. Характеристика и порядок работы с логическим преобразователем программа схемотехнического моделирования Electronics Workbench.
8. Характеристика и порядок работы с генератором слова программа схемотехнического моделирования Electronics Workbench.
9. Характеристика и порядок работы с логическим анализатором программа схемотехнического моделирования Electronics Workbench.
10. Порядок анализа основных логических элементов с помощью программы схемотехнического моделирования Electronics Workbench.
11. Методика подтверждение законов булевой алгебры с помощью программы схемотехнического моделирования Electronics Workbench.
12. Порядок синтеза логических устройств с помощью программы схемотехнического моделирования Electronics Workbench.
13. Перечень и характеристика комбинационных цифровых устройств.
14. Характеристика принципов построения и работы арифметических сумматоров.
15. Характеристика принципов построения и работы дешифраторов и шифраторов.
16. Характеристика принципов построения и работы мультиплексоров и демультиплексоров.
17. Порядок исследования внутренней структуры и логики функционирования полусумматора и полного сумматора с помощью логического преобразователя и генератора слова.
18. Порядок исследования внутренней структуры и логики функционирования 4-х разрядного сумматора с помощью логического преобразователя и генератора слова.
19. Порядок синтеза и исследования логики функционирования дешифратора 3x8 с помощью логического преобразователя и генератора слова.
20. Порядок исследования логики функционирования дешифратора 4x16, реализованного в виде ИМС 74154 (К155ИД3) с помощью генератора слова.
21. Порядок синтеза и исследования логики функционирования шифратора 4x2 с помощью генератора слова.
22. Порядок исследования логики функционирования шифратора 8x3, реализованного в виде ИМС 74148 (КМ555ИБ1) с помощью генератора слова.
23. Порядок синтеза и исследования логики функционирования 4-х канального мультиплексора с помощью логического анализатора.
24. Порядок исследования логики функционирования восьмиканального селектора-мультиплексора, реализованного в виде ИМС 74151 (КМ155КП7) с помощью логического анализатора.
25. Порядок синтеза и исследования логики функционирования 4-х канального демультиплексора с помощью логического анализатора.
26. Перечень и характеристика последовательностных (накапливающих) цифровых устройств.

Повышенный уровень:

1. Предназначение, типы и характеристика принципов построения и работы триггеров.
2. Предназначение, типы и характеристика принципов построения и работы счетчиков.

3. Предназначение, типы и характеристика принципов построения и работы регистров.
4. Порядок исследования внутренней структуры и логики функционирования простейшего RS-триггера с помощью генератора слова.
5. Порядок исследования внутренней структуры и логики функционирования синхронного одноступенчатого RS-триггера с помощью генератора слова.
6. Порядок исследования логики функционирования синхронного двухступенчатого JK-триггера с прямым тактовым входом и входами предустановки с помощью генератора слова и логического анализатора.
7. Порядок исследования логики функционирования счетного T-триггера с помощью генератора слова и логического анализатора.
8. Порядок исследования логики функционирования двухступенчатого D-триггера с помощью генератора слова и логического анализатора.
9. Порядок исследования внутренней структуры и логики функционирования последовательного трехразрядного счетчика с помощью генератора слова и логического анализатора.
10. Порядок исследования внутренней структуры и логики функционирования счетчика по модулю с помощью генератора слова и логического анализатора.
11. Порядок исследования логики функционирования двоичного реверсивного счетчика с возможностью параллельной записи начального кода на основе ИМС 74169 (K155ИЕ17) с помощью генератора слова и логического анализатора.
12. Порядок исследования внутренней структуры и логики функционирования последовательного четырехразрядного регистра сдвига с помощью генератора слова и логического анализатора.
13. Порядок исследования внутренней структуры и логики функционирования параллельного четырехразрядного регистра с помощью генератора слова и логического анализатора.
14. Порядок исследования логики функционирования универсального регистра на ИМС 74195 (K155ИР12) с помощью генератора слова.

Практическое занятие 3. Моделирование и исследование принципов работы основных центральных устройств ПЭВМ.

Базовый уровень:

1. Предназначение и принципы работы арифметико-логического устройства.
2. Логические операции, реализуемые АЛУ на ИМС 74181 (K155ИПЗ).
3. Арифметические операции, реализуемые АЛУ на ИМС 74181 (K155ИПЗ).
4. Порядок исследования логики функционирования АЛУ на основе ИМС 74181 (K155ИПЗ) из библиотеки EWB с помощью генератора слова и семисегментных индикаторов.
5. Предназначение и классификация оперативных запоминающих устройств.
6. Характеристика внутренней структуры и принципов функционирования типового оперативного запоминающего устройства.
7. Характеристика логики функционирования оперативных запоминающих устройств статического типа.
8. Характеристика логики функционирования оперативных запоминающих устройств динамического типа.
9. Характеристика современных типов оперативной памяти.
10. Характеристика видеопамати.
11. Характеристика современных типов ИМС оперативной памяти.
12. Предназначение и классификация постоянных запоминающих устройств.

13. Характеристика и принципы функционирования ячейки постоянной памяти, однократно программируемой путем пережигания перемычек.
14. Практическое применение постоянных запоминающих устройств различных типов.
15. Порядок исследования внутренней структуры и логики функционирования ячейки статической оперативной памяти с помощью генератора слова.
16. Порядок исследования внутренней структуры и логики функционирования ячейки динамической оперативной памяти с помощью осциллографа.
17. Порядок исследования внутренней структуры и логики функционирования 4-х битного статического ОЗУ с помощью генератора слова.
18. Порядок исследования внутренней структуры и логики функционирования ячейки постоянной памяти, программируемой путем пережигания перемычек.
19. Принципы построения и характеристика логики функционирования устройств ввода-вывода.
20. Порядок исследования внутренней структуры и логики функционирования цепи формирования сигнала разрешения выбора адреса порта УВВ.
21. Порядок выявления (локализации) ошибок в логических схемах с помощью логического преобразователя.
22. Порядок исследования внутренней структуры и логики функционирования цепи формирования адресов УВВ на базе ИМС 74154 с помощью генератора слова и логических пробников.
23. Порядок исследования внутренней структуры и логики функционирования одnorазрядного шинного формирователя.
24. Порядок исследования внутренней структуры и логики функционирования четырехразрядного шинного формирователя на базе ИМС 74244 из библиотеки EWB с помощью генератора слова и семисегментных индикаторов.
25. Порядок синтеза внутренней структуры и исследования логики функционирования типового устройства ввода-вывода.
26. Предназначение цифровых компараторов и устройств контроля четности (нечетности).

Повышенный уровень:

1. Принципы построения и характеристика логики функционирования цифровых компараторов.
2. Принципы построения и характеристика логики функционирования устройств контроля четности (нечетности).
3. Предназначение и классификация устройств управления ЭВМ.
4. Структура и принципы функционирования устройства управления схемного типа.
5. Структура и принципы функционирования микропрограммного устройства управления.
6. Порядок синтеза внутренней структуры и исследования логики функционирования одnorазрядного цифрового компаратора с помощью логического преобразователя и генератора слова.
7. Порядок исследования внутренней структуры и логики функционирования устройства формирования бита четности (нечетности) четырехразрядного кода с помощью генератора слова.
8. Порядок исследования логики функционирования устройства формирования бита четности (нечетности) на основе ИМС 742800 из библиотеки EWB с помощью генератора слова.
9. Порядок реализации устройства микропрограммного управления с помощью генератора слова.

Практическое занятие 11. Исследование структуры персонального компьютера.

Базовый уровень:

1. Состав типовой ПЭВМ.
2. Структурная схема типовой ПЭВМ.
3. Структурная схема типовой системной платы ПЭВМ.
4. Порядок определения конфигурации ПЭВМ при его запуске в процессе тестирования компьютера базовой системой ввода-вывода BIOS.
5. Перечень тестовых программ под ОС Windows для диагностирования аппаратного обеспечения компьютера.
6. Предназначение и краткая характеристика утилиты Windows XP/7 «Сведения о системе» (MSinfo32.exe).
7. Предназначение и краткая характеристика программы «System Information Viewer».
8. Предназначение и краткая характеристика программы «Aida64 Extreme Edition».
9. Предназначение и краткая характеристика программы «SiSoftware Sandra».

Повышенный уровень:

1. Порядок определения конфигурации персонального компьютера с помощью встроенной в ОС Windows утилиты «Сведения о системе» (MSinfo32.exe).
2. Порядок определения производительности персонального компьютера с помощью встроенной в ОС Windows утилиты «Сведения о системе» (MSinfo32.exe).
3. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью тестовой программы System Information Viewer.
4. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью программы тестирования AIDA64 Extreme Edition.
5. Порядок определения производительности персонального компьютера и устройств аппаратного обеспечения с помощью программы тестирования AIDA64 Extreme Edition.
6. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью диагностической программы SiSoftware Sandra.
7. Порядок определения производительности персонального компьютера и устройств аппаратного обеспечения с помощью диагностической программы SiSoftware Sandra.

Практическое занятие 12-13. Моделирование и исследование базовых принципов построения и работы микропроцессора.

Базовый уровень:

1. Предназначение и характерные особенности организации микропроцессора KP580.
2. Структура микропроцессора KP580.
3. Назначение выводов микросхемы микропроцессора KP580.
4. Назначение и характеристика общих регистров процессора (РОН).
5. Назначение и характеристика указателя стека, счетчика команд, регистра флагов.
6. Принципы построения и работы АЛУ МП KP580.
7. Характеристика механизма десятичной коррекции данных.
8. Структура памяти МП KP580.
9. Форматы одно-, двух- и трехбайтных команд МП KP580.
10. Предназначение и возможности эмулятор микропроцессора KP580.
11. Предназначение и особенности интерфейса текстового редактора эмулятора МП.

12. Характеристика синтаксиса текстового редактора эмулятора МП.
13. Предназначение эмулятора программы, его интерфейс и порядок редактирования полей.
14. Порядок работы с эмулятором микропроцессора КР580.
15. Порядок выполнения машинной команды микропроцессора.
16. Характеристика машинного цикла микропроцессора и основных типов машинных циклов.
17. Характеристика способов адресации памяти в МП.
18. Характеристика команд пересылки данных и команд ввода-вывода.
19. Характеристика арифметических и логических команд.
20. Характеристика работы команды CMP, CPI.
21. Характеристика команд передачи управления и специальных команд.

Повышенный уровень:

1. Порядок исследования способа непосредственной адресации данных в МП КР580 путем загрузки в регистр (РОН) операнда с помощью команды, содержащей в одном из своих полей код операнда.
2. Порядок исследования способа прямой адресации данных в МП КР580 путем загрузки содержимое ячейки с указанным адресом в аккумулятор с помощью команды, в которой задается адрес операнда.
3. Порядок исследования способа косвенной (регистровой) адресации данных в МП КР580 путем загрузки в регистр (РОН) содержимого ячейки памяти с адресом, указанным в паре других регистров (РОН) с помощью команды, в которой адрес ячейки памяти задается содержимым пары регистров H и L.
4. Порядок исследования способа стековой адресации данных в МП КР580 путем загрузки в регистровую пару содержимого ячеек из стековой области памяти с помощью команд операций со стеком.
5. Порядок исследования машинных команд однобайтных пересылок данных.
6. Порядок исследования машинных команд двухбайтных пересылок и обмена данных.
7. Порядок исследования машинных команд ввода-вывода данных.
8. Порядок исследования программы по выполнению арифметических и логических операций с одним операндом (над содержимым аккумулятора).
9. Порядок исследования программы по выполнению арифметических и логических операций с двумя операндами, один из которых содержится в аккумуляторе.

Практическое занятие 14-15. Исследование основ микропрограммирования на языке ассемблера.

Базовый уровень:

1. Характеристика команд вызова и возврата подпрограммы.
2. Характеристика команд записи в стек и считывания из стека.
3. Характеристика алгоритма простой подпрограммы временной задержки.
4. Порядок организации условных переходов с помощью регистра признаков.
5. Порядок работы программы ожидания простого события и формирования простого управления.
6. Порядок разработки и исследования программы, содержащей машинные команды вызова и возврата подпрограмм.
7. Порядок разработки и исследования программы обратной сортировки чисел, разработанной на основе машинных команд операций со стеком.
8. Порядок разработки и исследования программы временной задержки.
9. Порядок разработки и исследования программы ожидания простого события и формирования простого управления.

10. Порядок разработки и исследования программы ожидания сложного события и формирования простого управления.
11. Порядок проведения арифметических операций сложения и вычитания.
12. Порядок проведения арифметической операции умножения.
13. Порядок проведения арифметической операции деления.
14. Порядок проведения арифметических операций вычисления специальных функций.
15. Характеристика алгоритма работы программы умножения двух однобайтных чисел с получением двухбайтного результата.
16. Характеристика алгоритма работы программы деления двоичных чисел.

Повышенный уровень:

1. Порядок исследования программы сложения массива однобайтных чисел (целых без знака) с получением двухбайтного результата.
2. Порядок исследования программы нахождения суммы чисел, имеющих одинаковую длину.
3. Порядок исследования программы нахождения разности чисел, имеющих одинаковую длину.
4. Порядок исследования программы умножения двух однобайтных чисел с получением двухбайтного результата.
5. Порядок исследования программы деления двух однобайтных чисел.
6. Порядок исследования программы вычисления квадрата числа с помощью таблицы.

Практическое занятие 16-17. Исследование характеристик внешних запоминающих устройств ЭВМ.

Базовый уровень:

1. Устройство накопителя на жестких магнитных дисках.
2. Характеристика структурной схемы накопителя на жестких магнитных дисках.
3. Характеристика гермоблока.
4. Характеристика магнитных дисков.
5. Характеристика блока магнитных головок.
6. Характеристика контроллера накопителя на жестких магнитных дисках.
7. Геометрия жесткого диска и его логическая структура.
8. Адресация данных в накопителях на жестких магнитных дисках.
9. Принцип зонно-секционной записи.
10. Характеристика видов организации данных на жестком диске.
11. Порядок обмена данными в накопителе на жестких магнитных дисках.
12. Принцип позиционирования магнитных головок.
13. Характеристика технологии SMART.
14. Скоростные характеристики жестких дисков.
15. Предназначение и область применения программы Victoria.
16. Основные возможности программы Victoria.

Повышенный уровень:

1. Предназначение и основные функциональные возможности утилиты HD Tune.
2. Порядок установки программы Victoria и характеристика ее интерфейса.
3. Порядок чтения паспортов внешних запоминающих устройств ПЭВМ с помощью программы Victoria.
4. Порядок тестирования поверхности жесткого диска на дефектоскопию с помощью программы Victoria.
5. Порядок тестирования флеш-накопителя и CD(DVD)-диска с помощью программы Victoria.

6. Порядок диагностики состояния жесткого диска ПЭВМ с помощью технологии SMART в программе Victoria.
7. Порядок определения среднего времени позиционирования головок (доступа к данным на диске) с помощью программы Victoria.
8. Порядок установки утилиты HD Tune и характеристика ее интерфейса.
9. Порядок получения подробной информации о жестком диске ПЭВМ и флэш-памяти с помощью утилиты HD Tune.
10. Порядок исследования зависимости производительности жесткого диска от уровня акустического шума с помощью утилиты HD Tune.
11. Порядок тестирования жесткого диска с помощью утилиты HD Tune с целью определения скорости передачи данных и времени доступа к данным.
12. Порядок сканирования жесткого диска и флэш-памяти на предмет наличия ошибок с помощью утилиты HD Tune.
13. Порядок мониторинга жесткого диска и флэш-памяти с помощью утилиты HD Tune.
14. Порядок качественной оценки состояние жесткого диска ПЭВМ по показателям SMART-данных с помощью утилиты HD Tune.

Практическое занятие 18. Исследование видеоадаптера и жидкокристаллического монитора.

Базовый уровень:

1. Устройство современной видеокарты.
2. Типы и виды видеоадаптеров.
3. Технологии построения трехмерных изображений.
4. Аппаратное ускорение графических функций.

Повышенный уровень:

1. Производители видеокарт и графических процессоров.
2. Технические характеристики современных видеокарт.

5. Список рекомендуемой литературы.

5.1.1. Основная литература:

1. Новожилов О.П. Архитектура ЭВМ и систем: учебное пособие. – М.: Юрайт, 2013. – 527 с.
2. Шишов О.В. Современные технологии и технические средства информатизации: учебное пособие. – М.: Инфра-М, 2013. – 460с.

5.1.2. Дополнительная литература:

1. Таненбаум Э Архитектура компьютера. – СПб: Питер, 2013. – 844с.
2. Горнец Н.Н., Рощин А.Г., Соломенцев В.В. Организация ЭВМ и систем: учебное пособие. – М.: Академия, 2014. – 315с.
3. Степанов А.Н. Архитектура вычислительных систем и компьютерных сетей. – СПб: Питер, 2013. – 509 с.
4. Цилькер Б. Я., Орлов С.А. Организация ЭВМ и систем: учебное пособие. – СПб: Питер, 2013. – 668с.
5. Древис Ю.Г. Организация ЭВМ и вычислительных систем: учебное пособие. – М.: Высшая школа, 2014. – 501с.
6. Червяков Н.И., Мочалов В.П., Галкина В.А. Организация ЭВМ и систем: учебное пособие – М.: Физматлит, 2015. – 436с.

7. Логинов, М.Д. Техническое обслуживание средств вычислительной техники: учебное пособие [Электронный ресурс] / М.Д. Логинов, Т.А. Логинова. – М.: БИНОМ. Лаборатория знаний, 2013. - 321 с. - ISBN 978-5-9963-2295-4. - URL: <http://biblioclub.ru/index.php?page=book&id=216804>.

8. Чекмарев, Ю.В. Вычислительные системы, сети и коммуникации [Электронный ресурс] / Ю.В. Чекмарев. – М.: ДМК Пресс, 2015. - 184 с. - ISBN 978-5-94074-459-7. - URL: <http://biblioclub.ru/index.php?page=book&id=47359>.

5.1.3. Методическая литература:

1. учебное пособие
2. сборник лабораторных работ

5.1.4. Интернет-ресурсы:

1. Университетская библиотека ONLINE. - <http://www.biblioclub.ru/>
2. Архитектура компьютеров. – <http://wikipedia.org/wiki>
3. Компьютер – окно в виртуальный мир // Архитектура компьютера. – <http://www.island-formoza.ru/arhitektura-pc/index.html>

5.1.5. Программное обеспечение

1. Операционная система Microsoft Windows XP/7;
2. Текстовый процессор Microsoft Office Word или OpenOffice.org Writer;
3. Программа конвертор чисел формата IEEE754 – SoftElectro IEEE754 v1.00;
4. Программа схемотехнического моделирования (симулятор электронных схем) Electronics Workbench EWB 5.12;
5. Эмулятор микропроцессора КР580 – emКР580;
6. Система программирования Турбо Ассемблер;
7. Специализированное программное обеспечение для тестов и анализа аппаратного обеспечения ЭВМ – System Information Viewer, AIDA64 Extreme Edition, SiSoftware Sandra;
8. Утилиты для тестирования и диагностирования внешних запоминающих устройств Victoria, HD Tune;
9. Утилиты для тестирования видеоадаптеров и мониторов GPU-Z.0.5.5, TFTtest версия 1.52, IsMyLsdOK 1.71, Atrise Lutcurve 1.5.3;
10. Программа для компьютерного тестирования «Айрен».

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

для обучающихся по организации и проведению самостоятельной работы
по дисциплине «Аппаратные средства вычислительной техники»
для студентов направления подготовки
10.03.01 Информационная безопасность
Направленность (профиль)
«Организация и технологии защиты информации (по отрасли или в сфере
профессиональной деятельности)»

Ставрополь
2026

СОДЕРЖАНИЕ

<u>Введение</u>	154
<u>1. Общая характеристика самостоятельной работы студента</u>	154
<u>2. Технологическая карта самостоятельной работы студента</u>	155
<u>3. Самостоятельное изучение тем лекций</u>	181
<u>4. Паспорт фонда оценочных средств для проверки самостоятельной работы</u>	182
<u>5. Список рекомендуемой литературы</u>	175

Введение

Целью изучения дисциплины «Аппаратные средства вычислительной техники» является формирование набора общекультурных и профессиональных компетенций будущего бакалавра по направлению подготовки 10.03.01 Информационная безопасность. Формируемые в рамках дисциплины компетенции способствуют углубленной подготовки бакалавров к решению задач профессиональной деятельности с помощью средств вычислительной техники и компьютерных систем, а также приобретение набора общекультурных и общепрофессиональных компетенций будущего бакалавра по направлению подготовки 10.03.01 «Информационная безопасность».

Основными задачами изучения дисциплины являются:

3. Изучить основы обработки и передачи информации по различным каналам. формирование знаний, умений и навыков в области архитектуры ЭВМ и построения компьютерных систем;

4. Совершенствование умений и навыков работы с ПЭВМ как средством управления информацией для решения задач учебной и профессиональной деятельности;

Компетенции обучающегося, формируемые в результате освоения дисциплины:

Индекс	Формулировка:
ПК-2	- способность понимать сущность и значение информации в развитии современного общества, применять достижения информатики и вычислительной техники, перерабатывать большие объемы информации проводить целенаправленный поиск в различных источниках информации по профилю деятельности, в том числе в глобальных компьютерных системах;
ПК-9	- способность принимать участие в эксплуатации подсистем управления информационной безопасностью предприятия;
ПК-11	- способность выполнять работы по установке, настройке и обслуживанию технических и программно-аппаратных средств защиты информации;
ПК-16	- способность использовать инструментальные средства и системы программирования для решения профессиональных задач;

В результате освоения дисциплины обучающийся должен:

Перечень компонентов	Технологии формирования компетенции	Средства и технологии оценки
Знать: - принципы построения и работы аппаратных средств вычислительной техники, их историю и современные тенденции развития, многоуровневую архитектуру и базовую организацию ЭВМ; - характеристики и основные параметры центральных и периферийных устройств ЭВМ; - основы микропрограммного управления ЭВМ, структуру микропроцессора, основные понятия системы машинных команд, назначение и основы языка ассемблера; - профессиональной терминологией в области архитектуры компьютера и организации компьютерных систем.	лекции, самостоятельная работа	собеседование, письменный отчет

Уметь: - представлять данные в ЭВМ на физическом, арифметическом и цифровом логическом уровнях; - моделировать основные функциональные элементы, узлы и устройства ЭВМ, проводить исследования их принципов построения и работы на схемотехническом и микропрограммном уровнях.	практическая работа, самостоятельная работа	собеседование, письменный отчет
Владеть: - навыками использования ПЭВМ как средством управления информацией для решения задач учебной и профессиональной деятельности; - навыками работы с программами диагностики и тестирования аппаратных средств компьютера.	практическая работа, самостоятельная работа	собеседование, письменный отчет

1. Общая характеристика самостоятельной работы студента.

Основными видами учебной работы по достижению результатов освоения дисциплины являются лекции, практические работы и самостоятельная работа студентов (СРС).

На лекциях раскрываются основные положения и понятия курса, формируются знания в области аппаратных средств вычислительной техники. На практических работах формируются умения и навыки, необходимые для решения задач профессиональной деятельности.

Приступая к изучению учебной дисциплины, необходимо ознакомиться с учебной программой, получить в библиотеке рекомендованные учебные пособия, а также получить у ведущего преподавателя в электронном виде конспекты лекций, методические рекомендации к практическим работам и тестовые, завести новую тетрадь для конспектирования лекций и выполнения практических работ.

Для изучения дисциплины предлагается список основной и дополнительной литературы. Основная литература предназначена для обязательного изучения, дополнительная – поможет более глубоко освоить отдельные вопросы, подготовить исследовательские задания и выполнить задания для самостоятельной работы.

В ходе лекционных занятий студент обязан осуществлять конспектирование учебного материала, особое внимание, обращая на категории, формулировки, раскрывающие содержание тех или иных понятий, физических явлений, процессов, эффектов. В рабочих конспектах желательно оставлять поля, на которых следует делать пометки из рекомендованной литературы, дополнять материал прослушанной лекции, формулировать научные выводы и практические рекомендации. Студент имеет право задавать преподавателю уточняющие вопросы с целью уяснения теоретических положений, разрешения спорных ситуаций.

Самостоятельная работа студентов над материалом учебной дисциплины является неотъемлемой частью учебного процесса и должна предполагать углубление знания учебного материала, излагаемого на аудиторных занятиях, и приобретение дополнительных знаний по отдельным вопросам самостоятельно.

Основными видами самостоятельной работы курсантов по учебной дисциплине являются:

- самостоятельное изучение учебного материала по заданным темам;
- подготовка к Практическим занятиям, оформление отчета по выполненному практическому занятию и подготовка к собеседованию по результатам работы.

Основными методами самостоятельной работы студентов являются:

- 4) для овладения знаниями:
 - чтение текста (конспекта лекций, учебника, дополнительной литературы) и конспектирование текста;
 - работа с нормативными документами;
 - поиск информации в Интернет;
- 5) для закрепления и систематизации знаний:
 - работа с конспектом лекции (обработка текста);
 - повторная работа над учебным материалом (учебника, дополнительной литературы, слайдами);
 - составление плана и тезисов ответа или графическое изображение структуры ответа;
 - составление таблиц для систематизации учебного материала;
 - изучение нормативных документов;
 - ответы на контрольные вопросы;
- 6) для формирования умений:
 - подготовка к практическим занятиям;
 - решение задач и практических заданий;
 - подготовка отчетов по практическим занятиям;
 - рефлексивный анализ профессиональных умений.

В случае пропуска учебного занятия студент может воспользоваться содержанием различных блоков учебно-методического комплекса (лекции, практические занятия, контрольные вопросы и тесты) для самоподготовки и освоения темы. Для самоконтроля необходимо использовать вопросы и задания, предлагаемые к практическим занятиям, а также варианты тестовых заданий.

2. Технологическая карта самостоятельной работы студента

Код реализуемой компетенции	Вид деятельности студентов	Итоговый продукт самостоятельной работы	Средства и технологии оценки	Объем часов
5 семестр				
ПК-2 ПК-9 ПК-11 ПК-16	Подготовка к практическим работам № 1-9	Результаты электронных тестов № 1,2,3	Компьютерное тестирование	12
ПК-2 ПК-9 ПК-11 ПК-16	Подготовка к практическим работам № 1-9	Письменный отчет	Собеседование	12
ПК-2 ПК-9 ПК-11 ПК-16	Самостоятельное изучение тем лекций № 1-9	Конспект	Собеседование	12
Итого за 5 семестр				36

3. Самостоятельное изучение тем лекций.

№ п/п	Темы для самостоятельного изучения	Рекомендуемые источники информации (№ источника)			
		Основная	Дополните льная	Методиче ская	Интернет- ресурсы
5 семестр					
	Раздел 1. Основы построения компьютера.				
1	Тема 1. Введение в архитектуру ЭВМ.	1, 2	3 – 10		11 – 13
	Раздел 2. Цифровой логический уровень ЭВМ.				
2	Тема 3. Цифровые логические основы ЭВМ.	1, 2	3 – 10		11 – 13
	Раздел 3. Базовая организация ЭВМ.				
3	Тема 5. Классическая архитектура и принципы работы компьютера.	1, 2	3 – 10		11 – 13
4	Тема 8. Базовая организация персонального компьютера.	1, 2	3 – 10		11 – 13
	Раздел 4. Уровень микроархитектуры ЭВМ.				
5	Тема 12. Архитектура микропроцессора.	1, 2	3 – 10		11 – 13
	Раздел 5. Уровень системы машинных команд и языка ассемблера: основные понятия.				
6	Тема 15. Основы системы машинных команд и языка ассемблера.	1, 2	3 – 10		11 – 13
	Раздел 6. Внешние запоминающие устройства ЭВМ.				
7	Тема 17. Устройства внешней памяти ЭВМ.	1, 2	3 – 10		11 – 13
	Раздел 7. Периферийные устройства ЭВМ.				
8	Тема 20. Характеристика периферийных устройств ЭВМ.	1, 2	3 – 10		11 – 13
	Раздел 8. Современные компьютерные системы.				
9	Тема 24. Современные тенденции развития архитектуры компьютера.	1, 2	3 – 10		11 – 13

4. Паспорт фонда оценочных средств для проверки самостоятельной работы.

Код оцениваемой компетенции (или её части)	Модуль, раздел, тема (в соответствии с Программой)	Тип контроля	Вид контроля	Компонент фонда оценочных средств	Количество заданий для каждого уровня, шт.	
					Базовый	Повышенный
1 семестр						
ПК-2 ПК-9 ПК-11	1 - 9	текущий	устный	Вопросы к экзамену	55	50

ПК-16						
ПК-2 ПК-9 ПК-11 ПК-16	1-9	текущий	устный, письмен ый отчет	Комплект разноуровневых задач и заданий для выполнения практических работ	66	32
ПК-2 ПК-9 ПК-11 ПК-16	1-9	текущий	устный, письмен ый отчет	Вопросы для собеседования по Практическим занятиям	138	65

4.1 Вопросы к экзамену

Базовый уровень:

Знать:

1. Понятие архитектуры ЭВМ.
2. История развития вычислительной техники.
3. Классическая архитектура ЭВМ.
4. Принципы фон Неймана.
5. Классификация компьютеров.
6. Многоуровневая организация ЭВМ.
7. Логика высказываний.
8. Основные логические функции.
9. Схемная реализация вентилей.
10. Схемная реализация элементарных логических операций.
11. Типовые цифровые логические узлы ЭВМ.
12. Совершенствование и развитие внутренней структуры ЭВМ.
13. Канальная и шинная системотехника.
14. Основной цикл работы ЭВМ.
15. Система команд ЭВМ.
16. Структура машинной команды.
17. Структура типовой ЭВМ.
18. Аппаратные средства для построения ЭВМ.
19. Функциональная схема персонального компьютера.
20. Основные характеристики ЭВМ.
21. Особенности ЭВМ различных поколений.
22. Понятие микропроцессора и микро-ЭВМ.
23. Принципы функционирования микропроцессоров.
24. Обзор уровня архитектуры набора команд ЭВМ.
25. Характеристика набора команд процессора.
26. Понятие и назначение ассемблера.
27. Операторы и директивы ассемблера.

28. Устройства ввода информации: клавиатура.
29. Устройства ввода информации: манипуляторы.
30. Средства коммуникаций.
31. Средства мультимедиа.
32. Анализ развития архитектуры процессоров.
33. Современные архитектуры вычислительных систем.
34. Компьютеры с архитектурой, построенной не на принципах фон Неймана.
35. Тенденции развития средств вычислительной техники.

Уметь, Владеть:

Задачи для проверки умений и навыков

21. Перевести заданные вещественные числа из десятичной системы счисления в двоичную систему, представив их в нормализованной форме в разрядной сетке числа с плавающей точкой одинарной точности (типа single), а затем перевести шестнадцатеричную систему, записав их во внутреннем представлении в памяти ЭВМ.
22. Перевести заданные вещественные числа из шестнадцатеричной системы счисления в двоичную систему, записав их в формате стандарта IEEE 754 с одинарной точностью, а затем преобразовать в десятичный код.
23. Произвести заданную арифметическую операцию с операндами в знаковой и беззнаковой формах для целых чисел и в формате стандарта IEEE 754.
24. Провести анализ функционирования заданного логического элемента с помощью программы схемотехнического моделирования EWB.
25. Синтезировать по заданной булевой функции логическое устройство с помощью программы схемотехнического моделирования EWB.
26. Синтезировать и исследовать логику функционирования, заданного комбинационного функционального устройства (узла) ЭВМ с помощью инструментов программы EWB.
27. Синтезировать и исследовать логику функционирования накапливающего функционального устройства (узла) ЭВМ с помощью инструментов программы EWB.
28. Провести исследование логики функционирования выполнения заданных операций в арифметико-логическом устройстве с помощью инструментов программы EWB.
29. Провести исследование внутренней структуры и логики функционирования ячеек оперативной памяти заданного типа с помощью инструментов программы EWB.
30. Провести исследование внутренней структуры и логики функционирования порта устройства ввода-вывода с помощью инструментов программы EWB.
31. Провести исследование внутренней структуры и логики функционирования заданного шинного формирователя с помощью инструментов программы EWB.
32. Синтезировать устройство микропрограммного управления с помощью генератора слова программы EWB.
33. Определить конфигурацию персонального компьютера с помощью указанной утилиты операционной системы или тестовой программы.
34. Определить производительность персонального компьютера с помощью указанной утилиты операционной системы или тестовой программы.
35. Определить характеристики заданного центрального устройства персонального компьютера с помощью указанной тестовой программы.
36. Определить характеристики заданного периферийного устройства

- персонального компьютера с помощью указанной тестовой программы.
37. Провести исследование указанного способа адресации данных в эмуляторе микропроцессора.
 38. Провести тестирование и диагностирование внешних запоминающих устройств ПЭВМ с помощью указанной программы.
 39. Провести сканирование указанного жесткого диска или флеш-памяти на предмет наличия ошибок с помощью указанной утилиты.
 40. Провести тестирования указанного видеоадаптера или монитора с помощью заданной программы (утилиты).

Повышенный уровень:

Знать:

36. Дешифратор.
37. Шифратор.
38. Мультиплексор.
39. Демультимплексор.
40. Сумматор.
41. Триггеры.
42. Регистры.
43. Счетчики.
44. Процессоры.
45. Оперативная память.
46. Постоянная память.
47. Материнская плата.
48. Последовательный интерфейс.
49. Параллельный интерфейс.
50. Контроллеры ввода-вывода.
51. Архитектура микропроцессорных систем.
52. Арифметико-логическое устройство.
53. Регистры микропроцессора.
54. Система и механизм прерываний микропроцессора.
55. Типы микропроцессорных систем.
56. Формат и типы команд.
57. Макросы ассемблера.
58. Процесс ассемблирования.
59. Процесс дизассемблирования.
60. Накопители на магнитных дисках.
61. Накопители на оптических дисках.
62. Принципы записи информации на магнитные диски.
63. Интерфейсы подключения накопителей к компьютеру.
64. Надежность хранения информации в ЭВМ.
65. Устройства ввода информации: сенсорные панели.
66. Устройства ввода информации: сканеры.
67. Устройства вывода информации: видеокарты.
68. Устройства вывода информации: мониторы.
69. Устройства вывода информации: принтеры.
70. Устройства вывода информации: плоттеры.

Уметь, Владеть:

Задачи для проверки умений и навыков

15. Провести исследование логики функционирования заданной интегральной микросхемы комбинационного типа с помощью инструментов программы EWB.
16. Провести исследование логики функционирования заданной интегральной

микросхемы накапливающего типа с помощью инструментов программы EWB.

17. Синтезировать внутреннюю структуру и исследовать логику функционирования устройства ввода-вывода с помощью инструментов программы EWB.
18. Синтезировать внутреннюю структуру и исследовать логику функционирования одноразрядного цифрового компаратора с помощью инструментов программы EWB.
19. Провести исследование указанной машинной команды пересылки данных и ввода-вывода в эмуляторе микропроцессора.
20. Провести исследование указанной арифметической или логической операции машинных команд в эмуляторе микропроцессора.
21. Разработать программу на языке ассемблер, содержащую указанные машинные команды вызова и возврата подпрограмм.
22. Разработать и провести исследование программы временной задержки с помощью эмулятора микропроцессора.
23. Разработать и провести исследование программы ожидания простого события и формирования простого управления с помощью эмулятора микропроцессора.
24. Провести исследование программы выполнения операций сложения и вычитания целых чисел с помощью эмулятора микропроцессора.
25. Провести исследование программы выполнения операции умножения с помощью эмулятора микропроцессора.
26. Провести исследование программы выполнения операции деления с помощью эмулятора микропроцессора.
27. Провести исследование заданной программы вычисления специальных функций с помощью эмулятора микропроцессора.
28. Определить производительность заданного жесткого диска с помощью указанной программы.

4.2 Комплект разноуровневых задач и заданий

Тема 1. Шинная структура связи компьютера.

Типовые задачи:

Базовый уровень:

- 22) Составить принципиальную схему замещения стандартного выходного каскада цифровой микросхемы, пояснить принцип работы такого выходного каскада.
- 23) Составить принципиальную схему замещения выходного каскада с открытым коллектором для цифровой микросхемы, пояснить принцип работы такого выходного каскада.
- 24) Составить принципиальную схему замещения выходного каскада с тремя состояниями для цифровой микросхемы, пояснить принцип работы такого выходного каскада.
- 25) Составить структурные схемы мультиплексированной и двунаправленной линий шины, пояснить их принципы работы.
- 26) Составить структурную схему физического уровня шины PCI Express.
- 27) Разработать алгоритм преобразования данных на физическом уровне шины PCI Express при передаче и приеме.
- 28) Изобразить и пояснить временные диаграммы цикла передачи данных в интерфейсе Centronics.
- 29) Изобразить и пояснить формат передаваемых данных интерфейса RS-232C, уровни сигналов RS-232C на передающем и принимающем концах линии связи.

Повышенный уровень:

- 6) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с открытыми коллекторами, пояснить принцип работы такой мультиплексированной линии.
- 7) Составить принципиальную схему мультиплексированной линии, к которой подключены три выходных каскада цифровых микросхем с тремя состояниями, пояснить принцип работы такой мультиплексированной линии.
- 8) Изобразить и пояснить временные диаграммы мультиплексированной шины адреса/данные при синхронном и асинхронном обмене данными.
- 9) Составить таблицу со сравнительными характеристиками шин ISA, PCI, PCI Express.
- 10) Составить таблицу со сравнительными характеристиками для интерфейсов SCSI, IDE, EIDE.

Тема .2 Организация памяти ЭВМ.

Типовые задачи:

Базовый уровень:

- 26) Составить иерархическую структуру памяти ЭВМ.
- 27) Рассчитать физический адрес оперативной памяти ЭВМ по заданным адресам сегмента и смещения.
- 28) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80286.
- 29) Составить структурную схему адресации оперативной памяти ЭВМ в защищенном режиме процессора Intel 80386.
- 30) Составить спецификацию дополнительной памяти ЭВМ по стандарту XMS 3.0.
- 31) Определить тип корпуса и форм-факторы указанной на учебном стенде микросхемы памяти ЭВМ.
- 32) Произвести расшифровку модуля памяти типа DDR I по указанной маркировке.
- 33) Произвести расшифровку модуля памяти типа DDR II по указанной маркировке.
- 34) Произвести расшифровку модуля памяти типа DDR III по указанной маркировке.
- 35) Изобразить принципы записи и считывания в ячейку памяти на ферроэлектрическом конденсаторе.

Повышенный уровень:

- 6) Составить принципиальную схему однотранзисторной ячейки памяти 1Т FeRAM, пояснить ее принцип работы.
- 7) Составить принципиальную схему одноконденсаторной ячейки памяти 1С FeRAM, пояснить ее принцип работы.
- 8) Составить принципиальную схему транзисторно-конденсаторной ячейки памяти 1Т-1С FeRAM, пояснить ее принцип работы.
- 9) Составить принципиальную схему двойной транзисторно-конденсаторной ячейки памяти 2Т-2С FeRAM, пояснить ее принцип работы.
- 10) Выполнить работу по извлечению и (или) установке всех видов памяти используемых на стенде и проверка сохранения работоспособности после совершенных манипуляций.

Тема 3. Системная (материнская) плата компьютера.

Типовые задачи:

Базовый уровень:

- 18) Определить тип и форм-фактор материнской платы в учебном системном блоке ПЭВМ.
- 19) Определить название микросхем, размещенных на материнской плате в учебном системном блоке ПЭВМ.

20) Определить номиналы питания, подводимые к материнской плате в учебном системном блоке ПЭВМ.

21) Определить тип сокета или слота для процессора на материнской плате в учебном системном блоке ПЭВМ.

22) Определить тип чипсета материнской платы в учебном системном блоке ПЭВМ.

23) Найти и определить коммутационные элементы, имеющиеся процессора на материнской плате в учебном системном блоке ПЭВМ.

Определить тип северного моста и южного моста на материнской плате в учебном системном блоке ПЭВМ.

Повышенный уровень:

5) Выполнить работу по демонтажу всех навесных элементов на учебной материнской плате.

6) Выполнить работу по демонтажу и извлечению материнской платы из системного блока ПЭВМ.

7) Выполнить работу по установке и подключению материнской платы в системный блок ПЭВМ.

8) Выполнить работы по подключению всех навесных элементов на учебной материнской плате.

Тема 4, 5. Принципы построения и работы микропроцессоров.

Типовые задачи:

Базовый уровень:

7) Определить тип процессора, установленный в учебном системном блоке ПЭВМ, и его основные характеристики.

8) Составить таблицу со сравнительными характеристиками современных процессоров.

9) Составить блок-схему внутренней структуры типового микропроцессора.

10) Составить структурную схему регистров типового микропроцессора.

11) Разработать алгоритм работы процессора.

12) Составить блок-схему модулей процессора Pentium II.

Повышенный уровень:

8) Составить блок-схему модуля загрузки/декодирования инструкций процессора Pentium II.

9) Составить блок-схему модуля диспетчеризации/исполнения инструкций процессора Pentium II.

10) Составить блок-схему процессора AMD-K6.

11) Составить блок-схему модуля декодирования процессора AMD-K6-2.

12) Составить блок-схему вычислительных модулей групп Register X и Register Y процессора AMD-K6-2.

13) Выполнить работу по извлечению процессора из системной платы учебной ПЭВМ.

14) Выполнить работу по установке процессора и проверке его работоспособности.

Тема 6. Принципы построения и работы накопителей на жестких магнитных дисках.

Типовые задачи:

Базовый уровень:

8) Составить структурную схему накопителя на жестких магнитных дисках.

9) Составить блок-схему блока электроники накопителя на жестких магнитных дисках.

10) Произвести расшифровку типа и характеристик накопителя на жестких магнитных дисках по указанной маркировке.

- 11) Определите тип интерфейса, подключенного к накопителю на жестких магнитных дисках в учебном системном блоке ПЭВМ.
- 12) Выполнить работу по извлечению накопителя на жестких магнитных дисках их учебного системного блока ПЭВМ.
- 13) Выполнить работу по установке накопителя на жестких магнитных дисках на прежнее место в учебном системном блоке ПЭВМ и проверке его работоспособности.
- 14) Выполнить работу по замене шлейфов подключения накопителя на жестких магнитных дисках к системной плате и блоку питания, проверке работоспособности накопителя.

Повышенный уровень:

- 4) Выполнить работу по подключению двух накопителей на жестких магнитных дисках одновременно, произвести коммутацию переключателей на системной плате для установки первого накопителя в режим «Master», а второго – в режим «Slave».
- 5) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо дисководов, и произвести проверку его работоспособности.
- 6) Выполнить работу по установке и подключению второго накопителя на жестких магнитных дисках вместо CD/DVD привода, и произвести проверку его работоспособности.

Тема 7. Принципы построения и работы струйных и лазерных принтеров.

Типовые задачи:

Базовый уровень:

- 27) Составить блок-схему струйного принтера.
- 28) Составить блок-схему лазерного принтера.
- 29) Составить алгоритм работы струйного принтера.
- 30) Составить алгоритм работы лазерного принтера.
- 31) Подключить струйный принтер к ПЭВМ и установить его драйвер.
- 32) Подключить лазерный принтер к ПЭВМ и установить его драйвер.
- 33) Составить алгоритм работы струйного принтера.
- 34) Составить алгоритм работы лазерного принтера.
- 35) Проверить работоспособность струйного принтера.
- 36) Проверить работоспособность лазерного принтера.
- 37) Произвести замену картриджа струйного принтера, проверить его работоспособность.
- 38) Произвести замену картриджа лазерного принтера, проверить его работоспособность.

Повышенный уровень:

- 3) Подключить струйный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.
- 4) Подключить лазерный принтер к ПЭВМ в сетевом режиме, проверить его работоспособность.

Тема 8. Организация межкомпьютерной связи.

Типовые задачи:

Базовый уровень:

- 27) Составить монтажную схему полносвязного соединения 4-х ПЭВМ.
- 28) Составить монтажную схему соединения 4-х ПЭВМ по топологии «кольцо».
- 29) Составить монтажную схему соединения 4-х ПЭВМ по топологии «звезда».
- 30) Составить монтажную схему соединения 4-х ПЭВМ по топологии «общая

шина».

- 31) Составить блок-схему сетевого интерфейсного адаптера.
- 32) Составить алгоритм работы сетевого интерфейсного адаптера.
- 33) Составить монтажную схему соединения 2-х ПЭВМ через повторитель.
- 34) Составить монтажную схему соединения 2-х ПЭВМ через концентратор и коммутатор.
- 35) Составить блок-схему локальной сети компьютерной аудитории.
- 36) Составить блок-схему локальной сети компьютерной аудитории с выходом в глобальную сеть через мостовой маршрутизатор.
- 37) Составить блок-схему беспроводной локальной сети компьютерной аудитории с помощью Wi-Fi маршрутизатора.

Повышенный уровень:

- 5) Выполнить работы по монтажу витой пары и подключению ее к компьютеру и маршрутизатору.
- 6) Выполнить работы по организации связи между 2-мя ПЭВМ с помощью витой пары.
- 7) Выполнить работы по установке сетевой карты в учебный системный блок ПЭВМ.
- 8) Выполнить работы по замене сетевой карты в учебном системном блоке ПЭВМ с установкой нового драйвера.

Тема 9. Многопроцессорные вычислительные системы.

Типовые задачи:

Базовый уровень:

- 13) Составить структурную схему многопроцессорной системы архитектуры класса MIMD.
- 14) Составить структурную схему многопроцессорной системы с симметричной мультипроцессорной обработкой (SMP-система).
- 15) Составить структурную схему многопроцессорной системы, построенной по технологии неоднородного доступа к памяти (NUMA).
- 16) Составить структурную схему кластерной многопроцессорной системы.
- 17) Составить структурную схему системы вычислений с массовым параллелизмом (MPP).

Повышенный уровень:

- 3) Составить структурную схему транспьютера.
- 4) Составить структурную схему многопроцессорных систем на базе транспьютеров.

4.3 Вопросы для собеседования по Практическим занятиям

Практическое занятие 1-2. Исследование арифметических основ и внутреннего представления чисел в ЭВМ.

Базовый уровень:

21. Определение системы счисления.
22. Общие правила вычисления во всех позиционных системах счисления.
23. Правило записи произвольного числа в Р-ичной позиционной системе счисления.
24. Порядок перевода чисел из одной позиционной системы счисления в другую.
25. Алгоритм перевода двоичного числа в другую систему счисления, основанием которой является степень двойки.

26. Алгоритм перевода чисел из системы счисления с основанием P в десятичную систему счисления.
27. Принципы внутреннего представления целых чисел в памяти ЭВМ.
28. Порядок использования дополнительных и обратных кодов.
29. Алгоритм получения дополнительного двоичного кода.
30. Принципы внутреннего представления в памяти ЭВМ вещественных чисел.
31. Типы представления вещественных чисел в ЭВМ.
32. Принципы внутреннего представления вещественных чисел по стандарту IEEE-754.
33. Порядок преобразования чисел формата IEEE 754 в десятичное число.
34. Характеристика особых случаев во внутреннем представлении чисел с плавающей точкой.
35. Формулы расчета нормализованных и денормализованных чисел.
36. Характеристика диапазона чисел формата одинарной точности (32 бита), представленных по стандарту IEEE 754.
37. Порядок определения границ диапазона для чисел одинарной точности стандарта IEEE 754.
38. Правила применения таблиц сложения и умножения для двоичной, восьмеричной и шестнадцатеричной системы счисления.
39. Порядок сложения (вычитания) целых чисел в знаковой форме.
40. Порядок сложения (вычитания) целых чисел в дополнительном коде.

Повышенный уровень:

5. Порядок процедуры сложения (вычитания) операндов нормализованных двоичных чисел.
6. Порядок умножения целых двоичных чисел.
7. Порядок деления целых двоичных чисел.
8. Порядок процедуры умножения (деления) операндов нормализованных двоичных чисел.

Практическое занятие 3-6. Моделирование и исследование принципов построения и работы основных функциональных элементов и узлов ЭВМ.

Базовый уровень:

27. Сравнительная характеристика комбинационных и последовательностных (накапливающих) цифровых устройств.
28. Принцип работы электронного ключа (вентиля).
29. Характеристика простейших логических операций.
30. Аксиомы и законы булевой алгебры.
31. Условно-графическое обозначение и таблицы истинности базовых логических элементов.
32. Краткая характеристика и порядок моделирования сем с помощью программы схемотехнического моделирования Electronics Workbench.
33. Характеристика и порядок работы с логическим преобразователем программа схемотехнического моделирования Electronics Workbench.
34. Характеристика и порядок работы с генератором слова программа схемотехнического моделирования Electronics Workbench.
35. Характеристика и порядок работы с логическим анализатором программа схемотехнического моделирования Electronics Workbench.
36. Порядок анализа основных логических элементов с помощью программы схемотехнического моделирования Electronics Workbench.
37. Методика подтверждения законов булевой алгебры с помощью программы схемотехнического моделирования Electronics Workbench.

38. Порядок синтеза логических устройств с помощью программы схемотехнического моделирования Electronics Workbench.
39. Перечень и характеристика комбинационных цифровых устройств.
40. Характеристика принципов построения и работы арифметических сумматоров.
41. Характеристика принципов построения и работы дешифраторов и шифраторов.
42. Характеристика принципов построения и работы мультиплексоров и демультиплексоров.
43. Порядок исследования внутренней структуры и логики функционирования полусумматора и полного сумматора с помощью логического преобразователя и генератора слова.
44. Порядок исследования внутренней структуры и логики функционирования 4-х разрядного сумматора с помощью логического преобразователя и генератора слова.
45. Порядок синтеза и исследования логики функционирования дешифратора 3x8 с помощью логического преобразователя и генератора слова.
46. Порядок исследования логики функционирования дешифратора 4x16, реализованного в виде ИМС 74154 (K155ИД3) с помощью генератора слова.
47. Порядок синтеза и исследования логики функционирования шифратора 4x2 с помощью генератора слова.
48. Порядок исследования логики функционирования шифратора 8x3, реализованного в виде ИМС 74148 (KM555ИВ1) с помощью генератора слова.
49. Порядок синтеза и исследования логики функционирования 4-х канального мультиплексора с помощью логического анализатора.
50. Порядок исследования логики функционирования восьмиканального селектора-мультиплексора, реализованного в виде ИМС 74151 (KM155КП7) с помощью логического анализатора.
51. Порядок синтеза и исследования логики функционирования 4-х канального демультиплексора с помощью логического анализатора.
52. Перечень и характеристика последовательностных (накапливающих) цифровых устройств.

Повышенный уровень:

15. Предназначение, типы и характеристика принципов построения и работы триггеров.
16. Предназначение, типы и характеристика принципов построения и работы счетчиков.
17. Предназначение, типы и характеристика принципов построения и работы регистров.
18. Порядок исследования внутренней структуры и логики функционирования простейшего RS-триггера с помощью генератора слова.
19. Порядок исследования внутренней структуры и логики функционирования синхронного одноступенчатого RS-триггера с помощью генератора слова.
20. Порядок исследования логики функционирования синхронного двухступенчатого JK-триггера с прямым тактовым входом и входами предустановки с помощью генератора слова и логического анализатора.
21. Порядок исследования логики функционирования счетного Т-триггера с помощью генератора слова и логического анализатора.
22. Порядок исследования логики функционирования двухступенчатого D-триггера с помощью генератора слова и логического анализатора.
23. Порядок исследования внутренней структуры и логики функционирования последовательного трехразрядного счетчика с помощью генератора слова и логического анализатора.

24. Порядок исследования внутренней структуры и логики функционирования счетчика по модулю с помощью генератора слова и логического анализатора.
25. Порядок исследования логики функционирования двоичного реверсивного счетчика с возможностью параллельной записи начального кода на основе ИМС 74169 (K155ИЕ17) с помощью генератора слова и логического анализатора.
26. Порядок исследования внутренней структуры и логики функционирования последовательного четырехразрядного регистра сдвига с помощью генератора слова и логического анализатора.
27. Порядок исследования внутренней структуры и логики функционирования параллельного четырехразрядного регистра с помощью генератора слова и логического анализатора.
28. Порядок исследования логики функционирования универсального регистра на ИМС 74195 (K155ИР12) с помощью генератора слова.

Практическое занятие 3. Моделирование и исследование принципов работы основных центральных устройств ПЭВМ.

Базовый уровень:

27. Предназначение и принципы работы арифметико-логического устройства.
28. Логические операции, реализуемые АЛУ на ИМС 74181 (K155ИПЗ).
29. Арифметические операции, реализуемые АЛУ на ИМС 74181 (K155ИПЗ).
30. Порядок исследования логики функционирования АЛУ на основе ИМС 74181 (K155ИПЗ) из библиотеки EWB с помощью генератора слова и семисегментных индикаторов.
31. Предназначение и классификация оперативных запоминающих устройств.
32. Характеристика внутренней структуры и принципов функционирования типового оперативного запоминающего устройства.
33. Характеристика логики функционирования оперативных запоминающих устройств статического типа.
34. Характеристика логики функционирования оперативных запоминающих устройств динамического типа.
35. Характеристика современных типов оперативной памяти.
36. Характеристика видеопамяти.
37. Характеристика современных типов ИМС оперативной памяти.
38. Предназначение и классификация постоянных запоминающих устройств.
39. Характеристика и принципы функционирования ячейки постоянной памяти, однократно программируемой путем пережигания перемычек.
40. Практическое применение постоянных запоминающих устройств различных типов.
41. Порядок исследования внутренней структуры и логики функционирования ячейки статической оперативной памяти с помощью генератора слова.
42. Порядок исследования внутренней структуры и логики функционирования ячейки динамической оперативной памяти с помощью осциллографа.
43. Порядок исследования внутренней структуры и логики функционирования 4-х битного статического ОЗУ с помощью генератора слова.
44. Порядок исследования внутренней структуры и логики функционирования ячейки постоянной памяти, программируемой путем пережигания перемычек.
45. Принципы построения и характеристика логики функционирования устройств ввода-вывода.
46. Порядок исследования внутренней структуры и логики функционирования цепи формирования сигнала разрешения выбора адреса порта UVB.
47. Порядок выявления (локализации) ошибок в логических схемах с помощью логического преобразователя.

48. Порядок исследования внутренней структуры и логики функционирования цепи формирования адресов УВВ на базе ИМС 74154 с помощью генератора слова и логических пробников.

49. Порядок исследования внутренней структуры и логики функционирования одnorазрядного шинного формирователя.

50. Порядок исследования внутренней структуры и логики функционирования четырехразрядного шинного формирователя на базе ИМС 74244 из библиотеки EWB с помощью генератора слова и семисегментных индикаторов.

51. Порядок синтеза внутренней структуры и исследования логики функционирования типового устройства ввода-вывода.

52. Предназначение цифровых компараторов и устройств контроля четности (нечетности).

Повышенный уровень:

10. Принципы построения и характеристика логики функционирования цифровых компараторов.

11. Принципы построения и характеристика логики функционирования устройств контроля четности (нечетности).

12. Предназначение и классификация устройств управления ЭВМ.

13. Структура и принципы функционирования устройства управления схемного типа.

14. Структура и принципы функционирования микропрограммного устройства управления.

15. Порядок синтеза внутренней структуры и исследования логики функционирования одnorазрядного цифрового компаратора с помощью логического преобразователя и генератора слова.

16. Порядок исследования внутренней структуры и логики функционирования устройства формирования бита четности (нечетности) четырехразрядного кода с помощью генератора слова.

17. Порядок исследования логики функционирования устройства формирования бита четности (нечетности) на основе ИМС 742800 из библиотеки EWB с помощью генератора слова.

18. Порядок реализации устройства микропрограммного управления с помощью генератора слова.

Практическое занятие 11. Исследование структуры персонального компьютера.

Базовый уровень:

10. Состав типовой ПЭВМ.

11. Структурная схема типовой ПЭВМ.

12. Структурная схема типовой системной платы ПЭВМ.

13. Порядок определения конфигурацию ПЭВМ при его запуске в процессе тестирования компьютера базовой системой ввода-вывода BIOS.

14. Перечень тестовых программ под ОС Windows для диагностирования аппаратного обеспечения компьютера.

15. Предназначение и краткая характеристика утилиты Windows XP/7 «Сведения о системе» (MSinfo32.exe).

16. Предназначение и краткая характеристика программы «System Information Viewer».

17. Предназначение и краткая характеристика программы «Aida64 Extreme Edition».
18. Предназначение и краткая характеристика программы «SiSoftware Sandra».

Повышенный уровень:

8. Порядок определения конфигурации персонального компьютера с помощью встроенной в ОС Windows утилиты «Сведения о системе» (MSinfo32.exe).
9. Порядок определения производительности персонального компьютера с помощью встроенной в ОС Windows утилиты «Сведения о системе» (MSinfo32.exe).
10. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью тестовой программы System Information Viewer.
11. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью программы тестирования AIDA64 Extreme Edition.
12. Порядок определения производительности персонального компьютера и устройств аппаратного обеспечения с помощью программы тестирования AIDA64 Extreme Edition.
13. Порядок определения конфигурации персонального компьютера и характеристик устройств аппаратного обеспечения с помощью диагностической программы SiSoftware Sandra.
14. Порядок определения производительности персонального компьютера и устройств аппаратного обеспечения с помощью диагностической программы SiSoftware Sandra.

Практическое занятие 12-13. Моделирование и исследование базовых принципов построения и работы микропроцессора.

Базовый уровень:

22. Предназначение и характерные особенности организации микропроцессора KP580.
23. Структура микропроцессора KP580.
24. Назначение выводов микросхемы микропроцессора KP580.
25. Назначение и характеристика общих регистров процессора (РОН).
26. Назначение и характеристика указателя стека, счетчика команд, регистра флагов.
27. Принципы построения и работы АЛУ МП KP580.
28. Характеристика механизма десятичной коррекции данных.
29. Структура памяти МП KP580.
30. Форматы одно-, двух- и трехбайтных команд МП KP580.
31. Предназначение и возможности эмулятор микропроцессора KP580.
32. Предназначение и особенности интерфейса текстового редактора эмулятора МП.
33. Характеристика синтаксиса текстового редактора эмулятора МП.
34. Предназначение эмулятора программы, его интерфейс и порядок редактирования полей.
35. Порядок работы с эмулятором микропроцессора KP580.
36. Порядок выполнения машинной команды микропроцессора.
37. Характеристика машинного цикла микропроцессора и основных типов машинных циклов.
38. Характеристика способов адресации памяти в МП.
39. Характеристика команд пересылки данных и команд ввода-вывода.

40. Характеристика арифметических и логических команд.
41. Характеристика работы команды CMP, CPI.
42. Характеристика команд передачи управления и специальных команд.

Повышенный уровень:

10. Порядок исследования способа непосредственной адресации данных в МП КР580 путем загрузки в регистр (РОН) операнда с помощью команды, содержащей в одном из своих полей код операнда.
11. Порядок исследования способа прямой адресации данных в МП КР580 путем загрузки содержимое ячейки с указанным адресом в аккумулятор с помощью команды, в которой задается адрес операнда.
12. Порядок исследования способа косвенной (регистровой) адресации данных в МП КР580 путем загрузки в регистр (РОН) содержимого ячейки памяти с адресом, указанным в паре других регистров (РОН) с помощью команды, в которой адрес ячейки памяти задается содержимым пары регистров H и L.
13. Порядок исследования способа стековой адресации данных в МП КР580 путем загрузки в регистровую пару содержимого ячеек из стековой области памяти с помощью команд операций со стеком.
14. Порядок исследования машинных команд однобайтных пересылок данных.
15. Порядок исследования машинных команд двухбайтных пересылок и обмена данных.
16. Порядок исследования машинных команд ввода-вывода данных.
17. Порядок исследования программы по выполнению арифметических и логических операций с одним операндом (над содержимым аккумулятора).
18. Порядок исследования программы по выполнению арифметических и логических операций с двумя операндами, один из которых содержится в аккумуляторе.

Практическое занятие 14-15. Исследование основ микропрограммирования на языке ассемблера.

Базовый уровень:

17. Характеристика команд вызова и возврата подпрограммы.
18. Характеристика команд записи в стек и считывания из стека.
19. Характеристика алгоритма простой подпрограммы временной задержки.
20. Порядок организации условных переходов с помощью регистра признаков.
21. Порядок работы программы ожидания простого события и формирования простого управления.
22. Порядок разработки и исследования программы, содержащей машинные команды вызова и возврата подпрограмм.
23. Порядок разработки и исследования программы обратной сортировки чисел, разработанной на основе машинных команд операций со стеком.
24. Порядок разработки и исследования программы временной задержки.
25. Порядок разработки и исследования программы ожидания простого события и формирования простого управления.
26. Порядок разработки и исследования программы ожидания сложного события и формирования простого управления.
27. Порядок проведения арифметических операций сложения и вычитания.
28. Порядок проведения арифметической операции умножения.
29. Порядок проведения арифметической операции деления.
30. Порядок проведения арифметических операций вычисления специальных функций.
31. Характеристика алгоритма работы программы умножения двух однобайтных чисел с получением двухбайтного результата.

32. Характеристика алгоритма работы программы деления двоичных чисел.

Повышенный уровень:

7. Порядок исследования программы сложения массива однобайтных чисел (целых без знака) с получением двухбайтного результата.
8. Порядок исследования программы нахождения суммы чисел, имеющих одинаковую длину.
9. Порядок исследования программы нахождения разности чисел, имеющих одинаковую длину.
10. Порядок исследования программы умножения двух однобайтных чисел с получением двухбайтного результата.
11. Порядок исследования программы деления двух однобайтных чисел.
12. Порядок исследования программы вычисления квадрата числа с помощью таблицы.

Практическое занятие 16-17. Исследование характеристик внешних запоминающих устройств ЭВМ.

Базовый уровень:

17. Устройство накопителя на жестких магнитных дисках.
18. Характеристика структурной схемы накопителя на жестких магнитных дисках.
19. Характеристика гермоблока.
20. Характеристика магнитных дисков.
21. Характеристика блока магнитных головок.
22. Характеристика контроллера накопителя на жестких магнитных дисках.
23. Геометрия жесткого диска и его логическая структура.
24. Адресация данных в накопителях на жестких магнитных дисках.
25. Принцип зонно-секционной записи.
26. Характеристика видов организации данных на жестком диске.
27. Порядок обмена данными в накопителе на жестких магнитных дисках.
28. Принцип позиционирования магнитных головок.
29. Характеристика технологии SMART.
30. Скоростные характеристики жестких дисков.
31. Предназначение и область применения программы Victoria.
32. Основные возможности программы Victoria.

Повышенный уровень:

15. Предназначение и основные функциональные возможности утилиты HD Tune.
16. Порядок установки программы Victoria и характеристика ее интерфейса.
17. Порядок чтения паспортов внешних запоминающих устройств ПЭВМ с помощью программы Victoria.
18. Порядок тестирования поверхности жесткого диска на дефектоскопию с помощью программы Victoria.
19. Порядок тестирования флеш-накопителя и CD(DVD)-диска с помощью программы Victoria.
20. Порядок диагностики состояния жесткого диска ПЭВМ с помощью технологии SMART в программе Victoria.
21. Порядок определения среднего времени позиционирования головок (доступа к данным на диске) с помощью программы Victoria.
22. Порядок установки утилиты HD Tune и характеристика ее интерфейса.
23. Порядок получения подробной информации о жестком диске ПЭВМ и флэш-памяти с помощью утилиты HD Tune.

24. Порядок исследования зависимости производительности жесткого диска от уровня акустического шума с помощью утилиты HD Tune.
25. Порядок тестирования жесткого диска с помощью утилиты HD Tune с целью определения скорости передачи данных и времени доступа к данным.
26. Порядок сканирования жесткого диска и флеш-памяти на предмет наличия ошибок с помощью утилиты HD Tune.
27. Порядок мониторинга жесткого диска и флеш-памяти с помощью утилиты HD Tune.
28. Порядок качественной оценки состояние жесткого диска ПЭВМ по показателям SMART-данных с помощью утилиты HD Tune.

Практическое занятие 18. Исследование видеоадаптера и жидкокристаллического монитора.

Базовый уровень:

5. Устройство современной видеокарты.
6. Типы и виды видеоадаптеров.
7. Технологии построения трехмерных изображений.
8. Аппаратное ускорение графических функций.

Повышенный уровень:

3. Производители видеокарт и графических процессоров.
4. Технические характеристики современных видеокарт.

5. Список рекомендуемой литературы.

5.1.1. Основная литература:

3. Новожилов О.П. Архитектура ЭВМ и систем: учебное пособие. – М.: Юрайт, 2012. – 527 с.
4. Шишов О.В. Современные технологии и технические средства информатизации: учебное пособие. – М.: Инфра-М, 2012. – 460с.

5.1.2. Дополнительная литература:

9. Таненбаум Э Архитектура компьютера. – СПб: Питер, 2009. – 844с.
10. Горнец Н.Н., Рощин А.Г., Соломенцев В.В. Организация ЭВМ и систем: учебное пособие. – М.: Академия, 2008. – 315с.
11. Степанов А.Н. Архитектура вычислительных систем и компьютерных сетей. – СПб: Питер, 2007. – 509 с.
12. Цилькер Б. Я., Орлов С.А. Организация ЭВМ и систем: учебное пособие. – СПб: Питер, 2007. – 668с.
13. Древис Ю.Г. Организация ЭВМ и вычислительных систем: учебное пособие. – М.: Высшая школа, 2006. – 501с.
14. Червяков Н.И., Мочалов В.П., Галкина В.А. Организация ЭВМ и систем: учебное пособие – М.: Физматлит, 2005. – 436с.
15. Логинов, М.Д. Техническое обслуживание средств вычислительной техники: учебное пособие [Электронный ресурс] / М.Д. Логинов, Т.А. Логинова. – М.: БИНОМ. Лаборатория знаний, 2013. - 321 с. - ISBN 978-5-9963-2295-4. - URL: <http://biblioclub.ru/index.php?page=book&id=216804>.
16. Чекмарев, Ю.В. Вычислительные системы, сети и коммуникации [Электронный ресурс] / Ю.В. Чекмарев. – М.: ДМК Пресс, 2009. - 184 с. - ISBN 978-5-94074-459-7. - URL: <http://biblioclub.ru/index.php?page=book&id=47359>.

5.1.3. Методическая литература:

3. учебное пособие
4. сборник лабораторных работ

5.1.4. Интернет-ресурсы:

4. Университетская библиотека ONLINE. - <http://www.biblioclub.ru/>
5. Архитектура компьютеров. – <http://wikipedia.org/wiki>
6. Компьютер – окно в виртуальный мир // Архитектура компьютера. – <http://www.island-formoza.ru/arhitektura-pc/index.html>

5.1.5. Программное обеспечение

11. Операционная система Microsoft Windows XP/7;
12. Текстовый процессор Microsoft Office Word или OpenOffice.org Writer;
13. Программа конвертор чисел формата IEEE754 – SoftElectro IEEE754 v1.00;
14. Программа схемотехнического моделирования (симулятор электронных схем) Electronics Workbench EWB 5.12;
15. Эмулятор микропроцессора KP580 – emKP580;
16. Система программирования Турбо Ассемблер;
17. Специализированное программное обеспечение для тестов и анализа аппаратного обеспечения ЭВМ – System Information Viewer, AIDA64 Extreme Edition, SiSoftware Sandra;
18. Утилиты для тестирования и диагностирования внешних запоминающих устройств Victoria, HD Tune;
19. Утилиты для тестирования видеоадаптеров и мониторов GPU-Z.0.5.5, TFTtest версия 1.52, IsMyLsdOK 1.71, Atrise Lutcurve 1.5.3;
20. Программа для компьютерного тестирования «Айрен».